

## 【特許請求の範囲】

【請求項1】 EL素子と、

前記EL素子に電流を供給する駆動用トランジスタ素子と、

前記駆動用トランジスタ素子にプログラムする電流を供給する電流供給信号線と、

前記電流供給信号線と前記駆動用トランジスタ素子とを接続する第1のスイッチング素子と、

前記駆動用トランジスタ素子のゲート端子に電圧を供給する第2のスイッチング素子と、

前記第2のスイッチング素子に接続された電圧供給信号線とを具備することを特徴とするEL表示パネル。

【請求項2】 EL素子と、

前記EL素子に電流を供給する第1のトランジスタ素子と、

前記駆動用トランジスタ素子のゲート端子を共通にされた第2のトランジスタ素子と、

前記第2のトランジスタ素子にプログラムする電流を供給する電流供給信号線と、

前記電流供給信号線と前記第2のトランジスタ素子とを接続する第1のスイッチング素子と、

前記第1のトランジスタ素子のゲート端子に電圧を供給する第2のスイッチング素子と、

前記第2のスイッチング素子に接続された電圧供給信号線と、

前記第1のトランジスタ素子と前記EL素子間に配置された第3のスイッチング素子を具備することを特徴とするEL表示パネル。

【請求項3】 第1の電極が形成された第1の基板と、

前記第1の電極上に形成されたEL層と、

前記EL層上に形成された第2の電極と、

前記第2の電極の上部に配置された周期的な屈折率分布を有する光屈折手段と、

前記光屈折手段上に配置された光拡散手段とを具備することを特徴とするEL表示装置。

【請求項4】 第1の電極が形成された第1の基板と、

前記第1の電極上に形成されたEL層と、

前記EL層上に形成された第2の電極と、

前記第2の電極の上部に配置され、周期的な開口部を有する遮光手段と、

前記遮光手段の開口部に一致した周期的な屈折率分布を有する光屈折手段と、

前記光屈折手段上に配置された光拡散手段とを具備することを特徴とするEL表示装置。

【請求項5】 第1の電極が形成された第1の基板と、

前記第1の電極上に形成されたEL層と、

前記EL層上に形成された第2の電極と、

前記第2の電極の上部に配置または形成された光拡散部と、

前記光拡散部の上部に、所定距離あけて配置された周期

的な開口部を有する遮光手段と、

前記遮光手段の開口部に一致した周期的な屈折率分布を有する光屈折手段と、

前記光屈折手段上に配置された光拡散手段とを具備し、

前記光拡散部は、前記開口部の下部に位置するように配置または形成されていることを特徴とするEL表示装置。

【請求項6】 光屈折手段は、プリズムシートであることを特徴とする請求項3または請求項4または請求項5記載のEL表示装置。

【請求項7】 光屈折手段は、マイクロレンズ基板であることを特徴とする請求項3または請求項4または請求項5記載のEL表示装置。

【請求項8】 透明電極が形成された第1の基板と、

前記透明電極上に形成されたEL層と、

前記EL層上に形成された反射電極とを具備し、

前記EL層から前記第1の基板が空気と接する界面までの距離を $t$  (m)とし、前記第1の基板の屈折率を $n$ とした時、 $t \geq (1/8) \cdot \sqrt{(n \cdot n - 1)}$ の条件を満足することを特徴とするEL表示装置。

【請求項9】 第1の基板は、透明基板と凹レンズで構成されていることを特徴とする請求項8記載のEL表示装置。

【請求項10】 第1の電流を発生する第1の基準電流源と、

前記第1の電流と略同一の電流を発生する複数の第2の基準電流源と、

前記第2の基準電流源と略同一の電流を発生する複数の第3の基準電流源と、

前記第3の基準電流源の電流を流す配線と、

前記配線に流れる電流の大きさを変換する電流倍率変換手段とを具備することを特徴とするEL表示装置のドライバ回路。

【請求項11】 第1の電流を発生する第1の基準電流源と、

前記第1の電流と略同一の電流を発生する複数の第2の基準電流源と、

前記第2の基準電流源と略同一の電流を発生する複数の第3の基準電流源と、

前記第3の基準電流源の電流を流す配線と、

前記配線に流れる電流の大きさを変換する電流倍率変換手段と、

前記配線の電位を所定電位にするプリチャージ回路を具備し、

前記第3の基準電流源は、入力データに基づき、第3の基準電流源内部に有する単位電源がオンする個数が変化することを特徴とするEL表示装置のドライバ回路。

【請求項12】 第1の電流を発生する第1の基準電流源と、

前記第1の電流と略同一の電流を発生する複数の第2の

基準電流源と、  
前記第2の基準電流源と略同一の電流を発生する複数の  
第3の基準電流源と、  
前記第3の基準電流源の電流を流す配線と、  
前記配線に流れる電流の大きさを変換する電流倍率変換  
手段と、  
前記配線の電位を所定電位にするブリチャージ回路と、  
前記配線に所定の電流を流し込む電流供給回路を具備  
し、

前記第1の電流は、外部に配置した電圧設定手段で可変  
されることを特徴とするE L表示装置のドライバ回路。

【請求項13】 ドライバ回路の電源電圧は、E L表示  
装置の電源電圧を略一致していることを特徴とする請求  
項10または請求項11または請求項12記載のE L表  
示装置のドライバ回路。

【請求項14】 マトリックス状に形成されたE L素子  
と、前記E L素子に電流を供給する第1のトランジスタ  
素子と、前記第1のトランジスタ素子にプログラムする  
電流を供給する電流供給信号線と、前記電流供給信号線  
と前記第1のトランジスタ素子とを接続する第1のスイ  
ッチング素子と、前記第1のトランジスタ素子のゲート  
端子とドレイン端子をショートする第2のスイッチング  
素子とを有するE L表示装置にあって、  
前記第1および第2のスイッチング素子をオンさせ、前  
記電流供給線に黒表示電流をプログラムする第1の動作  
と、  
前記第1の動作後に、前記電流供給線に出力される電流  
を検出する第2の動作と、  
前記第1および第2のスイッチング素子をオンさせ、前  
記電流供給線に白表示電流をプログラムする第3の動作  
と、  
前記第3の動作後に、前記電流供給線に出力される電流  
を検出する第4の動作とを行うことを特徴とするE L表  
示パネルの検査方法。

【請求項15】 マトリックス状に形成されたE L層  
と、前記E L層に電流を供給する駆動用トランジスタ素  
子と、前記駆動用トランジスタ素子にプログラムする電  
流または電圧を供給する第1の信号線と、前記第1の信  
号線と前記駆動用トランジスタ素子とを接続する第1の  
スイッチング素子とを有する第1の基板と、  
前記E L層上に形成された反射膜とを具備し、  
前記反射膜の所定箇所に、マトリックス状に開口部が形  
成されていることを特徴とするE L表示装置。

【請求項16】 マトリックス状に形成されたE L層  
と、前記E L層に電流を供給する駆動用トランジスタ素  
子と、前記駆動用トランジスタ素子にプログラムする電  
流または電圧を供給する第1の信号線と、前記第1の信  
号線と前記駆動用トランジスタ素子とを接続する第1の  
スイッチング素子とを有する第1の基板と、  
前記E L層上に形成された反射膜とを具備し、前記反射

膜の所定箇所に、マトリックス状に開口部が形成された  
E L表示装置であって、  
前記開口部にレーザー光を照射することにより、前記駆  
動用トランジスタ素子からの電流が前記E L層に供給さ  
れないようにすることを特徴とするE L表示装置の修正  
方法。

【請求項17】 少なくともE L層の一方の電極が透明  
電極であるE L表示装置にあって、  
前記透明電極に光を照射し、前記E L層の材料を変質ま  
たは、E L層の構造を破壊することにより、前記E L層  
が発光しないようにすることを特徴とするE L表示装置  
の修正方法。

【請求項18】 E L素子と、  
前記E L素子に電流を供給する駆動用トランジスタ素子  
と、  
前記駆動用トランジスタ素子と前記E L素子間に配置さ  
れた第1のスイッチング素子と、  
前記E L素子の1端子に接続された第2のスイッチング  
素子と、  
前記第2のスイッチング素子の1端子に供給される逆バ  
イアス電圧源とを具備し、  
前記第2のスイッチング素子がオン状態の時、前記第1  
のスイッチング素子はオフ状態となるように制御される  
ことを特徴とするE L表示パネル。

【請求項19】 駆動用トランジスタ素子は、Pチャ  
ネルトランジスタ素子であり、  
第2のスイッチング素子は、Nチャネルトランジスタ  
素子であることを特徴とする請求項18記載のE L表示  
パネル。

【請求項20】 マトリックス状に形成されたE L素子  
と、前記E L素子に電流を供給する駆動用トランジスタ  
素子と、前記駆動用トランジスタ素子と前記E L素子間  
に配置された第1のスイッチング素子と、前記E L素子  
の1端子に接続された第2のスイッチング素子とを有す  
るE L表示パネルと、  
前記第1のスイッチング素子を制御する第1の信号線が  
接続された第1のゲートドライバ回路と、  
前記第2のスイッチング素子を制御する第2の信号線が  
接続された第2のゲートドライバ回路とを具備し、  
前記第1のゲートドライバ回路は、前記第1の信号線  
に、前記第1のスイッチング素子をオンオフさせる信号  
を供給し、  
前記第2のゲートドライバ回路は、前記第2の信号線  
に、逆バイアス電圧を供給することを特徴とするE L表  
示装置。

【請求項21】 マトリックス状に形成されたE L素子  
と、前記E L素子に電流を供給する駆動用トランジスタ  
素子と、前記駆動用トランジスタ素子と前記E L素子間  
に配置された第1のスイッチング素子と、前記E L素子  
の1端子に接続された第2のスイッチング素子とを有する

EL表示パネルであって、  
前記第1のスイッチング素子をオンオフさせる第1の信号と、前記第2のスイッチング素子に供給する逆バイアス電圧信号とが逆極性の関係にあり、  
前記EL表示パネル内で、第1の逆バイアス電圧信号と第2の逆バイアス電圧信号が分散して印加され、  
前記第1の逆バイアス電圧信号と第2の逆バイアス電圧信号とは逆極性の関係にあることを特徴とするEL表示装置の駆動方法。

【請求項22】 EL素子と、  
前記EL素子に電流を供給する駆動用トランジスタ素子と、  
前記駆動用トランジスタ素子と前記EL素子間に配置された第1のスイッチング素子と、  
前記EL素子の1端子に接続された第2のスイッチング素子と、  
複数の前記第2のスイッチング素子の1端子を共通にする共通信号線と、  
前記共通信号線に供給される逆バイアス電圧源とを具備し、  
前記共通信号線は複数本形成され、  
前記複数のEL素子がブロックごとに逆バイアス電圧を印加できるように構成されていることを特徴とするEL表示装置。

【請求項23】 マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する駆動用トランジスタ素子と、前記駆動用トランジスタ素子にプログラムする電流を供給する電流供給信号線と、前記電流供給信号線と前記駆動用トランジスタ素子とを接続する第1のスイッチング素子と、前記駆動用トランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記駆動用トランジスタ素子と前記EL素子間に形成された第3のスイッチング素子を有するEL表示装置であって、  
画素行単位で前記第2のスイッチング素子をオンさせる第1の動作と、  
前記第1の動作後、前記第1のスイッチング素子および前記第2のスイッチング素子をオンさせて、電流供給線からの電流を前記駆動用トランジスタ素子に書き込む第2の動作と、  
前記第2の動作後、前記第3のスイッチング素子をオンさせて、前記駆動用トランジスタ素子の電流を前記EL素子に供給する第3の動作を行うことを特徴とするEL表示装置の駆動方法。

【請求項24】 マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のトランジスタ素子と、前記第1のトランジスタ素子とゲート端子を共通化された第2のトランジスタ素子と、前記第2のトランジスタ素子にプログラムする電流を供給する電流供給信号線と、前記電流供給信号線と前記第2のトランジスタ素子とを接続する第1のスイッチング素子と、前記第1のトランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記第1のトランジスタ素子と前記EL素子間に形成された第3のスイッチング素子を有するEL表示装置であって、  
画素行単位で前記第2のスイッチング素子をオンさせる第1の動作と、  
前記第1の動作後、前記第1のスイッチング素子および前記第2のスイッチング素子をオンさせて、電流供給線からの電流を前記駆動用トランジスタ素子に書き込む第2の動作と、  
前記第2の動作後、前記第3のスイッチング素子をオンさせて、前記駆動用トランジスタ素子の電流を前記EL素子に供給する第3の動作を行うことを特徴とするEL表示装置の駆動方法。

タ素子とを接続する第1のスイッチング素子と、前記第2のトランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記第1のトランジスタ素子と前記EL素子間に形成された第3のスイッチング素子を有するEL表示装置であって、  
画素行単位で前記第2のスイッチング素子をオンさせ、前記第2のトランジスタ素子をオフ状態にする第1の動作と、  
前記第1の動作後、前記第1のスイッチング素子および前記第2のスイッチング素子をオンさせて、電流供給線からの電流を前記第2のトランジスタ素子に書き込む第2の動作と、  
前記第2の動作後、前記第3のスイッチング素子をオンさせて、前記第1のトランジスタ素子の電流を前記EL素子に供給する第3の動作と、  
前記第3のスイッチング素子をオンオフさせて、前記EL素子への供給電流を制御する第4の動作を行うことを特徴とするEL表示装置の駆動方法。

【請求項25】 マトリックス状に形成されたEL素子と、  
前記EL素子に電流を供給する第1のトランジスタ素子と、  
前記第1のトランジスタ素子とゲート端子を共通化された第2のトランジスタ素子と、  
前記第2のトランジスタ素子にプログラムする電流を供給する電流供給信号線と、  
前記電流供給信号線と前記第2のトランジスタ素子とを接続する第1のスイッチング素子と、  
前記第2のトランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、  
前記第1のトランジスタ素子と前記EL素子間に形成された第3のスイッチング素子と、  
前記第1のトランジスタ素子のゲート端子とドレイン端子をショートする第4のスイッチング素子を具備することを特徴とするEL表示パネル。

【請求項26】 マトリックス状に形成されたEL素子と、  
前記EL素子に電流を供給する第1のトランジスタ素子と、  
前記第1のトランジスタ素子のゲート端子に電圧を供給する第1のスイッチング素子と、  
前記第1のトランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、  
前記第1のトランジスタ素子と前記EL素子間に形成された第3のスイッチング素子を具備することを特徴とするEL表示パネル。

【請求項27】 マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のトランジスタ素子と、前記第1のトランジスタ素子のゲート端子に電圧を供給する第1のスイッチング素子と、前記第1のトランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記第1のトランジスタ素子と前記EL素子間に形成された第3のスイッチング素子を具備することを特徴とするEL表示装置の駆動方法。



ランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記第1のランジスタ素子と前記EL素子間に形成された第3のスイッチング素子を有するEL表示パネルであって、前記第1のスイッチング素子と前記第2のスイッチング素子をオフさせ、かつ、前記第3のスイッチング素子をオンさせる第1の動作と、前記第1の動作後、前記第1のスイッチング素子と前記第3のスイッチング素子をオフさせ、かつ、前記第2のスイッチング素子をオンさせて、前記第1のランジスタ素子のリセット状態にする第2の動作と、前記第2の動作後、前記第2のスイッチング素子と前記第3のスイッチング素子をオフさせ、かつ、前記第1のスイッチング素子をオンさせて、前記第1のランジスタ素子のゲート端子に電圧を印加する第3の動作と、前記第1のスイッチング素子と前記第2のスイッチング素子をオフさせ、かつ、前記第3のスイッチング素子をオンさせて、前記第1のランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子を有するEL表示装置の駆動方法。

【請求項28】マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のランジスタ素子と、前記第1のランジスタ素子のゲート端子に電流または電圧を供給する第1のスイッチング素子と、前記第1のランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子を有するEL表示パネルと、前記第1のスイッチング素子を制御する第1の信号線と、前記第2のスイッチング素子を制御する第2の信号線と、前記第1の信号線および第2の信号線が接続されたゲートドライバ回路とを具備し、前記ゲートドライバ回路は、少なくとも1つのシフトレジスタ回路を有し、前記シフトレジスタ回路の複数の出力の論理和をとった出力が前記第2の信号線に印加されるように構成されていることを特徴とするEL表示装置。

【請求項29】EL表示パネルと、画像データをメモリする記憶手段と、前記画像データの大きさを求める演算手段と、前記演算手段の結果が所定値以上の時、前記記憶手段から読み出す画像データを反転させるデータ反転手段を具備することを特徴とするEL表示装置。

【請求項30】マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のランジスタ素子と、前記第1のランジスタ素子と前記EL素子間に配置された第1のスイッチング素子と、前記第1のランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記EL素子に逆バイ

アス電圧を供給する第3のスイッチング素子を有するEL表示パネルにあって、前記第1のスイッチング素子をオフさせ、かつ、第2のスイッチング素子と第3のスイッチング素子をオンさせる第1の動作と、前記第1の動作後に、前記第1のスイッチング素子と第3のスイッチング素子をオンさせ、かつ、第2のスイッチング素子をオフさせ、前記第3のスイッチング素子に流れる電流を検出する第2の動作を行うことを特徴とするEL表示パネルの検査方法。

【請求項31】マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のランジスタ素子と、前記第1のランジスタ素子にプログラム電流または電圧を供給する第1のスイッチング素子と、前記第1のランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、前記第1のスイッチング素子をオンオフする信号を伝達する第1の信号線と、前記第2のスイッチング素子をオンオフする信号を伝達する第2の信号線を具備し、前記第2の信号線は、任意の画素行の前に選択される画素行の第1の信号線と接続されていることを特徴とするEL表示装置。

【請求項32】マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のランジスタ素子と、前記第1のランジスタ素子にプログラム電流または電圧を供給する第1のスイッチング素子と、前記第1のランジスタ素子のゲート端子とソース端子をショートする第2のスイッチング素子と、前記第1のスイッチング素子をオンオフする信号を伝達する第1の信号線と、前記第2のスイッチング素子をオンオフする信号を伝達する第2の信号線を具備し、前記第2の信号線は、任意の画素行の前に選択される画素行の第1の信号線と接続され、前記任意の画素行は、少なくとも1水平走査期間以上前に、前記第2の信号線にオン電圧が印加されるように構成されていることを特徴とするEL表示装置。

【請求項33】マトリックス状に形成されたEL素子と、前記EL素子に電流を供給する第1のランジスタ素子と、前記第1のランジスタ素子にプログラム電流または電圧を供給する第1のスイッチング素子と、前記第1のランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子および第3の

スイッチング素子と、  
前記第1のスイッチング素子および第2のスイッチング素子をオンオフする信号を伝達する第1の信号線と、  
前記第3のスイッチング素子をオンオフする信号を伝達する第2の信号線を具備し、  
前記第2の信号線は、任意の画素行の前に選択される画素行の第1の信号線と接続されていることを特徴とするEL表示装置。

【請求項34】マトリックス状に形成されたEL素子と、  
前記EL素子に電流を供給する第1のトランジスタ素子と、  
前記第1のトランジスタ素子にコンデンサを介してプログラム電圧を供給する第1のスイッチング素子と、  
前記第1のトランジスタ素子のゲート端子とドレイン端子をショートする第2のスイッチング素子と、  
前記第1のトランジスタ素子と前記EL素子間に形成された第3のスイッチング素子と、  
前記第1のスイッチング素子をオンオフする信号を伝達する第1の信号線と、  
前記第2のスイッチング素子をオンオフする信号を伝達する第2の信号線を具備し、  
前記第2の信号線は、任意の画素行の前に選択される画素行の第1の信号線と接続されていることを特徴とするEL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明の主として自発光で画像を表示するEL表示パネルとおよびこれらのEL表示パネルを用いた携帯電話などの情報表示装置などに関するものである。

【0002】

【従来の技術】液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビ(TV)などの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。

【0004】

【課題を解決するための手段】上記課題を解決するため本発明は、EL素子と、前記EL素子に電流を供給する駆動用トランジスタ素子と、前記駆動用トランジスタ素

子にプログラムする電流を供給する電流供給信号線と、前記電流供給信号線と前記駆動用トランジスタ素子とを接続する第1のスイッチング素子と、前記駆動用トランジスタ素子のゲート端子に電圧を供給する第2のスイッチング素子と、前記第2のスイッチング素子に接続された電圧供給信号線とを具備することを特徴とするEL表示パネルである。

【0005】

【発明の実施の形態】本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図7の表示パネルの断面図では封止膜73などを十分厚く図示している。また、図1等では画素電極に信号を印加する薄膜トランジスタ(TFT)などは省略している。また、本発明の表示パネルなどでは、位相補償のためなどの位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0006】なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図1の表示パネルにタッチパネルなどを付加し、図19、図49情報表示装置とすることができる。また、拡大レンズを取り付けビデオカメラ(図44参照)などのビューファインダ(図45参照)を構成することもできる。また、図31、図51、図104、図106などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。また、本発明は各画素にTFTが形成されたアクティブマトリックス型表示パネルを主に説明するがこれに限定するものではなく、単純マトリックス型にも適用することができることはいうまでもない。

【0007】このように特に明細書中に例示されていなくとも、明細書、図面中で記載あるいは説明した事項、内容、仕様は、互いに組み合わせて請求項に記載することができる。すべての組み合わせについて明細書などで記述することは不可能であるからである。

【0008】低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、有機エレクトロルミネッセンス(EL)素子の複数をマトリックス状に配列して構成される有機EL表示パネルが注目されている。

【0009】有機EL表示パネルは、図4に示すように、画素電極としての透明電極48が形成されたガラス板49(アレイ基板)上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層(EL層)47、及び金属電極(反射膜)46が積層されたものである。透明電極(画素電極)48の陽極(アノード)にプラス、金属電極(反射電極)46の陰極(カソード)にマイナスの電圧を加え、すなわち、透明電極4

8及び金属電極46間に直流を印加することにより、有機機能層(EL層)47が発光する。良好な発光特性を期待することのできる有機化合物を有機機能層に使用することによって、EL表示パネルが実用に耐えうるものになっている。

【0010】なお、カソード電極、アノード電極あるいは反射膜は、ITO電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜は低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層に形成したものである。つまり、誘電体ミラーである。この誘電体多層膜は有機EL構造から放射される光の色調を良好なもの(フィルタ効果)にする機能を有する。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0011】アノードあるいはカソードへ電流を供給する配線51, 63には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチサイズになると100A程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術で導体の厚みを厚く形成している。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。

【0012】また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

【0013】金属電極46には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極48には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0014】なお、画素電極46などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極46としてのITO上にカーボン膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0015】また、EL膜は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいこ

とは言うまでもない。

【0016】以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0017】基板49の放熱性を良くするため、サファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜(DLCなど)を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を使用したり、銅などからなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布などのコーティングしたりしたものを用いてもよい。画素電極を反射型とする場合は、基板材料としては基板の表面方向より光が射出されるから、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。この構成を図7に図示する。カソード電極をITOなどの透明電極72で形成している。

【0018】なお、本発明の実施例では、カソードなどを金属膜で形成するとしたが、これに限定するものではなく、ITO、IZOなどの透明膜で形成してもよい。このようにEL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる。金属膜を使わずに透過率を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるように構成できる。

【0019】基板はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板321等は板に限定するものではなく、厚さ0.3mm以下0.05mm以上のフィルムでもよい。

【0020】ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ARTONの厚さ200μmの1枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板(あるいはフィルムもしくは膜)を配置する。

【0021】以上のように基板49をプラスチックで構成する場合は、基板49はベース基板と補助基板から構成する。ベース基板の他方の面に、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板(あるいはフィルムもしくは膜)を配置する。補助基板の光学的遅相軸と補

10

20

30

40

50

助基板の光学的遅相軸とのなす角度が90度となるようにすることが好ましい。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【0022】接着剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、基板49の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0023】補助基板および補助基板をベース基板に貼り合わせる際には、補助基板の光学的遅相軸と補助基板の光学的遅相軸とがなす角度を45度以上120度以下にすることが好ましい。さらに好ましくは80度以上100度以下することがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。したがって、円偏光板を使用した構成で、位相状態が異なることによる表示パネルのムラが発生しない。

【0024】この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせることにより直線偏光を楕円偏光に設計どおりに変換できるようになるからである。基板49などに位相差があるとこの位相差により設計値との誤差が発生する。

【0025】ここで、ハードコート層としては、ポリエステル樹脂、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極あるいは画素電極を透明導電膜の第1のアンダーコート層とを兼ねる。

【0026】また、ガスバリア層としては、 $\text{SiO}_2$ 、 $\text{SiOx}$ などの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100 $\mu\text{m}$ 以下とする。ただし、基板など表面の凹凸を平滑化するために10 $\mu\text{m}$ 以上とすることが好ましい。

【0027】また、基板49を構成する補助基板および補助基板として、厚さ40 $\mu\text{m}$ 以上400 $\mu\text{m}$ のものを用いることが好ましい。また、補助基板および補助基板の厚さを120 $\mu\text{m}$ 以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成

形時のむらまたは位相差を低く抑えることができる。好ましくは、補助基板の厚みを50 $\mu\text{m}$ 以上80 $\mu\text{m}$ 以下とする。

【0028】次に、この積層基板に、透明導電膜の補助アンダーコート層として $\text{SiOx}$ を形成し、必要に応じて画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。また、必要に応じて静電気防止としてITO膜を形成する。このようにして製造した表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値25 $\Omega/\square$ 、透過率80%を実現することができる。

【0029】ベース基板の厚さが50 $\mu\text{m}$ から100 $\mu\text{m}$ の薄い場合には、表示パネルの製造工程において、表示パネル用プラスチック基板が熱処理によってカールしてしまう。また、回路部品の接続においても良好な結果は得られない。ベース基板を1枚板で厚さ200 $\mu\text{m}$ 以上500 $\mu\text{m}$ 以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、特に厚さは250 $\mu\text{m}$ 以上450 $\mu\text{m}$ 以下がよい。適度な柔軟性と平面性をもっているためと考えられる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0030】なお、基板49として前述のプラスチック基板などの有機材料を使用する場合は、光変調層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、AIRコートと同一材料で形成することが好ましい。なお、封止基板41も基板49と同様に技術あるいは構成により作製できることは言うまでもない。

【0031】また、バリア膜を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。たとえば、フッ素を添加したアモルファスカーボン膜（比誘電率2.0~2.5）が例示される。その他、JSR社が製造販売しているLKDシリーズ（LKD-T200シリーズ（比誘電率2.5~2.7）、LKD-T400シリーズ（比誘電率2.0~2.2））が例示される。LKDシリーズはMSQ（methy-sil sesquioxane）をベースにしたスピン塗布形であり、比誘電率も2.0~2.7と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、 $\text{SiNx}$ 、 $\text{SiO}_2$ などの無機材料でもよい。これらのバリア膜材料は補助基板に用いてもよいことは言うまでもない。

【0032】プラスチックで形成した基板49あるいは41を用いることにより、割れない、軽量化できるという利点を発揮できる。他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できるのである（図25を参

照)。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することができる。たとえば、円形に形成したり、球形(曲面など)にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸252を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【0033】また、プラスチックをプレス加工することにより形成した基板41の穴に、バックライトあるいはカバー基板の位置決めピンを挿入できるように形成することも容易である。また、基板49、41内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、基板41に凹部(図示せず)を形成し、基板49に凸部251を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、基板41と基板49とをはめ込みにより一体化することができるように構成してもよい。

【0034】ガラス基板を用いた場合は、画素16の周辺部にELを蒸着する際に使用する土手を形成していた。土手(リブ)は樹脂材料を用いて、1.0μm以上3.5μm以下の厚みで凸部状に形成する。さらに好ましくは1.5μm以上2.5μm以下の高さに形成する。土手この樹脂からなる土手(凸部)251を基板41または49の形成と同時に作製することもできる。なお、土手材料はアクリル樹脂、ポリイミド樹脂の他、SOG材料でもよい。土手は基板41または基板49をプレス加工する際に樹脂の凸部251を同時に形成するのである(図25を参照)。これは基板41、49を樹脂で形成することにより発生する大きな効果である。

【0035】このように樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、基板49などの製造時に、表示領域部にドット状に凸部251を形成する。この凸部251は隣接画素間に形成するとよい。この凸部251は基板41と基板49との所定の空間を保持する。土手形状は、画素電極を取り囲む□状の他、ストライプ状でもよい。

【0036】なお、以上の実施例では、土手として機能する凸部251を形成するとしたが、これに限定することはない。例えば、画素部をプレス加工などにより掘り下げる(凹部)としてもよい。なお、凹凸部252、凸部251を形成は基板と同時に形成する他、平面な基板を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【0037】また、基板41、49を直接着色することにより、モザイク状のカラーフィルタを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し、浸透させる。浸透後、高温で乾燥させ、また、表面をUV樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピン

ナーで膜を塗布し、現像する半導体パターン形成技術などでカラーフィルタを形成する。同様に技術を用いてカラーフィルタの他、黒色もしくは暗色あるいは変調する光の補色の関係にあるの着色によりブラックマトリックス(BM)を直接形成してもよい。また、基板面に画素に対応するように凹部を形成し、この凹部にカラーフィルタ、BMあるいはTFTを埋め込むように構成してもよい。特に表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平坦化されるという利点もある。

【0038】また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極あるいはカソード電極を直接に構成してもよい。さらに大きくは基板に穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。基板が薄く構成できる利点が発揮される。

【0039】また、基板の表面を切削することにより、自由に模様を形成したりしてもよい。また、基板41、49の周辺部を溶かすことにより形成してもよい。また、有機EL表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【0040】以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。また、基板41、49に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電氣的に導通させたりすることもできる。基板41、49が多層回路基板あるいは両面基板として利用できる。

【0041】また、導電樹脂のかわりに導電ピンなどを挿入してもよい。形成した穴にコンデンサなどの電子部品の端子を差し込めるように構成してもよい。また、基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。つまり、基板41、49自身を多層の配線基板としてもよい。多層化は薄い基板をはりあわせることにより構成する。はり合わせる基板(フィルム)の1枚以上を着色してもよい。

【0042】また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色したりすることにより、積載したICチップに光が照射されることにより誤動作することを防止できる。

【0043】また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術(インジェクション加工、コンプレクション加工など)を応用すればよい。また、同様の加工技術を用いることにより表示領域の半分を異なるEL層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

10

20

30

40

50

【0044】また、基板41または基板49に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、基板41、49を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成し、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズ形成するスタンプ技術で実現できる。

【0045】基板41、49は、ストライプ状電極（図示せず）が形成されている。基板が空気と接する面には、反射防止膜（AIRコート）が形成される。基板41、49に偏光板などが張り付けられていない場合は基板41、49に直接に反射防止膜（AIRコート）が形成される。偏光板（偏光フィルム）など他の構成材料が張り付けられている場合は、その構成材料の表面などに反射防止膜（AIRコート）が形成される。

【0046】なお、以上の実施例は基板41、49がプラスチックで形成することを中心として説明したが、これに限定するものではない。たとえば、基板41、49がガラス基板、金属基板であっても、プレス加工、切削加工などにより、凹凸部252、凸部252などを形成または構成できる。また、基板への着色なども可能である。したがって、説明した事項はプラスチック基板に限定するものではない。また、基板に限定するものでもない。たとえば、フィルムあるいはシートでもよい。

【0047】また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【0048】なお、表示パネル82の光入射面あるいは光出射面に配置または形成する偏光板（偏光フィルム）は直線偏光にするものに限定するものではなく、楕円偏光となるものであってもよい。また、複数の偏光板をはり合わせたり、偏光板と位相差板とを組み合わせたり、もしくははり合わせたものを用いてもよい。

【0049】偏光フィルムを構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。

【0050】AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

【0051】また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合は広い可視光の波長帯域での反射を防止するために用いられる。これをマル

チコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられる。これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限定するものではなく、1層でもよい。

【0052】マルチコートの場合は酸化アルミニウム（ $\text{Al}_2\text{O}_3$ ）を光学的膜厚が $nd = \lambda/4$ 、ジルコニウム（ $\text{ZrO}_2$ ）を $nd1 = \lambda/2$ 、フッ化マグネシウム（ $\text{MgF}_2$ ）を $nd1 = \lambda/4$ 積層して形成する。通常、 $\lambda$ として520nmもしくはその近傍の値として薄膜は形成される。

【0053】Vコートの場合は一酸化シリコン（ $\text{SiO}$ ）を光学的膜厚 $nd1 = \lambda/4$ とフッ化マグネシウム（ $\text{MgF}_2$ ）を $nd1 = \lambda/4$ 、もしくは酸化イットリウム（ $\text{Y}_2\text{O}_3$ ）とフッ化マグネシウム（ $\text{MgF}_2$ ）を $nd1 = \lambda/4$ 積層して形成する。 $\text{SiO}$ は青色側に吸収帯域があるため青色光を変調する場合は $\text{Y}_2\text{O}_3$ を用いた方がよい。また、物質の安定性からも $\text{Y}_2\text{O}_3$ の方が安定しているため好ましい。また、 $\text{SiO}_2$ 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0054】なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネル82などの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料に親水性が良好な材料で構成しておくことが好ましい。

【0055】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ（TFT）を形成する。形成するTFTは、同じ種類のTFTであってもよいし、Pチャンネル型とNチャンネル型のTFTというように、違う種類のTFTであってもよいが望ましくはスイッチングトランジスタ、駆動用トランジスタとも同極性のものが望ましい。またTFTの構造は、プレーナー型のTFTで限定されるものではなく、スタガー型でも、逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成されたものでも、非セルフアライン方式によるものでもよい。

【0056】本発明のEL表示素子15は、基板上に、ホール注入電極（画素電極）となるITO、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有する。前記基板にはTFTが設けられている。

【0057】本発明のEL表示素子を製造するには、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるITOをスパッタ法で成膜、パターニングする。その後、有機EL層、電子注入電極等を積層する。

【0058】TFTとしては、通常が多結晶シリコンT

FTを用いればよい。FTは、EL構造体の各画素の端部に設けられ、その大きさは10~30 $\mu\text{m}$ 程度である。なお、画素の大きさは20 $\mu\text{m}$ ×20 $\mu\text{m}$ ~300 $\mu\text{m}$ ×300 $\mu\text{m}$ 程度である。

【0059】基板上には、FTの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電氣的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、Al、Alおよび遷移金属（ただしTiを除く）、Tiまたは窒化チタン（TiN）のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とFTの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100~1000nm程度とすればよい。

【0060】FTの配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO<sub>2</sub>等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG（スピン・オン・グラス）で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよい。中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0061】EL構造体の発光ピークは2つ以上であってもかまわない。本発明のEL表示素子は、緑および青色発光部は、例えば、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑色発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0062】次に、本発明のEL表示素子15を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

【0063】ホール注入電極としては、ホール注入電極側から発光した光を取り出す構造であるため、例えば、ITO（錫ドープ酸化インジウム）、IZO（亜鉛ドープ酸化インジウム）、ZnO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10~500nm程度とす

ることが好ましい。素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、10~30 $\Omega/\square$ （膜厚50~300nm）のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。

【0064】ホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0065】電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg（Ag：1~20at%）、Al・Li（Li：0.3~14at%）、In・Mg（Mg：50~80at%）、Al・Ca（Ca：5~20at%）等が好ましい。

【0066】電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値には特に制限はないが、通常、膜厚は100~500nm程度とすればよい。

【0067】正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0068】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0069】発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、5~100nm程度とすることが好ましい。

【0070】正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10~10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれ

の厚さは、注入層は1 nm以上、輸送層は20 nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100 nm程度、輸送層で100 nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。

【0071】また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0072】本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス（8-キノリノラト）アルミニウム〔Alq3〕等の金属錯体色素、特開平6-110569号公報（フェニルアントラセン誘導体）、同6-114456号公報（テトラアールエテン誘導体）、特開平6-100857号公報、同特開平2-247278号公報等に開示されているような青緑色発光材料が挙げられる。

【0073】青色発光の有機EL素子15は、発光層の材料に発光波長が約400 nmの「DMPhen（Triphenylamine）」を用いるとよい。この際、発光効率を高める目的で、電子注入層（Bathocuproine）と正孔注入層（m-MTDATA）にバンド・ギャップが発光層と同じ材料を採用することが好ましい。バンド・ギャップが3.4 eVと大きいDMPhenを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまり、発光層で電子と正孔の再結合が起こりにくからである。DMPhenのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhen中で励起したエネルギーをドーバントに移動させ、ドーバントから発光させることにより解決できる。

【0074】EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率率は2～3%程度である。蛍光発光材料は内部量子効率（励起によるエネルギーが光に変わる効率）が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

【0075】有機EL素子の発光層のホスト材料にはCBPを用いるとよい。ここに赤色（R）や緑色（G）、青色（B）のりん光発光材料をドーピングしている。ドーピングした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2Ir(acac)、B材料はFIrpicを用いると良い。

【0076】また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-19

1694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

10 【0077】以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。以前に説明したように、まず、アレイ基板49に画素を駆動するTFT11を形成する。1つの画素は4個または5個のTFTで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値として蓄積容量19に保持される。このTFT11の組み合わせなど画素構成については後に説明をする。次にTFT11に正孔注入電極としての画素電極を形成する。画素電極48はフォトリソグラフィーによりパターン化する。なお、TFT11の下層、あるいは上層にはTFT11に光入射することにより発生するホトコンダクタ現象（以後、ホトコンと呼ぶ）による画質劣化を防止するために、遮光膜を形成または配置する。

20 【0078】なお、電流プログラムとは、ソースドライバ回路14からプログラム電流を画素に印加し（もしくは画素からソースドライバ回路14に吸収し）、この電流に相当する信号値を画素に保持させるものである。この保持された信号値に対応する電流をEL素子15に流す（もしくは、EL素子15から流し込む）。つまり、電流でプログラムし、プログラムされた電流に相当（対応）する電流をEL素子15に流すようにするものである。

30 【0079】一方、電圧プログラムとは、ソースドライバ回路14からプログラム電圧を画素に印加し、この電圧に相当する信号値を画素に保持させるものである。この保持された電圧に対応する電流をEL素子15に流す。つまり、電圧でプログラムし、画素内で電圧を電流値に変換し、プログラムされた電圧に相当（対応）する電流をEL素子15に流すようにするものである。

40 【0080】プラスチック基板にTFTを形成するためには、有機半導体を形成する表面を加工することで、炭素と水素からなるペンタセン分子を利用し電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20倍から100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

【0081】ペンタセンは、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させる



ために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子パッファ」を塗布するとよい。この層がシリコン上の「sticky sites (くっつきやすい場所)」を覆うため、清浄な表面ができてペンタセンが非常に大きな結晶粒にまで成長する。

【0082】これらの新しい大きな結晶粒の薄膜を使うことにより、大型結晶粒のペンタセンを用いたフレキシブルなトランジスタ(TFT)を作製することができる。このようなフレキシブルなトランジスタの大量生産のために、低い温度で液状の材料を塗ることによってトランジスタ(TFT)を製造することができる。

【0083】また、基板上にゲートとなる金属薄膜と島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。

【0084】有機トランジスタ(TFT)として、静電誘導トランジスタ(SIT)と呼ぶ構造を採用することが好ましい。アモルファス状態のペンタセンを使用する。正孔の移動度は $1 \times 10 \text{ cm}^2/\text{Vs}$ と結晶化したペンタセンよりも低い。しかし、SIT構造を採用することにより周波数特性を高めることができる。ペンタセンの膜厚は100以上300nmとすることが好ましい。

【0085】また、有機TFTとしてp型電界効果トランジスタでもよい。プラスチック基板上にTFTを形成できる。プラスチック基板ごと折り曲げることが可能なので、フレキシブルなTFT型表示パネルを構成できるペンタセンは多結晶状態とすることが好ましい。ゲート絶縁膜の材料にはPMMAを使用することが好ましい。有機トランジスタの活性層にはナフタセンを使ってもよい。

【0086】洗浄時に酸素プラズマ、 $\text{O}_2$ アッシャーを使用すると、画素電極48の周辺部の平坦化膜71も同時にアッシングされ、画素電極48の周辺部がえぐられてしまう。この課題を解決するために本発明では図8で示すように画素電極48周辺部をアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平坦化膜71を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 $\text{SiO}_2$ 、 $\text{SiNx}$ などの無機材料が例示される。その他、 $\text{Al}_2\text{O}_3$ などであってもよいことは言うまでもない。

【0087】エッジ保護膜81は画素電極48のパターニング48後、画素電極48間を埋めるように形成する。もちろん、このエッジ保護膜81を2以上4 $\mu\text{m}$ 以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手3661(メタルマスクが画素電極48と直接接しないようにするスペーサ)としてもよいことは言うまでもない。

【0088】また、図366に図示するように画素電極

48を大きくすることも発光効率を向上することに有効である。図366は画素電極48の周辺にエッジ保護膜を兼用する土手3661を形成している。土手3661は2以上4 $\mu\text{m}$ 以下の高さに形成される。土手3661は有機EL材料を塗り分ける際のメタルマスク(図示せず)画素電極48と直接接しないようにするスペーサとして機能する。

【0089】図366に図示する本発明では、画素電極48に重ねて、また、土手3661に重ねて第2の画素電極3662を形成している。第2の画素電極3662とは、画素電極48と同一材料で形成される。もちろん、材料を変化させてもよい。第2の画素電極は、画素電極48と電氣的接続が取られる。また、土手3661に重ねて形成される。そのため、画素開口率は高くなる。

【0090】この第2の画素電極3662の上にEL膜(47R(赤)、47G(緑)、47B(青))が形成される。各EL膜はわずかな隙間をあけて形成されるか、周辺部を重ねられる。重ねられた箇所はほとんど発光しない。また、EL膜47上にカソードとなるアルミ膜が形成される。なお、図366において、第2の電極を反射電極とし、本来、反射膜46を透明電極としてもよい。つまり、光の上取り出しである。

【0091】図366の構成では、土手3661の斜面を画素開口部として使用している。そのため、EL膜に印加される電流密度を低下でき、また、発光面積が広くなるため、効率がよくなる(画素開口率が大幅に向上する)。

【0092】以下、その他のEL表示パネル内で発生した光の取り出し効率を向上させる方式について説明をする。図279は、従来のEL表示装置の課題を説明するものである。図279において、2791は光の軌跡を図示している。

【0093】EL膜47で発生した光は、カソード46で反射などして、ドライバ回路12(14)が形成された基板49から出射する。この光2791aは基板49と空気との界面に対し、所定の角度で入射した光は基板49から出射する。しかし、臨界角 $\theta$ 以上の角度で入射した光2791bは基板49内で全反射してしまう。この全反射した光2791bは、基板49内で乱反射し、表示コントラストを低下させる。

【0094】全反射した光2791bは損失となる。この損失となる光の割合は、EL素子15が発生する全光束量の2/3に達する。したがって、光2791bの発生を低減することが、光利用率の向上に直結する。

【0095】この課題を解決する構成が図280の構成である。図7などで説明した封止膜73上に屈折シート(光屈折部材あるいは光屈折板)を取り付けている(配置している、あるいは形成している)。屈折シート2801は画素16に対応するように、三角形あるいは多角

形もしくは円弧上に屈折部2801が形成されている。この屈折部2801は全体が透明部材で構成してもよく、また、図280のaで示す部分（屈折部2802の内面）に反射膜を形成してもよい。反射膜は、A1、銀などの金属膜の他、低屈折率の誘電体膜と高屈折率の誘電体膜とを多層に形成することにより構成した干渉膜でもよい。また、スネルの法則による全反射領域となるように形状を設定してもよい。

【0096】また、屈折シートに屈曲部2802を形成したものを封止膜73に取り付ける構成だけでなく、封止膜73に直接に、屈曲部2802を形成してもよい。また、光の下取り出しの場合は、基板49自身を加工し、屈曲部2802を形成してもよい。また、封止板の上に形成または配置してもよい。

【0097】また、屈曲部2802の形状は、斜面状あるいは、円弧状に限定するものではなく、多角形、ついでに状でもよい。また、多数の針状の突起が密集して形成されたものでもよい。また、屈曲部2802は画素16の発光部の周辺部に形成されることを基本とする。つまり、画素16の開口率が30%であれば、画素16の非発光部（つまり、70%の部分）に形成する。もちろん、屈曲部2802の形成位置が発光位置に重なってもよいことは言うまでもない。

【0098】なお、屈曲部2802は画素16の発光部の周辺部に形成されることを基本とするとしたが、表示領域21の中央部を周辺部では多少変化させることが好ましい。表示領域21の中央部では、屈曲部2802を画素16の発光部の周辺部にちょうど配置されるように形成する。表示領域21の周辺部では、屈曲部2802を画素16の発光部の中心位置から外側にずらした配置（形成）するように形成する。このように、屈曲部2802の形成位置を表示領域の中央部と周辺部で変化させることにより、モアレの発生を抑制でき、また、色ムラの発生を抑制できる。

【0099】また、屈曲部2802の位置を画素ごとに多少ランダムに形成することによっても、モアレの発生を抑制でき、また、色ムラの発生を抑制できる。

【0100】また、屈曲部2802の内部をEL素子15で発光した光が通過し、かつ、この屈曲部2802で屈折してパネルの前面に出射されるように構成してもよい。つまり、屈曲部2802はプリズムとして作用する。この場合は、屈曲部2802は光透過材で構成する必要がある。

【0101】屈曲部2802が光透過材料で形成した場合、この材料を着色することは効果がある。EL素子15から放射する光の帯域をカットするカラーフィルタの効果を発揮できるからである。したがって、EL表示パネルの色純度が向上し、ホワイトバランスも良好となる。EL素子15が白色発光の場合は、カラーフィルタ

を設けず、この屈曲部2802をカラーフィルタとして

活用することができる。もちろん、カラーフィルタを別途形成し、さらに着色した屈曲部2802を形成または配置してもよいことは言うまでもない。また、屈曲部2802または屈折シート2801に直接に着色してもよい。また、屈曲部2802または屈折シート2801を着色材料で形成してもよい。

【0102】また、ELのカラー化には、青色発光のEL層を形成し、発光する青色光を、R、G、Bの色変換層（CCM：カラーチェンジミディウムズ）でR、G、B光に変換してもよい。もちろん、プレジエンシャドーマスクを利用したRGB有機材料（EL材料）の打ち分け方式を採用してもよい。本発明のカラーEL表示パネルはこれらのいずれの方式を用いても良い。

【0103】着色材としては、色素あるいは顔料を樹脂中に分散したものを用いても良いし、カラーフィルタのようにゼラチンやカゼインを酸性染料で染色してもよい。フルオラン系色素を発色させて用いることもできる。また、RGBの3色を必要とするものではなく、任意の1色以上を用いればよい。また、色素を用いて天然樹脂を染色することができる。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

【0104】屈曲部2802、屈折シート2801の構成材料はポリマー（2861）を用いることが好ましい。ポリマー（2861）としては、製造工程の容易さ、液晶相との分離等の点より光硬化タイプの樹脂を用いる。具体的な例として紫外線硬化性アクリル系樹脂が例示され、特に紫外線照射によって重合硬化するアクリルモノマー、アクリルオリゴマーを含有するものが好ましい。中でもフッ素基を有する光硬化性アクリル樹脂は経時変化が少なく、耐光性も良好である。

【0105】ポリマー（2861）を構成する高分子形成モノマーとしては、2-エチルヘキシルアクリレート、2-ヒドロキシエチルアクリレート、ネオペンチルグリコールアクリレート、ヘキサジオールジアクリレート、ジエチレングリコールジアクリレート、トリプロピレングリコールジアクリレート、ポリエチレングリコールジアクリレート、トリメチロールプロパントリアクリレート、ペンタエリスリトールアクリレート等々である。

【0106】オリゴマーもしくはプレポリマーとしては、ポリエステルアクリレート、エポキシアクリレート、ポリウレタンアクリレート等が挙げられる。

【0107】また、重合を速やかに行う為に重合開始剤を用いても良く、この例として、2-ヒドロキシ-2-メチル-1-フェニルプロパン-1-オン（メルク社製「ダロキュア1173」）、1-（4-イソプロピルフェニル）-2-ヒドロキシ-2-メチルプロパン-1-

オン（メルク社製「ダロキユア1116」）、1-ビドロキシシクロヘキシルフェニルケトン（チバガイギー社製「イルガキユア184」）、ベンジルメチルケタール（チバガイギー社製「イルガキユア651」）等が掲げられる。その他に任意成分として連鎖移動剤、光増感剤、染料、架橋剤等を適宜併用することができる。

【0108】なお、以上のポリマー（2861）に関する事項は、主として図286、図287、図290の製造方法で適用される。図288の製造方法の場合は、屈曲部2802は無機材料で形成される。もちろん、図288の場合であっても、ポリマーのように有機材料で形成してもよい。

【0109】屈曲部2802の配置は、図281に図示するように六角形状にするとよい。もちろん、八角形以上などでもよい。画素16の発光部の周囲に屈曲部2802を形成する。以上のように六角形状とすることにより、EL表示パネルを観察した際、表示画面をみる視点を変化させた場合でも色ムラ、色シフトの発生が非常に少なくすることができる。また、画素16の発光位置と屈曲部2802の位置ずれによるモアレの発生も少ない。

【0110】図281は画面21の上下方向に同一色を配置した構成（縦ストライプ構成）の実施例であった。図282のように画素の色配置をモザイク状に形成（配置）することにより、表示パネルを構成するドット数が比較的少ない場合であっても画像の斜め方向の解像度が向上する。

【0111】また、図283に図示するように、1つの画素16に複数の屈曲部2802を形成または配置してもよい。図283の実施例では、画素16は1つの画素電極を有しており、この1つの画素電極に対して、3つの屈曲部2801（2801a、2801b、2801c）が形成（配置）されている。もちろん、1つの画素16に複数の画素電極を有し、各画素電極に対して、それぞれ屈曲部2801が形成（配置）してもよい。なお、1つの画素電極に対して画素電極を複数に分割しても開口率の低下はあまり生じない。画素電極の周辺部に駆動あるいはスイッチング用のTFTなどを配置するからである。

【0112】もちろん、図284に図示するように、1つの画素284に1つの屈曲部2802を配置（形成）してもよい。また、図285（a）に図示するように、1つの画素に2列にかつ複数（図285（a）では2×6個）の屈曲部2802を形成してもよい。また、図285（b）のように、1つの画素電極に六角形などの多角形状の屈曲部2802を複数個（図285（b）では3個）形成してもよい。

【0113】以下、屈曲部2802（屈折シート2801を含む場合もある）を形成する製造方法について説明をする。

【0114】図286は本発明の第1の実施例である。まず、TFT11、画素16、ドライバ回路12・14などが形成された基板49にEL膜47を形成する。形成は、低分子EL膜を蒸着により形成してもよく、また、インクジェット方式で高分子EL膜を形成してもよい。EL膜47上に電極を形成し、この上に封止膜73を形成する（図286（a））。また、封止板を取り付けてもよい。これらの事項については、他の箇所でも詳細に説明するのでここでは省略する。

10 【0115】また、以下に説明する事項以外は、本発明の明細書に記載した製造方法が適用される。また、EL素子15の構成、画素構成、アレイ構成、パネル構成、駆動方法、駆動回路などに関しても以下の製造方法あるいは製造されたパネルなどに適用されることは言うまでもない。また、以下の製造方法で製造されたパネルなどを用いて情報表示装置、テレビ、モニター、カメラなどを構成できることも言うまでもない。

20 【0116】次に、図286（b）に示すように、未硬化のポリマー材料（透明膜2861）を封止膜73上に塗布する。ポリマー材料2861としては、先に説明した屈折部2802の材料である。なお、塗布はオフセット印刷、スクリーン印刷、ローラーによる塗布、スピナーでの塗布などのいずれの方法（技術）を用いてもよい。

30 【0117】未硬化のポリマー材料2861の塗布後、オープンに置いて予備乾燥させる。もしくは、弱い光（紫外線（UV）、可視光でもよい）をポリマー2861に照射して、ポリマー材料2861の流動性を抑える。その後、屈折部2802の形状を形成したローラー2862を回転させながら、透明膜2861に押し付ける。このようにローラー2862の凹凸形状を透明膜2861に転写する。この転写により、透明膜2862に屈折部2801に相当する凹凸（凹部）2863が形成させる。凹凸部2863の形成後、透明膜2861全体にUVまたは可視光を照射し、透明膜2861を完全に硬化させる。

40 【0118】透明膜2861を重合させる時の温度制御は重要である。加温は40度以上60度前後にする。紫外線（UV）は分光分布にもよるが20から30mW/cm<sup>2</sup>程度の強度で2秒から8秒間程度照射する。これらの温度および紫外線の照射条件は透明膜2861の添加材などを考慮して定めてなければならない。条件が不適切な場合は表面が白濁する。また、微細な凹凸状になる。本発明では、50℃の温度で光源に超高圧水銀灯を用いて、透明膜2861に紫外線（基板面での照射強度：30mW/cm<sup>2</sup>）を6秒照射し、透明膜2861を硬化させた。

50 【0119】なお、ローラー2862の内部に紫外線（UV2902）の発光源を配置し、ローラー2862の進行にあわせて、透明膜2861にUVを照射し、順

次硬化させてもよい。また、ローラー2862と別途、UV2902の発生源を設け、ローラー2862の進行にあわせて、この発生源から透明膜2861にUVを照射し、順次硬化させてもよい。また、屈曲部2802の必要な部分に反射膜などを形成する。反射膜の構成などについては、図280で説明したので省略する。

【0120】また、図290の製造方法により、屈折部2802を形成してもよい。図290(a)(b)は図286(a)(b)と同一であるので説明を省略する。図290(c)では、透明材料からなるスタンパ2901(プレス板)を用いている。プレス板2901には、屈折部2802と反対形状の凹凸が形成されている。プレス板2901は、石英ガラスなどの透明材料から形成されている。このプレス板2901を透明膜2861に押し付けることにより、プレス板2901の凹凸が透明膜2861に転写される。

【0121】このようにプレス板2901の凹凸形状を透明膜2861に転写する。この転写により、透明膜2862に屈折部2801に相当する凹凸(凹部)2863が形成させる。凹凸部2863の形成後、透明膜2861全体に、プレス板2901を介してUVまたは可視光2902を照射し、透明膜2861を完全に硬化させる。

【0122】プレス板2901の凹凸面には、オレフィン系の材料などからなる離形性のよい膜を形成しておくことが好ましい。これらの離形性のよい薄膜を凹凸面に形成しておくことにより透明膜2861とプレス板2901との離形性が良好となり、製造効率が向上する。なお、プレス板2901と透明材料2861とも温度管理も重要である。プレス板2901は透明膜2861よりも5度から15度程度、温度を低くしておくことが好ましい。なお、透明膜2861の種類によっては、温度は逆の関係にした方が離形性などは良好になる場合もある。したがって、実験を十分に実施し、条件を定める必要がある。

【0123】また、離形フィルムとしてはシリコン樹脂フィルム、フッ素樹脂フィルム、ポリエチレン、ポリプロピレン等のオレフィン系樹脂フィルムが例示され、また、樹脂フィルムの表面にシリコン樹脂、フッ素樹脂を塗布等したものが例示される。その他は紫外線を透過し、ある程度の柔軟性を有すれば何でもよい。たとえば、ガラス基板等も用いることはできる。

【0124】また、290(d)で図示するように、プレス板2901を取り外した後、透明膜2861全体にUV(可視光)を照射し、未硬化の樹脂成分を完全に硬化させる。このことは、透明膜2861が熱硬化タイプなどの場合も同様である。

【0125】なお、図286、図290などで説明した製造方法では、透明膜2861は紫外線硬化タイプを用いるとしたが、本発明はこれに限定するものではない。

たとえば、熱可塑タイプの樹脂材料、熱硬化タイプの樹脂材料、2液を混合させることにより硬化し始める2液タイプの常温硬化タイプなどの樹脂材料なども用いることができることは言うまでもない。以上の場合、ポリマー2861は透明材料である必要はない。ポリマー材料2861の選択範囲も広がり、エポキシ系樹脂、フェノール系樹脂などを用いることができる。この場合は、凹凸2863を形成後、加熱、放置などして屈曲部2802を形成する。もちろん、プレス板2901を透明膜2861に押し付けた状態で硬化させてもよい。また、屈曲部2802の必要な部分に反射膜などを形成する。反射膜の構成などについては、図280で説明したので省略する。

【0126】図287は、本発明の他の実施例である。図287(a)までは他の実施例と同様であるので説明を省略する。

【0127】図287(b)では封止膜73上に、凸部2871を形成している。凸部2871の形成位置は屈曲部2802形成位置に一致するようにする。つまり、画素周辺部あるいは画素の発光部の周辺部である。液晶表示パネルではブラックマトリックス(BM)の形成位置である。凸部2871はSiO<sub>2</sub>、SiNxなどの無機材料を用いて形成する。また、透明膜2861のように有機材料を用いてもよい。凸部2871の形成方法としては、封止膜73あるいは封止板上に無機薄膜あるいは有機薄膜を0.5~3μmの厚みで蒸着あるいは塗布する。その上にマスクを形成し、前記マスクを用いてネガまたはポジでエッチングする(図287(b))。

【0128】次に、図287(c)に図示するように、表示領域21の全体に、透明膜2861を塗布する。なお、塗布はオフセット印刷、スクリーン印刷、ローラーによる塗布、スピンナーでの塗布などのいずれの方法(技術)を用いてもよい。

【0129】塗布する樹脂は、粘度を5cp以上40cp以下とすることが好ましい。つまり、比較的粘度を低下したものを採用する。透明膜2861は凸部2871に沿って滑らかに形成される。以上のように、図287では凸部287と透明膜2861で屈曲部2802が形成される。また、屈曲部2802の必要な部分に反射膜などを形成する。反射膜の構成などについては、図280で説明したので省略する。

【0130】なお、図287(c)において、表示領域21の全体に透明膜を塗布するとしたがこれに限定するものではなく、無機材料からなる薄膜を蒸着してもよい。無機材料を蒸着することにより、凸部2871の凹凸により屈曲部2802が形成される。

【0131】図288は、本発明の他の実施例である。図288(a)までは他の実施例と同様であるので説明を省略する。図288(b)では封止膜73もしくは封止蓋の上に、メタルマスク2881を配置している。メ

タルマスク2881の開口部は、封止膜73側は開口部が広く、他面側が狭くなっている。

【0132】なお、メタルマスク2881は磁性体で作製し、基板49の裏面から磁石でメタルマスク2881を磁力で吸着する。磁力により、メタルマスク2881は基板と隙間なく密着する。

【0133】図288で説明したメタルマスク2881は、封止膜73に直接触れないように（もしくは、極力、封止膜73と接触しないように）するため、メタルマスク2881の裏面に1.5～3μmの高さの突起を形成する。もしくは、封止膜73あるいは封止蓋の表面に1.5～3μmの高さの突起を形成する。この突起は、EL膜47を蒸着などしない箇所に形成する。たとえば、隣接した画素間である。

【0134】図288(b)で図示するようにメタルマスク2881を介して、SiO<sub>2</sub>、SiNxなどの無機材料を堆積させる。堆積箇所は、屈曲部2802の形成箇所である。また、無機材料のかわりに透明膜2861のように有機材料を用いてもよい。以上のようにメタルマスク2881を用いて屈曲部2802を形成することができる。

【0135】図280は、プリズム状などの屈曲部（もしくは光反射部）2802であった。しかし、本発明はこれに限定するものではない。たとえば、図289に図示するように、画素16に対応してマイクロレンズ状の屈曲部2802を形成してもよい。マイクロレンズはサインカーブ状にすることが好ましい。また、円弧状に形成することが好ましいが、これに限定するものではなく、蒲鉾状であってもよい。マイクロレンズの高さは15μm以上3100μm以下とすることが好ましい。

【0136】マイクロレンズ基板のもとになるソーダガラス基板にTiを蒸着し、フォトリソグラフィで画素に対応した円形の窓を開ける。次に1価イオンの硝酸塩の溶解液に浸し、400度以上に加熱処理を行う。加熱時、溶解中の陽イオンが開口窓からガラス基板内に等方拡散しイオン交換が行われる。イオン交換されるとその部分は屈折率分布を生じる。屈折率は1.5～1.7である。以上のようにしてマイクロレンズが作製される。

【0137】また、マイクロレンズはスタンプ技術で形成する。このスタンプ技術はオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方式として用いている方式などを応用する。また、図289の屈曲部2802は回折格子で形成することもできる。他の事項は図280を同様であるので説明を省略する。

【0138】図280の構成では封止膜73上に屈折シートを取り付けている（配置している、あるいは形成している）。屈折シート2801は画素16に対応するように、三角形あるいは多角形もしくは円弧上に屈折部2801が形成されている。つまり、屈折部2801は凹

凸状であるとしたが、本発明はこれに限定するものではない。たとえば、図362に図示するように、凹部を屈折材料2802bで充填（形成）してもよい。もしくは、凸部を屈折材料2802aで充填（形成）してもよい。

【0139】屈折部2802aを高屈折率材料で形成（充填）し、屈折部2802bを低屈折率材料で形成（充填）する。もしくは、屈折部2802aを低屈折率材料で形成（充填）し、屈折部2802bを高屈折率材料で形成（充填）してもよい。低屈折材料は、二弗化マグネシウム、二酸化シリコン、三酸化アルミニウム、二弗化セリウム、一酸化シリコンのいずれかを選択する。高屈折材料は、三酸化ニットリウム、二酸化ジルコニウム、二酸化ハフニウム、五酸化ニタンタル、二酸化セリウム、二酸化チタン、硫化亜鉛、ITO、IZOのいずれかを選択する。

【0140】以上は無機材料であるが、有機材料でもよい。たとえば、低屈折材料としては、フッ素系のアクリル樹脂が例示される。その他、液体あるいはゲルも使用することができる。屈折率が1.3以上1.50以下の低屈折率材料としては、純粋、シリコン、エチレングリコール等のゲル、エチルアルコール、メチルアルコールなどが例示され、比較的高い屈折率材料としてはサルチル酸メチル等の液体が例示される。これらを充填することなどにより屈折シート2801を構成する。

【0141】図362のように屈折シート2801を形成すれば、シート2801に平面状になり、この平面に偏光板などをはりつけやすくなる。また、表面を6H以上のUV樹脂などでコーティングすることが容易にできる。したがって、シート2801の表面を保護することができる。なお、図363に図示するように屈折シート2801の上下をさかさまに取り付けてもよい。このように構成すれば、屈折部2802aが機械的に傷つくことを防止できる。なお、73は封止膜として機能するのではなく、保護シート（保護膜）として機能させてもよい。

【0142】また、図289の実施例でも同様である。図364に図示するように、屈折部2802aの凸部を屈折材料2802bで充填（形成）してもよい。もしくは、屈折部2802bの凹部を屈折材料2802aで充填（形成）してもよい。

【0143】また、図363と同様に、図365に図示するように屈折シート2801の上下をさかさまに取り付けてもよい。このように構成すれば、屈折部2802aが機械的に傷つくことを防止できる。なお、73は封止膜として機能するのではなく、保護シート（保護膜）として機能させてもよい。

【0144】図280では、屈折シート2801は画素16の周辺部に凸部を形成したように図示したがこれに

屈折シート2801の凸部が画素に対応するようい配置（形成）してもよい。具体的には、凸部がマトリックス状に形成された板チョコレート状である。図374において、画素16間のAの部分空気層（屈折率 $n=1$ ）である。Bの部分樹脂あるいは無機材料からなる部分である（屈折率 $n=1.5$ 前後）。したがって、EL層47で発光した光は屈折シート2801に入射し、このシート2801から出射する光の一部は界面Cで全反射される。そのため、光は集光されて屈折シート2801から出射する。

【0145】以上では、マイクロレンズなどを用いて集光する実施例を開示したが、本発明はこれに限定するものではない。たとえば、図375はプリズムシート2801a（これらも、本発明では屈折シートである）を封止膜73上に配置または形成している。このようなプリズムシートは3M社が、液晶表示パネルの照明デバイスとして製造販売している。プリズムピッチは、 $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下のものを用いることが好ましい。

【0146】プリズムシート2801aに光出射側には拡散シート3751を配置する。拡散板又は拡散シートのいずれでもよいが、ここでは拡散シート3751として説明をする。拡散シート3751はプリズム2801aのプリズムとプリズムとの境目が見えない（見えにくく）するようにするためのものである。拡散シート3751の散乱性能が高いと、EL表示パネルの表示画面にもやがかったようになる。逆に低いとプリズム形状が視覚的に見えてしまう。

【0147】拡散シート3751の一例として、（株）きもとの品番ライトアップシリーズ100MX、100SX、100SH又は100Sがある。また、筒中プラスチック（株）の拡散板も用いることができる。その他、拡散シート3751として回折格子、マイクロレンズアレイ、セルホックレンズアレイ等も採用することができる。つまり、拡散板又は拡散シート15は、光学的ローパスフィルタであればよいのである。

【0148】EL層47から出射したランダム光は、プリズムシート2801aにより指向性のある光に変換される。ここで、指向性のある光と記載したが、これは指向性何度と記載しがたいためである（ランダム光よりは指向性が狭いという意味合い）。この光は拡散シート3751を通過して多少拡散され観察者の目に到達する。

【0149】プリズムシート2801aは図376に図示するように1つの画素16に対し複数の四角錐上のプリズムが対応している。なお、プリズムは四角錐のみに限定されるものではなく、三角錐であってもよい。また、円錐状であってもよい。さらには六角錐などでもよい。また、円筒状であってもよい。なお、図376では1つの画素16に複数のプリズム2801aがちょうど納まるように図示しているがこれに限定するものではなく、ずれていてもよい。

【0150】図376では、プリズム2801aは3次元状であったが、これに限定するものではなく、図378に図示するようにストライプ状（2次元状）であってもよい。この場合は、図377に図示するように、ストライプ状のプリズムシート2802aと2802bとを略直交するように配置する（形成する）。

【0151】以上の実施例は、EL素子47で発生したランダム光は屈折シート2802を用いて指向性のある光にし、あるいは集光し、パネルの前面からみた輝度を高くする構成あるいは方法であった。

【0152】図379はレンズの集光機能を発揮させて、表示パネルの前面から出射する光量を多くし、高輝度表示を実現するものである。図379はその実施例である。なお、図379において、説明を容易にするため、封止膜73などは省略している。

【0153】図379において、3791は反射板である。反射板3791は封止膜73上に形成される。反射板は反射手段であればよく、封止膜73上に直接に形成した金属薄膜（Ag、Alなど）の他、透明シートに金属薄膜（Ag、Al）を蒸着したものを貼り付けてもよい。なお、反射板はシート状、フィルム状、薄膜状、板状のいずれに限定するものではない。また、反射する機能を有さなくともよい。例えば、拡散材である。先に説明した拡散シートの他、板あるいはシートにフロスト加工したガラス板、酸化チタンなどの拡散粒子を含有する樹脂板あるいはオパールガラスが該当する。もちろん、酸化チタンなどの拡散粒子を塗布して形成してもよい。その他、光吸収膜であってもよい。本発明は、穴3792から出射する光を集光し、指向性のある光として出射するものであるからである。したがって、光吸収膜に穴3792を形成したものであってもよい。なお、ここでは、説明を容易にするため、3791は反射板として説明をする。

【0154】図379において、マイクロレンズ（光屈曲手段）2802cの中央部に穴3792（光出射穴）が配置（形成）されている。隣接した画素16間には反射壁3793が形成されている。これは、Al、Mg、Agなどの金属材料あるいはこれらの合金で形成される。その他、反射壁に限定するものではなく、遮光機能を有するものであればよい。これは広義であり、光吸収機能を有するものでもよい。

【0155】光吸収膜あるいは遮光膜として機能するのは材料で多く存在する。アクリルあるいはエポキシ樹脂に着色材で着色して形成すればよい。着色材としては、色素あるいは顔料を樹脂中に分散したものを用いても良いし、カラーフィルタのようにゼラチンやカゼインを酸性染料で染色してもよい。フルオラン系色素を発色させて用いることもできる。また、色素を用いて天然樹脂を染色することができる。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲

10

20

30

40

50

は、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

【0156】また、反射壁3793の主構成材料を樹脂で形成する場合は、ポリマー材料を用いることが好ましい。ポリマーとしては、製造工程の容易さ、化学的安定性の点より光硬化タイプの樹脂を用いる。具体的な例として紫外線硬化性アクリル系樹脂が例示され、特に紫外線照射によって重合硬化するアクリルモノマー、アクリルオリゴマーを含有するものが好ましい。中でもフッ素

基を有する光硬化性アクリル樹脂は経時変化が少なく、耐光性も良好である。

【0157】なお、光屈曲手段（マイクロレンズなど）2802cの光出射側には、拡散シート3751などを配置（形成）し、マイクロレンズ2802cによる輝度ムラ、あるいはモアレが発生しないようにする。

【0158】図380に図示するように、マイクロレンズ2802cを垂直方向から見たとき、レンズ2802cの焦点近傍に反射板3791の穴3792が配置されるように形成されている。なお、穴はマイクロレンズ2802cの焦点よりも短い位置に配置することが好ましい。たとえば、マイクロレンズ2802cの焦点距離が $f$  (m)であれば、穴3792の光出射位置（反射板3791に厚みがある場合は、最もレンズ2802cの光出射位置から遠い位置）は、マイクロレンズ2802c焦点位置 $f$ の0.5以上0.95以下の位置となるようにすることが好ましい。つまり、位置は $0.5f$ 以上 $0.95f$ 以下とする。なお、穴3792の直径はマイクロレンズ2802c形成ピッチ $d$ の0.05以上0.5以下とする。つまり、穴の直径は $0.05d$ 以上 $0.5d$ 以下とする。

【0159】なお、図380ではレンズ2802cは円形のように図示しているがこれに限定するものではなく、六角形状に細密充填状に形成（配置）してもよい。また、三角形状でもよい。その他、かまぼこ状（2次元状）であってもよい。また、マイクロレンズ2802cの中央部に穴3792が位置するように形成（構成）するとしたがこれに限定するものではなく、穴位置がずれていてもよい。穴3792位置を中央部からずらすことにより、レンズ2802cから出射する光の主光線に角度をつける（主光線が垂直方向でなく、特定の角度を持った方向にすることができ）ことができる。もちろん、画素16に複数のレンズ2802cがちょうど納まるように形成する必要がないことはいうまでもない。また、図382では、反射板3791上に直接にレンズ2802cを形成しているように図示したがこれに限定するものではなく、適当な隔離層を形成あるいは配置してもよい。

【0160】図379のEL表示パネルは画素電極48が反射電極となっている。図381に図示するように、

EL層47で発光した光は、反射板3791、画素電極48、反射壁3793で乱反射する。そのうち一部の光は穴3792から出射し、レンズ2802cで集光される。例えば、光2791aはEL層47から穴3792aに直接に入射してレンズ2802cで集光される。光2791bは反射板3791で反射し、次に画素電極48で反射した後、穴3792bに入射してレンズ2802cで集光される。光2791cは反射壁3793で反射した後、穴3792cに入射してレンズ2802cで集光される。

【0161】いずれにしても微細な穴3792から出射した光がレンズで指向性のある光に集光される。これは、面光源であるEL層47を反射膜3791で点光源化し、レンズ2802cによる機能を発揮させる構成だからである。点光源であれば、レンズ2802cで良好な集光を行うことができる。また、点光源部（穴3792）は光が集中するため、高輝度の点光源となっている。したがって、光利用効率も高い。そのため、本発明のEL表示装置は高輝度表示を実現できる。

【0162】さらに、マイクロレンズ2802cによる光集光効率を向上させるためには、図382に図示するように反射電極48上などに光散乱部3821を形成（構成）するとよい。光散乱部3821は、反射電極48の表面を白濁させたり、微小な凹凸を形成したり、酸化チタン微粒子を塗布あるいは形成したりすることにより実現できる。また、光散乱部3821は、拡散シート、光拡散接着剤などでも実現できる。

【0163】図382で図示するように、穴3792の下層に光散乱部3821を形成することにより、入射光2791aが光散乱部3821で散乱光2791bとなる。この散乱光2791bの光が穴3792に入射しレンズ2802cで集光される。この光散乱部3821の形成位置を穴3792の真下からずらすことにより、レンズ2802cに入射する光の主光線の角度を傾けることができる。したがって、特定の方向から表示パネルを見たとき（垂直方向でないという意味である）、最も明るい表示となるようにすることができ。また、レンズシート2802cと反射板3791とを分離できるように構成し、穴3792とレンズ2802c中心とをずらせることによっても特定の方向から表示パネルを見たとき、最も明るい表示となるようにすることができ（つまり、最も明るく見える位置を可変できる）。

【0164】図381、図382などにおいて、マイクロレンズ2802cは図383に図示するように、2次元状でもよい。図383においても、穴3792の短径はマイクロレンズ2802c形成ピッチ $d$ の0.05以上0.5以下とする。つまり、穴の幅は $0.05d$ 以上 $0.5d$ 以下とする。また、図380では、1画素16に9個のレンズ2802cが配置されたように図示した。しかし、図384に図示するように、縦長のRGB

の画素16(16R、16G、16B)で構成される場合は、それぞれの画素に同一数のマイクロレンズ2802cが配置されるように構成(形成)してもよいことは言うまでもない。

【0165】EL表示パネルは、発生する光がランダム光であるため、視野角が広いという特徴がある。しかし、逆に発生する光がランダム光であるため、基板界面で全反射する光も多い。一説に全反射する光は全発生光の2/3であると言われている。この全反射光は、基板(アレイ基板49、封止ふた41)などで乱反射(ハレーション)し、表示コントラストを低下させる。

【0166】EL層47から発生し、再びEL層47に戻る光を抑制すれば、ハレーションを防止でき高コントラスト表示を実現できる。本発明者らは種々の実験を繰り返し検討した結果、以下の条件を満足するように構成(形成)することにより高コントラスト表示を実現できた。以下、この条件について説明をする。

【0167】まず、図386に図示するように、表示パネルの有効対角長をd(m)とする。また、図385に図示するように、EL層47から基板49が空気と接する界面までの距離をt(m)とする。また、基板49の屈折率をnとする。この時、

$$t \geq (1/8) \cdot \sqrt{(n \cdot n - 1)}$$

の条件を満足させる。この以下の条件を満足させることによりハレーションがなく、高コントラスト表示を実現できる。

【0168】また、さらに好ましくは、以下の条件を満足させることにより、さらにハレーションがなく、高コントラスト表示を実現できる。

$$t \geq (1/4) \cdot \sqrt{(n \cdot n - 1)}$$

なお、基板49の無効領域(画像表示に有効な光が通過しない領域、たとえば、基板49の側面など)に光吸収膜を形成する。光吸収膜は、基板49の空気との界面で反射した光を吸収し、基板49内でハレーションが発生することを抑制する。

【0170】また、基板49の厚みtは、1枚の基板で厚さtとなることに限定されるものではない。例えば、2枚あるいはそれ以上の基板を貼り合わせ、あるいはオプティカルカップリング(光結合層3871)させて、基板厚さtを満足させるようにしてもよいことは言うまでもない。

【0171】以上は、基板49が板状の場合である。図387のようにEL表示パネル82の光出射側に凹レンズ3872を光結合層3871(オプティカルカップリング材(剤))で取り付ける(貼り付ける、オプティカルカップリングさせる、光学結合させる)ことにより、全体としての表示パネルの厚みを低減できる。つまり、凹レンズ3872は空気との界面で反射する光を有効表示領域にもどすことが少ないからである。このことは、出射側基板49の出射面が凹面の場合、出射面が平面の

場合と比較して、中心厚が薄くてもコントラスト向上の効果が大きいことを意味する。したがって、 $t \geq (1/4) \cdot \sqrt{(n \cdot n - 1)}$ には制約されない。

【0172】また、図387(b)に図示するように、凹レンズ3872に微小な空気層(空気ギャップ)3875を配置して正レンズ(平凸レンズ)3873を配置することにより、表示画像にゆがみがなくなる。空気ギャップにはほこりなどが侵入しないように周辺部を封止剤(封止材)3874で封止しておく。

10 【0173】真空蒸着装置は市販の高真空蒸着装置(日本真空技術株式会社製、EBV-6DA型)を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ(大阪真空株式会社製、TC1500)であり、到達真空度は約 $1 \times 10^{-6}$ Torr以下であり、全ての蒸着は $2 \sim 3 \times 10^{-6}$ Torrの範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源(菊水電子株式会社製、PAK10-70A)を接続して行うとよい。

20 【0174】このようにして真空層中に配置したアレイ基板上に、カーボン膜20~50nmを成膜する。次に、正孔注入層として4-(N,N'-ビス(p-メチルフェニル)アミノ)- $\alpha$ -フェニルスチルベンを0.3nm/secの蒸着速度で膜厚約5nmに形成する。

【0175】正孔輸送層として、N,N'-ビス(4'-ジフェニルアミノ-4-ピフェニル)-N,N'-ジフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N,N'-ジフェニルアミノ- $\alpha$ -フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成した。発光層(電子輸送層)としてトリス(8-キノリノラト)アルミニウム(同仁化学株式会社製)を0.3nm/secの蒸着速度で膜厚約40nmに形成する。

【0176】次に、電子注入電極として、AlLi合金(高純度化学株式会社製、Al/Li重量比99/1)から低温でLiのみを、約0.1nm/secの蒸着速度で膜厚約1nmに形成し、続いて、そのAlLi合金をさらに昇温する。Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0177】このようにして作成した有機薄膜EL素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ41をシール接着剤(シール剤)45(アネルバ株式会社製、商品名スーパーバックシール953-7000)で貼り付けて表示パネルとした。なお、封止フタ41とアレイ基板49との空間には乾燥剤55を配置する。これは、有機EL膜は湿度に弱いためである。乾燥剤55によりシール剤45を浸透する水分を吸収し有機EL膜47の劣化を防止する。



【0178】シール剤45からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹凸43、44を形成している。アレイ基板49の周辺部に形成した凸部44は少なくとも2重に形成する。凸と凸との間隔（形成ピッチ）は100 $\mu$ m以上500 $\mu$ m以下に形成することが好ましく、また、凸の高さは30 $\mu$ m以上300 $\mu$ m以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術はオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方式として用いている方式などを応用する。

【0179】一方、封止フタ41にも凸部43を形成する。凸部43の形成ピッチは凸部44の形成ピッチと同一にする。このように凸部43と44との形成ピッチを同一にすることにより凸部43に凸部44がちょうどはまり込む。そのため、表示パネルの製造時に封止フタ41とアレイ基板49との位置ずれが発生しない。凸部43と44間にはシール剤45を配置する。シール剤45は封止フタ41とアレイ基板49とを接着するとともに、外部からの水分の浸入を防止する。

【0180】シール剤45としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の割合で添加することが好ましい。また、この微粉末の粒子径は平均直径20 $\mu$ m以上100 $\mu$ m以下とすることが好ましい。微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなる。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0181】乾燥剤の重量はシールの長さ10mmあたり0.04g以上0.2g以下をすることが好ましい。特にシールの長さ10mmあたり0.06g以上0.15g以下をすることが望ましい。乾燥剤の量が少なくなると水分防止効果が少なくすぐに有機EL層が劣化する。多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。

【0182】図4ではガラスのフタ41を用いて封止する構成であるが、図7のようにフィルムを用いた封止であってもよい。たとえば、封止フィルムとしては電解コンデンサのフィルムにDLC（ダイヤモンド ライクカーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）。このフィルムを封止膜74として用いる。また、DLC膜など

を電極72の表面に直接蒸着する構成ものよいことは言うまでもない。つまり薄膜で封止する。薄膜の膜厚は $n \cdot d$ （ $n$ は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）にして計算する。 $d$ は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 $\lambda$ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0183】以上のようにふた41を用いず、封止膜74で封止する構成を薄膜封止と呼ぶ。基板49側から光を取り出す下取り出しの場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は1 $\mu$ m以上10 $\mu$ m以下の厚みが適する。さらに好ましくは、膜厚は2 $\mu$ m以上6 $\mu$ m以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜74は前述したように、DLC（ダイヤモンド ライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【0184】EL層側から光を取り出す上取り出しの場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるAg-Mg膜を20オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜74を形成する。

【0185】有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49と透過して出射される。しかし、反射膜46は外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板49に入射板50および偏光板54を配置している。なお、画素が反射電極の場合はEL層47から発生した光は上方向に出射される。したがって、位相板50および偏光板54は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極48を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極48の表面に、凸部（もしくは凹凸部）を設けることで有機EL層との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード（アノード）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【0186】また、ディスプレイ内部に2層の薄膜を形

成することによって実現する外光反射を光学干渉によって打ち消すことで有機EL表示パネルのコントラストを向上することができる。従来の円偏光板を使う場合に比べてコストを低減できる。また、円偏光板が抱えていた拡散反射の問題や、表示色の視野角依存性及び有機EL発光層の膜厚依存性の問題を解決できる。

【0187】基板49と偏光板（偏光フィルム）54間には1枚あるいは複数の位相フィルム（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。位相フィルムは入射光を出射光に位相差を発生させ、効率よく光変調を行うのに寄与する。

【0188】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下とすることが好ましく、さらには80nm以上220nm以下とすることが好ましい。

【0189】なお、図7に図示するように位相フィルムと偏光板とを一体化した円偏光板74（円偏光フィルム）を用いてもよいことはいうまでもない。

【0190】位相フィルム50は染料あるいは顔料で着色しフィルタとしての機能をもたせることが好ましい。特に有機ELは赤（R）の純度が悪い。そのため、着色した位相フィルム50で一定の波長範囲をカットして色温度を調整する。カラーフィルタは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的である。顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【0191】以上のように位相フィルムの一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせたりしてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成したりしてもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0192】先にも記述したが、位相フィルムの機能はカラーフィルタに持たせてもよい。たとえば、カラーフィルタの形成時に圧延し、もしくは光重合により一定の方向に位相差が生じるようにすることにより位相差を発生させることができる。その他、図7の平滑化膜71を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは

配置する必要がなくなり表示パネルの構成が簡易になり、低コスト化が望める。なお、以上の事項は偏光板に適用してもよいことはいうまでもない。

【0193】偏光板（偏光フィルム）54を構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0194】偏光板はヨウ素などをポリビニールアルコール（PVA）樹脂に添加した樹脂フィルムのものが例示される。一対の偏光分離手段の偏光板は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち特定の偏光軸方向と異なる方向の偏光成分（reflective polarizer：リフレクティブ・ポラライザー）を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【0195】また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、例えばコレステリック液晶層と（1/4）λ板を組み合わせたもの、ブリュスターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッター（PBS）等を用いることも可能である。

【0196】図4では図示していないが、偏光板54の表面にはAIRコートを実施している。AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

【0197】また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限定するものではなく、1層でもよい。

【0198】マルチコートの場合は酸化アルミニウム（Al<sub>2</sub>O<sub>3</sub>）を光学的膜厚が $nd = \lambda/4$ 、ジルコニウム（ZrO<sub>2</sub>）を $nd = \lambda/2$ 、フッ化マグネシウム（MgF<sub>2</sub>）を $nd = \lambda/4$ 積層して形成する。通常、λとして520nmもしくはその近傍の値として薄膜は形成される。Vコートの場合は一酸化シリコン（SiO）を光学的膜厚 $nd = \lambda/4$ とフッ化マグネシウム（MgF<sub>2</sub>）を $nd = \lambda/4$ 、もしくは酸化イット

リウム ( $\text{Y}_2\text{O}_3$ ) とフッ化マグネシウム ( $\text{MgF}_2$ ) を  $n \cdot d = \lambda/4$  積層して形成する。SiOは青色側に吸収帯域があるため青色光を変調する場合は  $\text{Y}_2\text{O}_3$  を用いた方がよい。また、物質の安定性からも  $\text{Y}_2\text{O}_3$  の方が安定しているため好ましい。また、SiO<sub>2</sub>薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0199】なお、表示パネルに静電気がチャージされることを防止するため、表示パネルなどの表面に親水性の樹脂を塗布しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を行ってもよい。

【0200】また、画素電極48にはTFTが接続されるとしたがこれに限定されるものではない。アクティブマトリックスとは、スイッチング素子として薄膜トランジスタ(TFT)の他、ダイオード方式(TFD)、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、FET、MOSTランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動素子11と構成するものはこれらのいずれでも使用することができる。

【0201】また、TFTはLDD(ロー ドーピング ドレイン)構造を採用することが好ましい。なお、TFTとは、FETなどスイッチングなどのトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できることは言うまでもない。また、本明細書ではEL素子として有機EL素子(OEL, PEL, PLED, OLED)15を例のあげて説明するがこれに限定するものではなく、無機EL素子にも適用されることは言うまでもない。

【0202】まず、有機EL表示パネルに用いられるアクティブマトリックス方式は、1. 特定の画素を選択し、必要な表示情報を与えられること。2. 1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満足させなければならない。

【0203】この2つの条件を満足させるため、図12に示す従来の有機ELの素子構成では、第1のTFT11aは画素を選択するためのスイッチング用トランジスタ、第2のTFT11bはEL素子(EL膜)15に電流を供給するための駆動用トランジスタとする。

【0204】ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用トランジスタ11aは液晶用にも必要であるが、駆動用トランジスタ11bはEL素子15を点灯させるために必要である。この理由は液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流し続けなければ画素16の点灯状態を維持で

きないからである。

【0205】したがって、EL表示パネルでは電流を流し続けるためにトランジスタ11bをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用トランジスタ11aを通してキャパシタ19に電荷が蓄積される。このキャパシタ19が駆動用トランジスタ11bのゲートに電圧を加え続けるため、スイッチング用トランジスタ11aがオフになっても、電流供給線20から電流が流れつづけ、1フレーム期間にわたり画素16をオンできる。

【0206】この構成を用いて階調を表示させる場合、駆動用トランジスタ11bのゲート電圧として階調に応じた電圧を印加する必要がある。したがって駆動用トランジスタ11bのオン電流のばらつきがそのまま表示に現れる。

【0207】トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V~0.5Vの範囲でばらつきを持つため、駆動用トランジスタ11bを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、TFTの移動度、ゲート絶縁膜の厚みなどでも発生する。また、TFT11の劣化によっても特性は変化する。

【0208】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があるが、現状の低温多結晶ポリシリコンTFTではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。この問題を解決するため、1画素内に4つのトランジスタをもうけて、しきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法、定電流回路を1画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0209】しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてプログラムされるため電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。従って駆動電圧が高くなるという課題を有する。

【0210】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があるが、この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生する場合、トランジスタのしきい値電圧の変動が発生した場合、記憶された電流値が変動するという課題もある。

【0211】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するトランジスタ

11が、ソースフォロワ構成とならず、かつそのトランジスタにキルク電流があっても、キルク電流の影響を最小に抑えることが出来て記憶される電流値の変動を小さくすることが出来る構成である。

【0212】本発明のEL素子構造は、具体的には図1(a)に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにEL素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このようにソース信号線18上に画素電極を重ねる構成をハイパーチャ(HA)構造と呼ぶ。

【0213】第1のゲート信号線(第1の走査線)17aをアクティブ(ON電圧を印加)とすることにより第1のトランジスタ(TFTあるいはスイッチング素子)11aおよび第3のトランジスタ(TFTあるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値を流し、第1のトランジスタのゲートとドレイン間を短絡するように第2のトランジスタ11bが第1のゲート信号線17aアクティブ(ON電圧を印加)となることにより開くと共に、第1のトランジスタ11aのゲートとソース間に接続されたコンデンサ(キャパシタ、蓄積容量)19に、前記電流値を流すように第1のトランジスタ11aのゲート電圧(あるいはドレイン電圧)を記憶する。

【0214】なお、第1のトランジスタ11aのソース-ゲート間容量(コンデンサ)19は0.2pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。なお、コンデンサ(蓄積容量)19の大きさは、0.2pF以上2pF以下とすることがよく、中でもコンデンサ(蓄積容量)19の大きさは、0.4pF以上1.2pF以下とすることがよい。

【0215】なお、コンデンサ19は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機ELを作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μ以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

【0216】なお、メタルマスク2881は磁性体で作

製し、基板49の裏面から磁石でメタルマスク2881を磁力で吸着する。磁力により、メタルマスク2881は基板と隙間なく密着する。以上の製造方法に関する事項は、本発明の他の製造方法にも適用される。

【0217】次に、第1のゲート信号線17aを非アクティブ(OFF電圧を印加)、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11a並びにEL素子15に接続された第4のトランジスタ11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0218】この回路は1画素内に4つのトランジスタ11を有しており、第1のトランジスタM1のゲートは第2のトランジスタM2のソースに接続されており、第2のトランジスタおよび第3のトランジスタM2のゲートは第1のゲート信号線17aに、M2のドレインはM3のソースならびに第4のトランジスタM4のソースに接続されM3のドレインはソース信号線18に接続されている。トランジスタM4のゲートは第2のゲート信号線17bに接続され、トランジスタM4のドレインはEL素子15のアノード電極に接続されている。

【0219】なお、図1ではすべてのTFTはPチャンネルで構成している。Pチャンネルは多少NチャンネルのTFTに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい(図42、図43、図67などを参照)。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0220】なお、第3および第4のトランジスタは同一の極性で構成し、かつNチャンネルで構成し、第1および第2のトランジスタはPチャンネルで構成することが好ましい。一般的にPチャンネルトランジスタはNチャンネルトランジスタに比較して、信頼性が高い、キルク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度をえるEL素子に対しては、第1のトランジスタ11aをPチャンネルにする効果が大きい。

【0221】以下、本発明のEL素子構成について図13を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでTFT11bならびにTFT11cがONすることにより、等価回路として図13(a)となる。ここで、信号線より所定の電流I1が書き込まれる。これによりTFT11aはゲートとドレインが接続された状態となり、このTFT11aとTFT11cを通じて電流I1が流れる。従って、TFT11aのゲート-ソースの電圧はI1が流れるような電圧V1となる。

【0222】第2のタイミングはTFT11aとTFT11cが閉じ、TFT11dが開くタイミングであり、そのときの等価回路は図13(b)となる。TFT11aのソース・ゲート間の電圧V1は保持されたままとなる。この場合、M1のトランジスタ11aは常に飽和領域で動作するため、I1の電流は一定となる。

【0223】なお、トランジスタ11aのゲートとトランジスタ11cのゲートは同一のゲート信号線11aに接続している。しかし、トランジスタ11aのゲートとトランジスタ11cのゲートとを異なるゲート信号線11に接続してもよい(SA1とSA2とを個別に制御できるようにする)。つまり、1画素のゲート信号線は3本となる(図1の構成は2本である)。トランジスタ11aのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11のばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

【0224】第1のゲート信号線17aと第2のゲート信号線17bとを共通にし、第3および第4のトランジスタが異なった導電型(NチャンネルとPチャンネル)とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【0225】このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がM1のソース・ゲート間容量(コンデンサ)に記憶されない。TFTM3とTFTM4を異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずM3がオフしたのちにM4がオンすることが可能になる。

【0226】ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11e(M5)を図1(b)に示すようにカスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタM3を介してプログラムした電流がより精度よくEL素子15に流すことができるようになる。

【0227】図1の構成において、第1のトランジスタ11aの飽和領域における電流値I<sub>ds</sub>が下式の条件を満足させることがさらに好ましい。なお、下式においてλの値は、隣接する画素間において0.06以下0.01以上の条件を満足させる。

【0228】

$$I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

本発明では、トランジスタ11aの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソース・ドレイン間電圧の影響を受ける。この効果をミラー効果という。

【0229】隣接する画素におけるそれぞれのトランジスタ11aにΔV<sub>t</sub>なる閾値のシフトが発生した場合を考える。この場合記憶される電流値は同じである。閾値のシフトをΔLとすれば、約ΔV×λがトランジスタ11aの閾値が変動することによる、EL素子15の電流値のずれに相当する。したがって、電流のずれをx

(%)以下に抑えるためには、閾値のシフトの許容量を隣接する画素間でy(V)を許容するとして、λは0.01×x/y以下でなければならないことが判る。

【0230】この許容値はアプリケーションの輝度により変化する。輝度が100cd/m<sup>2</sup>から1000cd/m<sup>2</sup>までの輝度領域においては、変動量が2%以上あれば人間は変動した境界線を認識する。したがって、輝度(電流量)の変動量が2%以内であることが必要である。輝度が100cd/cm<sup>2</sup>より高い場合は隣接する画素の輝度変化量は2%以上となる。本発明のEL表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は100cd/m<sup>2</sup>程度である。実際に図1の画素構成を試作し、閾値の変動を測定すると、隣接する画素のトランジスタ11aにおいては閾値の変動の最大値は0.3Vであることが判った。したがって、輝度の変動を2%以内に抑えるためにはλは0.06以下でなければならない。しかし、0.01以下にする必要はない。人間が変化を認識することができないからである。また、この閾値のバラツキを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0231】また、第1のトランジスタ11aの飽和領域における電流値I<sub>ds</sub>が下式を満足するように構成することが好ましい。なお、λの変動が隣接する画素間において5%以下1%以上とする。

【0232】

$$I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式のλに変動があれば、ELを流れる電流値が変動する。変動を±2%以内に抑えるためには、λの変動を±5%に抑えなければならない。しかし、1%以下にする必要はない。人間が変化を認識することができないからである。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0233】また、実験、アレイ試作および検討によれば第1のトランジスタ11aのチャンネル長が10μm以上200μm以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が15μm以上150μm以下とすることが好ましい。これは、チャンネル長Lを長くした場合、チャンネルに含ま

れる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【0234】また、画素を構成するトランジスタ11が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコンTFTで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。

【0235】本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【0236】また、蓄積容量19の容量値をCs、第2のトランジスタ11bのオフ電流値をIoffとした場合、次式を満足させることが好ましい。

$$【0237】3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$【0238】6 < C_s / I_{off} < 18$$

トランジスタ11bのオフ電流を5pA以下とすることにより、ELを流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0239】また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \dots (1)$$

ここで、Coxは単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。VthはTFTの閾値、μはキャリアの移動度、Wはチャンネル幅、Lはチャンネル長、ε0は真空の移動度、εrはゲート絶縁膜の比誘電率を示し、dはゲート絶縁膜の厚みであ

\*現できる。

【0240】また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅W）＊（チャンネル長L）を54μm<sup>2</sup>以下とすることが好ましい。（チャンネル幅W）＊（チャンネル長L）とトランジスタ特性のバラツキとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが大きく、したがってこれを吸収するためには、できるだけレーザーの照射ピッチ（一般的には10数μm）をチャンネル内により多く含む構造が望ましい。各トランジスタの（チャンネル幅W）＊（チャンネル長L）を54μm<sup>2</sup>以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生する。したがって、各トランジスタの（チャンネル幅W）＊（チャンネル長L）は9μm<sup>2</sup>以上となるようにする。なお、さらに好ましくは、各トランジスタの（チャンネル幅W）＊（チャンネル長L）は16μm<sup>2</sup>以上45μm<sup>2</sup>以下となるようにすることが好ましい。

【0241】また、隣接する単位画素での第1のトランジスタ11aの移動度変動が20%以下であるようにすることが好ましい。移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、M1のゲートソース間の容量を充電できない。従って移動のばらつきを20%以内に抑えることにより画素間の輝度のばらつきを認知限以下にすることができ

【0242】以上の説明は、画素構成が図1の構成として説明したが、以上の事項は図21、図43、図71、図22に図示する構成にも適用することができる。以下、図21などの画素構成について、構成、動作などの説明をする。

【0243】EL素子15に流す電流を設定する時、TFT11aに流す信号電流をIw、その結果TFT11aに生ずるゲートソース間電圧をVgsとする。書き込み時はTFT11dによってTFT11aのゲート・ドレイン間が短絡されているので、TFT11aは飽和領域で動作する。よって、Iwは、以下の式で与えられる。

$$【0244】$$

る。

【0245】EL素子15に流れる電流をIddとすると、Iddは、EL素子15と直列に接続されるTFT11bによって電流レベルが制御される。本発明では、そのゲートソース間電圧が（1）式のVgsに一致する

ので、TFT1bが飽和領域で動作すると仮定すれば、  
以下の式が成り立つ。

\*【0246】  
\*

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \quad \dots \quad (2)$$

絶縁ゲート電界効果型の薄膜トランジスタ(TFT)が飽和領域で動作するための条件は、 $V_{ds}$ をドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots \quad (3)$$

ここで、TFT1aとTFT1bは、小さな画素内※10

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1) \quad \dots \quad (4)$$

ここで注意すべき点は、(1)式及び(2)式において、 $\mu$ 、 $C_{ox}$ 、 $V_{th}$ の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(4)式はこれらのパラメータを含まないので、 $I_{drv} / I_w$ の値はこれらのばらつきに依存しないということである。

【0249】仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち $I_w$ と $I_{drv}$ が同一の値となる。すなわちTFTの特性ばらつきによらず、EL素子15に流れる駆動電流 $I_{dd}$ は、正確に信号電流 $I_w$ と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0250】以上の様に、変換用TFT1aの $V_{th1}$ と駆動用TFT1bの $V_{th2}$ は基本的に同一である為、両TFTお互いにの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、TFT1a及びTFT1b共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 $V_{th1}$ よりも $V_{th2}$ が低くなってしまうことがある。この時には、駆動用TFT1bにサブスレッショルドレベルのリーク電流が流れる為、EL素子15は微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【0251】本発明では特に、駆動用TFT1bの閾電圧 $V_{th2}$ が画素内で対応する変換用TFT1aの閾電圧 $V_{th1}$ より低くならない様に設定している。例えば、TFT1bのゲート長 $L_2$ をTFT1aのゲート長 $L_1$ よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 $V_{th2}$ が $V_{th1}$ よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。以上の事項は図1のTFT1aとTFT1dの関係にも適用される。

【0252】図21に示すように、信号電流が流れる変換用トランジスタTFT1a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT1bの他、第1の走査線scanA(SA)の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタTFT1c、

※部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(1)式及び(2)式から容易に以下の式が導かれる。  
【0248】

第2の走査線scanB(SB)の制御によって書き込み期間中にTFT11aのゲート・ドレインを短絡するスイッチ用トランジスタTFT1d、TFT1aのゲート・ソース間電圧を書き込み終了後も保持するための容量C19および発光素子としてのEL素子15などから構成される。したがって、ゲート信号線は各画素2本であることから、以前に説明した図1、図2、図3などで説明した本発明の明細書全体の構成、機能、動作などが適用することができる。

【0253】図21でTFT1cはNチャンネルMOS(NMOS)、その他のトランジスタはPチャンネルMOS(PMOS)で構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をTFT1aのゲートに接続され、他方の端子はVdd(電源電位)に接続されているが、Vddに限らず任意の一定電位でも良い。EL素子15のカソード(陰極)は接地電位に接続されている。したがって、以上の事項は図1などにも適用されることは言うまでもない。

【0254】EL素子15の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれ、低くなる。この傾向はリニアの関係にある。したがって、Vdd電圧を外部温度によって(正確にはEL素子15の温度によって)調整することが好ましい。温度センサで外部温度を検出し、Vdd電圧発生部のフィードバックをかけてVdd電圧を変化させる。Vdd電圧は摂氏10℃の変化で、2%以上8%以下変化するようにすることが好ましい。中でも3%以上6%以下とすることが好ましい。

【0255】なお、図1などのVdd電圧はTFT11のオフ電圧よりも低くすることが好ましい。具体的には、 $V_{gh}$ (ゲートのオフ電圧)は少なくとも $V_{dd} - 0.5$ (V)よりも高くするべきである。これよりも低いとTFTのオフリークが発生し、レーザーアニールのショットムラが目立つようになる。また、 $V_{dd} + 4$ (V)よりも低くすべきである。あまりにも高いと逆にオフリーク量が増加する。したがって、ゲートのオフ電圧(図1では $V_{gh}$ 、つまり、電源電圧に近い電圧側)は、電源電圧(図1ではVdd)は、よりも $-0.5$

(V)以上+4(V)以下とすべきである。さらに好ましくは、電源電圧(図1ではV<sub>dd</sub>)は、よりも0(V)以上+2(V)以下とすべきである。つまり、ゲート信号線に印加するTFTのオフ電圧は、十分オフになるようにする。TFTがnチャンネルの場合は、V<sub>gl</sub>がオフ電圧となる。したがって、V<sub>gl</sub>はGND電圧に対して-4(V)以上0.5(V)以下の範囲となるようにする。さらに好ましくは-2(V)以上0(V)以下の範囲とすることが好ましい。

【0256】以上の事項は、図1の電流プログラムの画素構成について述べたが、これに限定するものではなく、図54、図67、図103などの電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムのV<sub>t</sub>オフセットキャンセルは、R、G、Bごとに個別に補償することが好ましい。

【0257】図21の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流I<sub>w</sub>を生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差点に配されていると共に、駆動電流の供給を受けて発光する電流駆動型のEL素子15を含む複数の画素とを備えている。

【0258】特徴事項として、図21に示した画素構成は、当該走査線scanAが選択された時当該データ線dataから信号電流I<sub>w</sub>を取り込む受入部と、取り込んだ信号電流I<sub>w</sub>の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLED15(他に、EL、OEL、PEL、PLEDと略称する場合がある)に流す駆動部とからなる。具体的には、前記受入部は取込用トランジスタTFT11cからなる。

【0259】前記変換部は、ゲート、ソース、ドレイン及びチャンネルを備えた変換用薄膜トランジスタTFT11aと、そのゲートに接続した容量Cとを含んでいる。変換用薄膜トランジスタTFT11a、受入部によって取り込まれた信号電流I<sub>w</sub>をチャンネルに流して変換された電圧レベルをゲートに発生させ、容量C19に生じた電圧レベルを保持する。

【0260】更に前記変換部は、変換用薄膜トランジスタTFT11aドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT11dを含んでいる。スイッチング用薄膜トランジスタTFT11dは、信号電流I<sub>w</sub>の電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタTFT11aのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをTFT11aのゲートに生ぜしめる。又、スイッチ用薄膜トランジスタTFT11dは、電圧レベルを容量Cに保持する時に遮断され、変換用薄膜トランジスタTFT11aのゲート及びこれに接続した容量C19をT

FFT11aのドレインから切り離す。

【0261】また、前記駆動部は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用薄膜トランジスタTFT11bを含んでいる。駆動用薄膜トランジスタTFT11bは、容量C19に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流はチャンネルを介してEL素子15に流す。変換用薄膜トランジスタTFT11aのゲートと駆動用薄膜トランジスタTFT11bのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流I<sub>w</sub>の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。

【0262】駆動用薄膜トランジスタTFT11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

【0263】駆動用薄膜トランジスタTFT11bは、その閾電圧が画素内で対応する変換用薄膜トランジスタTFT11aの閾電圧より低くならない様に設定されている。具体的には、TFT11bは、そのゲート長がTFT11aのゲート長より短くならない様に設定されている。あるいは、TFT11bは、そのゲート絶縁膜が画素内で対応するTFT11aのゲート絶縁膜より薄くならないように設定しても良い。

【0264】あるいは、TFT11bは、そのチャンネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するTFT11aの閾電圧より低くならない様に設定してもよい。仮に、TFT11aとTFT11bの閾電圧が同一となる様に設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、TFT11a及びTFT11bは両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、TFT11aの閾電圧よりTFT11bの閾電圧が低くなる場合がある。

【0265】この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用TFT11bに流れる為、EL素子15は微発光し画面のコントラスト低下が現れる。そこで、TFT11bのゲート長をTFT11aのゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、TFT11bの閾電圧がTFT11aの閾電圧よりも低くならない様にする。

【0266】ゲート長Lが比較的短い短チャンネル効果領域Aでは、ゲート長Lの増加に伴いV<sub>th</sub>が上昇する。一方、ゲート長Lが比較的大きな抑制領域Bではゲート長Lに関わらずV<sub>th</sub>はほぼ一定である。この特性を利用して、TFT11bのゲート長をTFT11aのゲート長よりも長くしている。例えば、TFT11aのゲート長が7μmの場合、TFT11bのゲート長を10μm程度にする。

【0267】TFT11aのゲート長が短チャンネル効果



領域Aに属する一方、TFT11bのゲート長が抑制領域Bに属する様にしても良い。これにより、TFT11bにおける短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、TFT11bに流れるサブスレッショルドレベルのリーク電流を抑制してEL素子15の微発光を抑え、コントラスト改善に寄与可能である。

【0268】図21に示した画素回路の駆動方法を簡潔に説明する。まず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、TFT11aに輝度情報に応じた信号電流Iwが流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、TFT11aのゲート・ドレイン間はTFT11dによって電氣的に短絡されているので(3)式が成立し、TFT11aは飽和領域で動作する。従って、そのゲートソース間には(1)式で与えられる電圧Vgsが生ずる。

【0269】次に、scanA、scanBを非選択状態とする。詳しくは、まずscanBを低レベルとしてTFT11dをoff状態とする。これによってVgsが容量C19によって保持される。次にscanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電氣的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、scanBが非選択となる時点では有効である必要があるが、その後は任意のレベル(例えば次の画素の書き込みデータ)とされて良い。

【0270】TFT11bはTFT11aとゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT11bが飽和領域で動作していれば、TFT11bを流れる電流は

(2)式で与えられ、これがすなわちEL素子15に流れる駆動電流Iddとなる。TFT11bを飽和領域で動作させるには、EL素子15での電圧降下を考慮してもなお(3)式が成立するよう、十分な電源電位をVddに与えれば良い。

【0271】なお、図1(b)などと同様に、インピーダンスを増大させるためなどを目的として、図22に図示するように、TFT11e、11fを付加しても良いことはいうまでもない。このようにTFT11e、11fを付加することによりより良好な電流駆動を実現できる。他の事項は図1で説明しているで省略する。

【0272】このようにして作製した図1、図21などで説明したEL表示素子に直流電圧を印加し、10mA/cm<sup>2</sup>の一定電流密度で連続駆動させた。EL構造体は、7.0V、200cd/cm<sup>2</sup>の緑色(発光極大波長λ<sub>max</sub> =

460nm)の発光が確認できた。青色発光部は、輝度100cd/cm<sup>2</sup>で、色座標がx=0.129、y=0.105、緑色発光部は、輝度200cd/cm<sup>2</sup>で、色座標がx=0.340、y=0.625、赤色発光部は、輝度100cd/cm<sup>2</sup>で、色座標がx=0.649、y=0.338の発光色が得られた。

【0273】以降、図1、図21、図43、図71、図22などを用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法などについて説明をする。

【0274】フルカラー有機EL表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るTFTの面積を小さくすればよい。低温多結晶Si-TFTはアモルファスシリコンに比較して10-100倍の性能を持ち、電流の供給能力が高いため、TFTの大きさを非常に小さくできる。したがって、有機EL表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0275】ゲートドライバ12あるいはソースドライバ14などの駆動回路をガラス基板46上に形成することにより、電流駆動の有機EL表示パネルで特に問題になる抵抗を下げることができる。TCPの接続抵抗がなくなるうに、TCP接続の場合に比べて電極からの引き出し線が2~3mm短くなり配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点があるとする。

【0276】次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図2はEL表示装置の回路を中心とした説明図である。画素16がマトリクス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ14が接続されている。ソースドライバ14の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

【0277】なお、1つのカレントミラー回路の最小出力電流は10nA以上50nAにしている。特にカレントミラー回路の最小出力電流は15nA以上35nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0278】また、ソース信号線18の電荷を強制的に放出または充電するブリチャージあるいはディスチャージ

10

20

30

40

50

ジ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するブリチャージあるいはディスチャージ回路の電圧(電流)出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBでことなるからである。

【0279】以上に説明した画素構成、アレイ構成、パネル構成などは、以下に説明する構成、方法、装置に適用されることは言うまでもない。また、以下に説明する構成、方法、装置は、すでに説明した画素構成、アレイ構成、パネル構成などが適用されることは言うまでもない。

【0280】有機EL素子は大きな温度依存性特性(温特)があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【0281】この場合は、選択するEL材料で一義的に決定されるから、マイコンなどのソフト制御する必要がある場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよい。重要なのは発光色材料により温特が異なっている点であり、発光色(R、G、B)ごとに最適な温特補償を行う必要がある点である。

【0282】R、G、Bの各EL素子の温特は一定範囲内にする必要がある。R、G、BのEL素子15の温特はない事が好ましいのはいうまでもない。少なくともR、G、Bの温特方向が同一方向か、もしくは変化しないようにする。また、変化は各色摂氏10℃の変化で、2%以上8%以下変化するようにすることが好ましい。中でも3%以上6%以下とすることが好ましい。

【0283】また、温特補償はマイコンでおこなってもよい。温度センサでEL表示パネルの温度を測定し、測定した温度によりマイコン(図示せず)などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、また、特定のメニュー表示を表示できるように制御してもよい。また、マウスなどを用いて切り替えできるように構成できる。また、EL表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0284】本発明ではソースドライバは半導体シリコンチップで形成し、ガラスオンチップ(COG)技術で基板46のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【0285】本発明はCOG技術に限定するものではなく、チップオンフィルム(COF)技術に前述のドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC102を別途作製し、3チップ構成としてもよい。

【0286】また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミドフィルムと銅(Cu)箔を、接着剤を使わずに熱圧着することができる。接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープ向けフィルムにはこのほか、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方式と、ポリイミドフィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方式がある。これらのいずれでもよいが、接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以下のリード・ピッチには、接着剤を使わないCuはり積層板に対応する。接着剤を使わないCuはり積層板のうち、Cu層をメッキや蒸着で形成する方法はCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【0287】一方、ゲートドライバ回路12は低温ポリシリコン技術で形成している。つまり、画素のTFTと同一のプロセスで形成している。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いて基板46上に実装してもよいことは言うまでもない。また、画素TFTなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成(有機TFT)してもよい。

【0288】ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号(CLKxP、CLKxN)、スタートパルス(STx)で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル(ENABL)信号、シフト方向を上下逆転するアップダウン(UPDWM)信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC(図示せず)からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【0289】シフトレジスタ22のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート

信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。

【0290】ソースドライバ14を低温ポリシリなどのポリシリ技術で基板46上に直接形成する場合も同様であり、ソース信号線を駆動するトランスファゲートなどのアナログスイッチのゲートとソースドライバのシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。たとえば、図2ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファゲートなどのアナログスイッチのゲートに接続されている。

【0291】インバータ回路23はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したようにゲートドライブ回路12のシフトレジスタ回路22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【0292】各インバータ回路23を構成するPチャンネルまたはNチャンネルのTFTのチャンネル幅をW、チャンネル長をL（ダブルゲート以上の場合は構成するチャンネルの幅もしくはチャンネル長を加算する）とし、シフトレジスタに近いインバータの次数を1、表示側に近いインバータの次数をN（N段目）とする。

【0293】インバータ回路23の接続段数が多いと接続されているインバータ23の特性差が多重（積み重なり）され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる（遅延時間バラツキ）。たとえば、極端な場合では、図2において出力ゲート24aは1.0μsec後（シフトレジスタからパルスが出力されてから起算して）にオンしている（出力電圧が切り替わっている）のに、出力ゲート24bは1.5μsec後（シフトレジスタからパルスが出力されてから起算して）にオンしている（出力電圧が切り替わっている）という状態が生じる。

【0294】したがって、シフトレジスタ22と出力ゲート24間に作製するインバータ回路23数は少ない方がよいが、出力ゲート24を構成するTFTのチャンネルのゲート幅Wは非常に大きい。また、シフトレジスタ22の出力段のゲート駆動能力は小さい。そのため、シフトレジスタを構成するゲート回路（NAND回路など）で直接に出力ゲート24を駆動することは不可能で

ある。そのため、インバータを多段接続する必要があるが、たとえば、図2のインバータ23dのW4/L4（Pチャンネルのチャンネル幅/Pチャンネルのチャンネル長）の大きさと、インバータ23cのW3/L3の大きさの比が大きいと遅延時間が長くなり、また、インバータの特性がバラツキも大きくなる。

【0295】図3に遅延時間バラツキ（点線で示す）と遅延時間比（実線で示す）の関係を示す。横軸は $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ で示す。たとえば、図2でインバータ23dとインバータ23cのLが同一で $2W3 = W4$ であれば $(W3/L3) / (W4/L4) = 0.5$ である。図3のグラフにおいて遅延時間比は $(W_{n-1}/L_{n-1}) / (W_n/L_n) = 0.5$ のときを1とし、遅延同様に時間バラツキも1としている。

【0296】図3では $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が大きくなるほどインバータ23の接続段数が多くなり遅延時間バラツキが大きくなることを示しており、また、 $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が小さくなるほどインバータ23から次段へのインバータ23への遅延時間が長くなることを示している。このグラフから遅延時間比および遅延時間バラツキを2以内にすることが設計上有利である。したがって、次式の条件を満足させればよい。

【0297】 $0.25 \leq (W_{n-1}/L_{n-1}) / (W_n/L_n) \leq 0.75$

また、各インバータ23のPチャンネルのW/L比 $(W_p/L_p)$ とnチャンネルのW/L比 $(W_s/L_s)$ とは以下の関係を満足させる必要がある。

【0298】

$0.4 \leq (W_s/L_s) / (W_p/L_p) \leq 0.8$

さらに、シフトレジスタの出力端から出力ゲート（あるいはトランスファゲート）間に形成するインバータ23の段数nは次式を満足させると遅延時間のバラツキも少なく良好である。

【0299】 $3 \leq n \leq 8$

モビリティ $\mu$ にも課題がある。nチャンネルトランジスタのモビリティ $\mu_n$ は小さいとTGおよびインバータのサイズが大きくなり、消費電力等が大きくなる。また、ドライバの形成面積が大きくなる。そのため、パネルサイズが大きくなってしまふ。一方、大きいとトランジスタの特性劣化をひきおこしやすい。そのため、モビリティ $\mu_n$ は以下の範囲がよい。

【0300】 $50 \leq \mu_n \leq 150$

また、シフトレジスタ22内のクロック信号のスループレートは、500V/μsec以下にする。スループレートが高いとnチャンネルトランジスタの劣化が激しい。

【0301】なお、図2でシフトレジスタの出力にはインバータ23を多段に接続するとしたが、NAND回路でもよい。NAND回路でもインバータを構成することができるからである。つまり、インバータ23の接続段

数とはゲートの接続段数と考えればよい。この場合もいままで説明した $W/L$ 比等の関係が適用される。また、以上の図2、図3などで説明した事項は図60、図74、図84などにも適用される。

【0302】また、図2などにおいて画素のスイッチングトランジスタがPチャンネルの時は、最終段のインバータからの出力は、オン電圧は $V_{gh}$ がゲート信号線17に印加され、オフ電圧は $V_{gl}$ がゲート信号線17に印加される。逆に画素のスイッチングトランジスタがNチャンネルの時は、最終段のインバータからの出力は、

オフ電圧は $V_{gl}$ がゲート信号線17に印加され、オン電圧は $V_{gh}$ がゲート信号線17に印加される。

【0303】以上の実施例では、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで画素16と同時に作製するとしたが、これに限定するものではない。たとえば、図26に図示するように、別途、半導体チップで作製したソースドライバIC14、ゲートドライバIC12を表示パネル82に積載してもよい。

【0304】また、表示パネル82を携帯電話などの情報表示装置に使用する場合、ドライバIC14、15を図26に示すように表示パネルの一边に実装することが好ましい（なお、このように一边にドライバICを実装する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバIC12が実装され、Y辺にソースドライバIC14が実装されていた）。画面21の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリーの構成で作製してもよい（つまり、図26の14と12のうち、少なくとも一方をポリシリコン技術で基板49に直接形成する）。

【0305】なお、3辺フリー構成とは、基板49に直接ICを積載あるいは形成した構成だけでなく、IC14、12などを取り付け付けたフィルム（TCP、TAB技術など）を基板49の一边（もしくはほぼ一边）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0306】図26のようにゲートドライバ12をソースドライバ14の横に配置すると、ゲート信号線17は辺Cの沿って形成し、画面表示領域21まで形成する必要がある（図27等参照）。

【0307】なお、C辺に形成するゲート信号線17のピッチは $5\mu m$ 以上 $12\mu m$ 以下にする。 $5\mu m$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば $7\mu m$ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu m$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノ

イズを低減することは困難である。また、低減 $12\mu m$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

【0308】前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

【0309】図26のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【0310】なお、図27などにおいて、配線17などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域21の右側に配置（形成）し、ゲート信号線17bを表示領域21の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【0311】図30ではソースドライバIC14とゲートドライバIC12とを1チップ化（1チップドライバIC14a）している。1チップ化すれば、表示パネル82へのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

【0312】なお、ソースドライバIC14、ゲートドライバIC12、1チップドライバIC14aはシリコンなどの半導体ウェハで作製し、表示パネル82に実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

【0313】図28では、ソースドライバIC14の両端にゲートドライバIC12a、15bを実装する（あるいは形成する）としたがこれに限定するものではない。たとえば、図26に示すように、ソースドライバIC14に隣接した一方の側に1つのゲートドライバIC12を配置してもよい。なお、図26などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

【0314】なお、図28のように2つのゲートドライバ12a、12bを使用すると図28のC辺に並列して形成するゲート信号線17aの本数が走査線数の1/2となる（画面の左右にゲート信号線数の1/2ずつ配置できるからである）。したがって、額縁が画面の左右で均等になるという特徴があることは言うまでもない。

【0315】本発明はゲート信号線17の走査方向と、画面分割にも特徴がある。たとえば、図28ではゲートドライバ12aが画面上部のゲート信号線17bと接続されている。また、ゲートドライバ12bが画面下部のゲート信号線17aと接続されている。ゲート信号線17の走査方向も矢印Aで示すように画面の上部から下部の方向である。なお、ソース信号線18は画面上部と画面下部で共通である。

【0316】図29ではゲートドライバ12aが画面上部の隣接したゲート信号線17と異なるように接続されている。ゲートドライバ12aは奇数番目のゲート信号線bと接続されている。また、ゲートドライバ12bは偶数番目のゲート信号線17aと接続されている。ゲート信号線の走査方向は、ゲート信号線17bは画面上部から下部の方向である（矢印A）。ゲート信号線17aは画面下部から上部の方向である（矢印B）。このようにゲート信号線17をゲートドライバIC12と接続することにより、また、ゲート信号線の走査方法を所定

の方向とすることにより、画面21に輝度傾斜が発生せず、フリッカの発生も抑制することができる。

【0317】なお、ソース信号線18は画面上部と画面下部で共通である。ただし、画面の上下で分割してもよいことは言うまでもない。以上の事項は他の実施例にも適用される。

【0318】図30ではゲートドライバ12aが画面上部のゲート信号線17bと接続されている。また、ゲートドライバ12bが画面下部のゲート信号線17aと接続されている。ゲート信号線17bの走査方向は矢印Aで示すように画面の上部から下部の方向である。ゲート信号線17aの走査方向は矢印Bで示すように画面の下部から上部の方向である。なお、ソース信号線18は画面上部と画面下部で共通である。このようにゲート信号線17をゲートドライバIC12と接続することにより、また、ゲート信号線の走査方法を所定の方向とすることにより、画面21に輝度傾斜が発生せず、フリッカの発生も抑制することができる。

【0319】また、図30では、ソースドライバIC14とゲートドライバIC12とを1チップ化（1チップドライバIC14a）している。1チップ化すれば、表示パネル82へのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。1チップドライバIC14aはシリコンなどの半導体ウェハで作製し、表示パネル82に実装するとし

たがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。また、画面の上部を駆動するドライバICを表示画面の上辺に配置し、画面の下部を駆動するドライバICを表示画面の下辺に配置してもよいことは言うまでもない（つまり、実装ICは2チップとなる）。以上の事項は他の本発明の実施例にも適用される。

【0320】図28および図30では画面を中央部で分割するように表現したが、これに限定するものではない。たとえば、図28の場合は、表示画面21aを小さくし、表示画面21bを大きくしてよい。表示画面21aをパーシャル表示領域とする（図110参照）。パーシャル表示領域は主として時刻表示や日付表示を行う。また、パーシャル表示領域は低消費電力モードで使用する。図28および図30ではゲート信号線17bで表示領域21aを表示し、ゲート信号線17aで表示領域21bを表示する。

【0321】また、図110などでは、図111で図示するように、表示領域21aを3辺フリーの構成とし、表示領域21bを従来のソースドライバ14とゲートドライバ12とを別個の辺に配置する構成としてもよい。つまり、ゲート信号線17aとソース信号線18aは1チップドライバIC14aから出力する。

【0322】また、図114に図示するように表示領域21を21aと21bの2つの領域に分割し、それぞれの領域に対応するソースドライバIC14、ゲートドライバ12を配置してもよい。図114では各ソースドライバ14から出力する映像信号の書き込み時間が他の実施例と比較して2倍になるので、十分に画素に信号を書き込むことができる。また、図113に図示するように表示領域21は1つにして画面の上下に各1つのソースドライバIC14を配置してもよい。このことは、ゲートドライバIC12に対しても同様に適用できる。

【0323】なお、以上の実施例はゲート信号線17を平行に形成し、画素領域まで配線する構成であったが、これに限定するものではなく、図112に図示するようにソース信号線18を1辺に平行に配線するように構成してもよいことは言うまでもない。

【0324】図110、図111、図114などにおいて、表示領域21aと21bでフレームレート（駆動周波数または単位時間（1秒間）あたりの画面書き換え回数）を変化させたりすることも低消費電力化に有効な手段である。また、表示領域21aと21bで表示色数または表示色を変化させるのも低消費電力化に有効である。

【0325】図1で図示した構成ではEL素子15のカソードはVs1電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01

(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧が、BとG、Rで異なる。したがって、BとG、Rでは保持するトランジスタ11c11dのソースドレイン電圧(SD電圧)が異なる。そのため、各色でトランジスタのソースドレイン電圧(SD電圧)間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態になる。

【0326】この課題に対応するため、本発明では図5に図示するように、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。具体的には図5では、Bをカソード電極53aとし、GとRをカソード電極53bとしている。なお、図5はガラス面から光を取り出す下取り出しを想定しているが、上取り出しの場合もある。この場合はカソードとアノードは逆転した構成になる場合がある。

【0327】R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が6000K以上9000K以下の範囲で、R、G、BのEL素子の端子電圧は10(V)以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bのうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5(V)以内にする必要がある。さらに好ましくは1.5(V)以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

【0328】また、色ムラの補正も必要である。これは、各色のEL材料を塗り分けるため、膜厚のバラツキ、特性のバラツキによって発生する。これを補正するため、30%70%の輝度で白ラスタ表示を行い、表示領域21内の各色の面内分布を測定する。面内分布は少なくとも30画素に1ポイントずつは測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面21に表示するように構成する。

【0329】なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域21全体に形成

(作製)し、RGBなどのカラーフィルタで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBとイエローのように塗り分けてもよい。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0330】有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

【0331】また、図168に図示するように、3原色の他に、白色発光の画素16Wを形成してもよい。白色発光の画素16Wは、R、G、B発光の構造を積層することにより作製(形成または構成)することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

【0332】RGBなどの3原色を1組の画素をする場合であっても、図169に図示するように、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極(発光面積)を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が6000K(ケルビン)以上9000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルをすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

【0333】また、図170に図示するように、隣接した画素行で、3原色の配置が異なるように配置することが好ましい。たとえば、偶数行目が、左からR、G、Bの配置であれば、奇数行目はB、G、Rの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、1行目を左からR、G、B、R、G、Bの配置とし、2行目をG、B、R、G、B、Rの配置とし、3行目をB、R、G、B、R、Gの配置とするように、3画素行以上で、画素配置を異ならせてもよい。

【0334】カソード電極53aは、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスクを用いるのは、有機ELが水に弱くエッチングなどを行うことができないからである。メタルマスク（図示せず）を用いて、カソード電極53aを蒸着し、同時にコンタクトホール52aで接続を取る。コンタクトホール52aによりBカソード配線51aと電氣的接続を取ることができる。

【0335】カソード電極53bも同様に、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスク（図示せず）を用いて、カソード電極53bを蒸着し、同時にコンタクトホール52bで接続を取る。コンタクトホール52bによりRGカソード配線51bと電氣的接続を取ることができる。なお、カソード電極のアルミ膜厚は70nm以上200nm以下となるように形成するとよい。

【0336】以上の構成により、カソード電極51aと51bには異なる電圧を印加することができるから、図1のVdd電圧が各色共通であっても、RGBのうち、少なくとも1色のELに印加する電圧を変化させることができる。なお、図5ではRGでは同一のカソード電極53bとしたがこれに限定するものではなく、RとGで異なるカソード電極となるように構成してもよい。

【0337】以上のように構成することにより、各色でトランジスタのソースドレイン電圧（SD電圧）間のオフリーク電流が発生、キंक現象を防止することができる。したがって、フリッカが発生なく、発光色に相関してガンマ特性がずれるということもなく、良好な画像表示を実現できる。

【0338】また、図1のVs1をカソード電圧とし、このカソード電圧を各色で異なるようにするとしたがこれに限定するものではなく、アノード電圧Vddを各色で異なるように構成してもよいことは言うまでもない。たとえば、Rの画素のVddを電圧8（V）にし、Gを6（V）、Bを10（V）とする構成である。これらのアノード電圧、カソード電圧は±1（V）の範囲で調整できるように構成することが好ましい。

【0339】パネルサイズが2インチ程度であっても、Vddと接続されるアノードからは100mA近く電流が出力される。そのため、アノード配線20（電流供給線）の低抵抗化は必須である。この課題に対応するため、本発明では図6で図示するようにアノード63配線を表示領域の上側と下側から供給している（両端給電）。以上のように両端給電することにより画面の上下での輝度傾斜の発生がなくなる。

【0340】発光輝度を高めるためには画素48を粗面化するとよい。この構成を図7に示す。まず、画素電極48を形成する箇所にスタンプ技術を用いて微細な凹凸を形成する。画素が反射型の場合は、スパッタリング法で約200nmのアルミニウムの金属薄膜を形成して画

素電極48を形成する。画素電極48が有機ELと接する箇所には凸部が設けられ、粗面化される。なお、単純マトリックス型表示パネルの場合は、画像電極48はストライプ状電極状とする。また、凸部は凸状だけに限定するものではなく、凹状でもよい。また、凹と凸とを同時に形成してもよい。

【0341】突起の大きさは直径4μm程度にして隣接間距離の平均値を10μm、20μm、40μmにして、それぞれ突起の単位面積密度を1000から1200個/平方ミリメートル、100から120個/mm<sup>2</sup>、600から800個/平方ミリメートルとして輝度測定を行った。すると、突起の単位面積密度が大きくなるほど発光輝度が強くなることがわかった。したがって、画素電極48上の突起の単位面積密度を変えることで、画素電極の表面状態を変えて発光輝度を調整できることがわかった。検討によれば、突起の単位面積密度を800個/平方ミリメートル以下100個/平方ミリメートル以下で良好な結果を得ることができた。

【0342】有機ELは自己発光素子である。この発光による光がスイッチング素子としてのTFTに入射するとホットコンダクタ現象（ホットコン）が発生する。ホットコンとは、光励起によりTFTなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0343】この課題に対処するため、本発明では図9に示すようにゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜91を形成している。遮光膜91はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のTFT11A1のパターニングが困難になる。

【0344】遮光膜91上に20以上100nm以下の無機材料からなる平滑化膜71aを形成する。この遮光膜91のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜71aは極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜91をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜91の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜71b上にはハイアバーチャ（HA）構造の画素電極が形成される。

【0345】ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホットコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0346】しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電

10

20

30

40

50

氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0347】基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【0348】画素の1つ以上のTFT11の端子間あるいはTFT11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、TFT11aは電流を流さなくすることができる。

【0349】なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

【0350】画素16のTFT11の欠陥は、ドライバIC14などにも影響を与える。例えば、図392では駆動TFT11aにソースドレイン（SD）ショートが発生していると、パネルのVdd電圧がIC14に印加される。したがって、IC14の電源電圧は、パネルの電源電圧Vddと同一かもしくは高くしておくことが好ましい。

【0351】もし、IC14の電源電圧より高い電圧がICに印加されるとIC14を破壊する。したがって、パネルの画素16の点欠陥検査は重要である。

【0352】図393は画素の点欠陥検査の方法の説明図である。なお、図393では、画素電極16はグラントにショートしたように図示しているがこれに限定するものではない。説明を容易にするためである。複数の画素16がマトリックス状に形成されたアレイは複数のゲート信号線17bがショートリング3931でショート状態に形成されている。ゲート信号線17a個別に分離されている。

【0353】また、ゲート信号線17aの一端に形成（配置）された端子電極3933にはプローブ3935がプロービングされている。ゲート信号線17bの一端に形成（配置）された端子電極3932にはプローブ3934がプロービングされている。プローブ3934、3935は全ゲート信号線17a、ソース信号線18に行うことが望ましい。しかし、できない場合は、部分プロービングでもよい。

【0354】ショートリング3931には絶えず、オフ電圧を印加する。したがって、画素16のTFT11dは絶えずオフ状態である。そのため、EL膜47が画素

電極48の上に形成されていてもEL素子15に流れる電流パスはない。もちろん、EL膜47が形成されていない場合は、画素電極からカソードへの電流経路はない。

【0355】画素の検査は、1画素行ずつ実施する。まず、プローブ3935aから端子電極3933aにオン電圧を印加する。すると、1画素行目の画素のTFT11b、11cがオン状態となり、駆動TFT11aのゲート（G）端子（G）への電流パスが形成される。他の画素行の端子電極（3933b、3933c）にはオフ電圧を印加する。

【0356】この状態で、プローブ3934を介して、端子電極3932にVdd電圧（もしくは、その近傍）を印加する。次に、プローブ3934を介して、端子電極3932の電位を低下させ、TFT11aが正常であれば、わずかな電流が流れるか、全く流さないレベルの電圧を各ソース信号線18に印加する。この状態では、端子電極3932には電流は流れ込んでこない。したがって、1画素行目はすべて画素が正常であることが検出できる。

【0357】次に、プローブ3935bから端子電極3933bにオン電圧を印加する。すると、2画素行目の画素のTFT11b、11cがオン状態となり、駆動TFT11aのゲート（G）端子（G）への電流パスが形成される。他の画素行の端子電極（3933a、3933c）にはオフ電圧を印加する。

【0358】この状態で、プローブ3934を介して、端子電極3932にVdd電圧（もしくは、その近傍）を印加する。次に、先と同様にプローブ3934を介して、端子電極3932の電位を低下させ、TFT11aが正常であれば、わずかな電流が流れるか、全く流さないレベルの電圧を各ソース信号線18に印加する。しかし、画素16kにはTFT11aにSDショートが発生しているため、Vdd電圧から端子電極3932bに流れる電流パスIwが発生する。したがって、画素16kに欠陥が発生していることを検出できる。以上の動作を1画素行ずつ実施することにより画素の欠陥検査を行うことができる。

【0359】なお、複数のゲート信号線17aを第1のショートリング3931でショート状態に形成し、複数ゲート信号線17bを第2のショートリング3931でショート状態に形成してもよい。この場合は第2のショートリング3931には絶えず、オフ電圧を印加し、第1のショートリング3931にまず、オン電圧を印加して、各画素にVdd（つまり、駆動TFT11aが電流を流さない電圧）を書き込んだ後、ソース信号線18の電位を低電位とし、各ソース信号線18に流れる電流の有無を測定すればよい。

【0360】また、図393などにおいて、プローブ3935、3932などを端子電極3933、3934に



接触させるとしたが、これはブローブに限定するものではない。たとえば、金バンプが形成されたフレキシブル基板などでもよい。金バンプを端子電極に接触させることのより電氣的接触（接続）をとる。もちろん、電磁的あるいは静電氣的に接触をとってもよい。その他、端子電極などから放出される電子を検出する電子検出方式を用いても良い。また、端子に発光LEDなどの発光素子を形成または接続しておき、この発光LEDの発光の有無から欠陥を検出する方式でもよい。つまり、ブローピングするとは、信号線あるいは端子電極に流れる電流あるいは電圧などを検出できるものであれば何でもよい。

【0361】その他、複数の端子電極をショートリングでショートしておき、このショート箇所（箇所）に電流などの検出手段を接続しておく。次にレーザーなどを用いて、ショートリングから切り離すことにより検査を行っていてもよい。このような検査方式も本発明の検査におけるブローピングの範疇である。

【0362】TFT11aにSDショートが発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図394において、TFT11aのソースドレイン（SD）ショートが発生していると、TFT11aのゲート（G）端子電位の大小に関わらず、Vdd電圧からEL素子15に電流が常時流れる（TFT11dがオンの時）。したがって、輝点となる。

【0363】一方、TFT11aにSDショートが発生していると、TFT11cがオン状態の時、Vdd電圧がソース信号線18に印加されソースドライバ14にVdd電圧が印加される。もし、ソースドライバ14の電源電圧がVdd以下であれば、耐圧を越えて、ソースドライバ14が破壊される恐れがある。そのため、ソースドライバ14の電源電圧はVdd電圧（パネルの高い方の電圧）以上にすることが好ましい。

【0364】TFT11aのSDショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、図394の切断箇所3941で配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。なお、光学手段とはレーザーに限定されるものではなく、キセノンランプなどから発生する光を集光し、この集光した光で切断箇所3941の配線を切断する方式でもよい。また、切断箇所3941にサンドブラスト方式で切断（微粒子の砂を吹き付け、切断する）する方法を採用してもよい。つまり、切断手段としては何を用いても良い。しかし、レーザーなどの光学手段を用いる方法は切断箇所3941に非接触で加工を行うことができ好ましい。

【0365】なお、レーザー光3952は連続方式のものよりは、Qスイッチを用いたパルス発振のものを採用することが好ましい。また、切断箇所には複数のレーザーパルスが照射されるようにする。そして、レーザーのパルス間隔は0.1msec以上100msec以下にすることが好ましい。特に1msec以上10msec以下にすることが好ましい。この間隔では、先に照射したレーザー光による加工箇所の溶融状態が継続しており、良好な切断あるいは加工が実施できるからである。また、レーザー光の波長は1μm前後が好ましい。この波長のレーザーとしてはYAGレーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザーなどが例示される。

【0366】図395はレーザー照射装置3951が発生するレーザー光3952を切断箇所3941に照射することにより切断する方法である。しかし、レーザー光3952の照射によりカソードを構成する金属膜46が大きく破れる。あるいは、TFT11aのドレイン

（D）端子とカソード電極46とが接触したいする可能性がある。この問題に対処するため、本発明では、切断箇所3941に対応する箇所のカソード膜46に開口部3953を形成している（図396参照）。この開口部3953の下層に切断箇所3941が位置する。したがって、しかし、レーザー光3952を照射しても、照射箇所にはカソード膜49が形成されていない。そのため、レーザー光3952の照射強度が強くても、また、ドレイン（D）端子が膜はがれを引き起こしても、カソード膜49とショートすることはない。なお、図396では各画素16に対して開口部3953は1箇所としたがこれに限定するものではなく、他のTFT（たとえば、TFT11b、TFT11c、TFT11dなど）あるいはTFT11aの他の切断箇所を切断する必要がある時は、切断位置に応じて開口部3953を形成すればよい。なお、レーザー光3952はTFT素子11が形成された透明基板49側から照射する（逆に、カソード49側からレーザー光3952を照射する場合は、カソード49は金属膜で形成されているため、まず、金属膜であるカソード電極49を加工する必要がある。しかし、本発明のように、開口部3953が形成されている場合は、この開口部3953よりレーザー光3952を照射することができるから、カソード49側からレーザー光3953を照射することもできる）。

【0367】なお、以上の実施例はTFT11の端子などを切断する実施例である。しかし、切断箇所はこの場合に限定されるものではない。たとえば、画素電極とソース信号線が接続されている場合にも接続箇所を切断する必要がある。この場合でも、切断が予測（想定）される箇所のカソード膜49を除去し、開口部3953を形成しておくことが好ましい。また、以上の実施例では、

カソード膜49に開口部3953を形成するとしたが、これに限定するものではない。例えば、EL素子の構成上、アノード膜に開口部3953を形成する場合もある。つまり、本発明は、レーザー光などが照射される部分に位置する電極膜を取り除くことが本発明の技術的範疇である。

【0368】図394などの実施例ではTFT11の端子などを切断して、欠陥を修正（輝点と黒点とする場合など）する方法であった。しかし、黒点とする方法はこれに限定するものではない。たとえば、図397に図示するように、EL素子15（実際にはEL膜というべきであろう）をショートしても黒点（非点灯）状態にすることができる。つまり、画素電極とカソード電極とをショートさせるのである。

【0369】この場合はショートを目的とするから、図398に図示するように、カソード膜46側からレーザー光3952を照射し、カソード膜46と画素電極48とをショートさせる。もちろん、画素電極48側からカソード膜46の方向にレーザー3952を照射してショートさせてもよい。しかし、画素電極48がITO（IZO）などの透明電極で形成されている場合は、画素電極48とカソード電極46とのショートが良好におこないきくい。画素電極48がAlなどの金属材料で形成されている場合は、画素電極48とカソード電極46とのショートが良好に行われる。つまり、レーザーの照射方向は、ショートする箇所の金属材料側から照射するとよい。もちろん、金属膜と画素電極とを短絡されるのであるから、レーザー光3952の強度は多少強くともよい。

【0370】なお、以上の実施例はカソードなどの金属膜と画素電極とを短絡させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図1でもわかるように、TFT11aの電源Vddが、TFT11aのゲート（G）端子に常時印加されるように修正してもよい。たとえば、コンデンサ19の2つの電極間をショートさせれば、Vdd電圧がTFT11aのゲート（G）端子に印加されるようになる。したがって、TFT11aは完全にオフ状態になり、EL素子15に電流を流さなくすることができる。これは、コンデンサ19にレーザー光3952を照射することによりコンデンサ電極をショートできるから、容易に実現できる。また、実際には、画素電極の下層にVdd配線が配置されているから、Vdd配線と画素電極とにレーザー光3952を照射することにより、画素の表示状態を制御（修正）することができる。

【0371】その他、TFT11aのSD間（チャンネル）をオープンにすることも実現できる。簡単にはTFT11aにレーザー光3952を照射し、TFT11aのチャンネルをオープンにする。同様に、TFT11dのチャンネルをオープンにしてもよい。もちろん、T

F11bのチャンネルをオープンしても該当画素16が選択されないから、黒表示となる。

【0372】画素16を黒表示するためには、EL素子15を劣化させてもよい。たとえば、図399に図示するように、レーザー光3952をEL層47に照射し、EL層47を物理的にあるいは化学的に劣化させ、発光しないようにする（常時黒表示）。レーザー光3952の照射によりEL層47を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL膜47の化学的变化を容易に行うことができる。

【0373】なお、以上の実施例は、図1に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光3952を用いて配線あるいは電極をオープンあるいはショートさせることは、図21などのカレントミラーの画素構成であっても適用できることは言うまでもない。また、図54、図67、図68、図103などの電圧駆動の画素構成にも適用できることは言うまでもない。

【0374】レーザーの使用方法としては、切断箇所の切断あるいは金属膜などのショートに限定することに限定されるものではない。たとえば、有機EL表示装置のEL膜は水分に弱い。そのため、図398に図示するように基板49に封止ふた41を取り付け、外部からの水分の浸入と防止（抑制）する。しかし、封止ふた41だけでは水分を抑制することが完全ではない。そのため、封止ふた41と基板49間に乾燥剤（水分吸収剤）をいれておく。この乾燥剤で外部から侵入した水分を吸着し、また、内部の水分を吸収する。

【0375】レーザーを用いれば、基板49と封止ふた41間に配置された水分吸収剤と容易に過熱することができる。つまり、封止後であっても、水分吸収剤をレーザーで過熱し、より水分を吸収しやすい状態にすることができる。もちろん、封止前（封止ふた41と基板49とを貼り合わせる前）に水分吸収剤を過熱して、水分吸収剤をより水分を吸収しやすい状態にしてから、封止することができる。

【0376】その他、レーザーは封止ふた41と基板49とを貼り合わせる光硬化樹脂に照射することにより貼りあわせを容易にできるようにすることもできる。つまり、封止ふた41と基板49とを貼り合わせる箇所に光硬化樹脂を塗布した後、封止ふた41と基板49とを貼り合わせる。この光硬化樹脂にレーザー光3952を照射することにより、光硬化樹脂を硬化させる。

【0377】また、図175に図示する構造も例示される。図175は光をガラス基板49側から取り出す下取り出し構造の例である。図175においても、ゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮

光効果が乏しく、厚いと凹凸が発生して上層のTFT11A1のパターニングが困難になる。

【0378】遮光膜上に、TFT11、ドライバ回路12(14)を形成する。ドライバ回路12(14)などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極46を遮光膜として用いている。

【0379】しかし、ドライバ12(14)の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0380】一方、カソード(もしくはアノード)電極が透明電極の場合、画素電極を反射タイプとし共通電極を透明電極(ITO、IZOなど)にする光上取り出しの構造(ガラス基板49側から光を取り出すのは下取り出し、EL膜蒸着面から光を取り出すのが上取り出し)の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機ELのカソードには高い電流密度で電流を流す必要がある。したがって、ITO膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【0381】この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線92を形成している。低抵抗化配線92は液晶表示パネルのブラックマトリックス(BM)と同様の構成(クロムまたはアルミ材料で50nm~200nmの膜厚)で、かつ同様の位置(画素電極間、ドライバ12の上など)である。しかし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線92は透明電極72の表面に限定するものではなく、裏面(有機EL膜と接する面)に形成してもよい。また、BM状に形成した金属膜として、Mg・Ag、Mg・Li、Al・Liなどの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、SiNx、SiO2などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0382】また、EL膜の蒸着面から光を取り出す場合(上取り出し)の場合は、有機EL膜47上のMg-A1膜を形成し、その上にITO、IZO膜を形成することが好ましい。また、有機EL膜47上のMg-A1膜を形成し、その上にブラックマトリックス(液晶表示パネルのようなブラックマトリックス)を形成することが好ましい。このブラックマトリックスはクロム、A

1、Ag、Au、Cuなどで形成し、この上に、SiO2、SiNxなどの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜(AIRコート)を形成する。

【0383】AIRコートは3層の構成あるいは2層構成がある。3層構成の場合は酸化アルミニウム(Al2O3)を光学的膜厚が $nd = \lambda/4$ 、ジルコニウム(ZrO2)を $nd1 = \lambda/2$ 、フッ化マグネシウム(MgF2)を $nd1 = \lambda/4$ 積層して形成する。通常、 $\lambda$ として520nmもしくはその近傍の値として薄膜は形成される。

【0384】2層構成の場合は一酸化シリコン(SiO)を光学的膜厚 $nd1 = \lambda/4$ とフッ化マグネシウム(MgF2)を $nd1 = \lambda/4$ 、もしくは酸化イットリウム(Y2O3)とフッ化マグネシウム(MgF2)を $nd1 = \lambda/4$ 積層して形成する。

【0385】1層の場合は、フッ化マグネシウム(MgF2)を $nd1 = \lambda/2$ 積層して形成する。

【0386】なお、下取り出しの場合であっても、カソード電極46の金属膜の透過率を高くすることは効果がある。基板49側から表示画像を見る構成であっても、金属膜46の透過率を高いため、写り込みが減少するからである。写り込みが減少すれば、円偏光板74は不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。金属膜46の透過率は、60%以上90%以下にすることが好ましい。特に70%以上90%以下にすることが好ましい。60%以下であるとカソード電極のシート抵抗値が低くなる。しかし、写り込みが大きくなる。逆に90%以上ではカソード電極のシート抵抗値が高くなる。したがって、表示画像の輝度傾斜が大きくなる。

【0387】金属膜46の透過率を高くするにはA1膜を薄く形成する。厚みは20nm以上100nm以下に形成する。その上にITO、IZO膜を形成することが好ましい。また、A1膜46上にブラックマトリックスを形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、SiO2、SiNxなどの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜1761を形成することが好ましい。さらに、この保護膜1761上に、反射防止膜(AIRコート)を形成することが好ましい。

【0388】図176に図示するように、画素電極48を円弧状にすることにより、EL膜47の発光面積が広がる。したがって、電流密度が小さくなり、EL素子47の高寿命化を実現できる。また、EL素子15の端子電圧も低下するので電力効率も向上する。

【0389】図176では平滑化膜71を円弧状に形成し、この円弧状の平滑化膜にTFT11のドレイン

(D) 端子とコンタクトをとるコンタクトホールを形成する。このコンタクトホールでITOからなる透明電極48とドレイン(D) 端子とを電氣的に接続する。

【0390】画素電極48上に50nm以上150nm以下のカーボン膜を薄く蒸着し、この上にEL膜47を形成する。EL膜47は単色の場合は全面に、RGBの場合はメタルマスクを用いて塗り分ける(図177(f) 参照)。

【0391】EL膜47の形成後、カソード電極となるA1膜46を形成する(図177(g))。さらに、A1膜46上に保護膜1761を形成する(図177(h))。

【0392】なお、EL膜47または画素電極48は、円弧状に限定するものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、1画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わせられたり、もしくは、ランダムな凹凸が形成された構成であっても良い。また、図176では凸状の円弧状であるが、凹状の円弧状であってもよい。以上の事項は、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でも同様である。

【0393】図177は図176で説明したEL表示パネルの製造方法の説明図である。図177(a)で図示するようにアレイ基板49上にTF T11、ゲートドライバ回路12などを形成する。

【0394】次に、図177(b)に図示するように基板49上にアクリル樹脂などの有機材料からなる平滑化膜71を塗布する。なお、平滑化膜71はSOGなどの無機材料であってもよい。膜厚は1.5μm以上3μm以下にすることが好ましい。次に前記平滑化膜71上にマスク1771を形成する。マスク1771は金属材料で形成し、形成位置は画素16に対応するようにする。次にエッチングを行う。エッチングはウエットエッチング、O2プラズマなどの乾式エッチングのいずれでもよい。マスク1771の間から、平滑化膜71がエッチングされる。したがって、図1771(c)に図示するように、平滑化膜71は円弧状となる。

【0395】さらに、図177(d)に図示するように、平滑化膜71にマスク(図示せず)を形成して、コンタクトホール1772を形成する。もしくは、図177(b)のエッチング工程でコンタクトホール1772も同時に形成する。

【0396】次に図177(e)に図示するように、ITO、IZOなどの透明電極で画素電極48を形成する。画素電極48とTF T11とは、画素コンタクト部1751で接続をとる。このコンタクトホールでITOからなる透明電極48とドレイン(D) 端子とを電氣的に接続する。

【0397】画素電極48上に50nm以上150nm

以下のカーボン膜を薄く蒸着し、この上にEL膜47を形成する。EL膜47は単色の場合は全面に、RGBの場合はメタルマスクを用いて塗り分ける(図177(f) 参照)。EL膜47の形成後、カソード電極となるA1膜46を形成する(図177(g))。さらに、A1膜46上に保護膜1761を形成する(図177(h))。

【0398】金属膜46の透過率を高くするにはA1膜46を薄く形成する。厚みは20nm以上100nm以下に形成する。その上にITO、IZO膜を形成することが好ましい。また、A1膜46上にブラックマトリックスを形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、SiO2、SiNxなどの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜1761を形成することが好ましい。さらに、この保護膜1761上に、反射防止膜(AIRコート)を形成することが好ましい。なお、保護膜1761の最小膜厚は1μm以上にする。

【0399】保護膜1761は、フィルムを用いた保護層であってもよい。たとえば、保護層としては電解コンデンサのフィルムにDLC(ダイヤモンド ライク カーボン)を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い(防湿)。このフィルムを保護層1761として用いる。

【0400】保護層1761の膜厚は $n \cdot d$ ( $n$ は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合(各薄膜の $n \cdot d$ を計算)にして計算する。 $d$ は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。)が、EL素子15の発光主波長 $\lambda$ 以下となるようにするとよい。

【0401】図178はパネル化した構成図(断面図)である。なお、他の図面でも同様であるが、本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小している。図178の表示パネルの断面図においても平滑化膜71などを十分に厚く図示している。しかし、基板49も板厚は、非常に薄く図示している。また、TF Tなどは省略して図示している。

【0402】図178において、封止板41と、基板49間にはスペーサ1781を配置し、保護膜1761または反射膜46もしくはEL膜47と封止板41とが直接に接しないように構成されている。乾燥剤は表示領域の周辺部に配置または充填されている。スペーサは円筒状のものまたは球状のものをを用いる。高さは、10μm以上100μm以下にすることが好ましい。また、保護膜1761を加工することによりスペーサとすることもできる。つまり、保護膜1761の一部または全部を突起状あるいは柱上あるいはストライプ状に加工あるいは形成することによりスペーサの機能を持たせる。なお、

スベサ1781を乾燥剤とする構成も好ましい。

【0403】図21に示す画素はTFT11bとTFT11aとがカレントミラーの関係である。このカレントミラーの関係の11bと11aとの特性(閾値 $V_t$ 、S値、モビリティ $\mu$ など)が一致していなければならない。また、図1の画素においても、各TFTの特性が一致していることが好ましいことは言うまでもない。

【0404】画素16のTFT11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがTFT11特性のバラツキとなる。しかし、1画素16内のTFT11の特性が一致していれば、図1、図21、図22、図43、図71などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。

【0405】この課題に対して、本発明では図23に示すように、アニールの時のレーザー照射スポット23をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット23を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図23のRGBを1画素16という単位でレーザーを照射してもよい(この場合は、3画素列ということになる)。

【0406】特に、画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。そのため、画素16内に形成されるTFT11の配置は、図23に図示するように縦方向に配置される(TFT11a、11b)。したがって、レーザー照射スポット23を縦長にしてアニールすることにより、1画素内ではTFT11の特性バラツキが発生しないようにすることができる。

【0407】一般的にレーザー照射スポット23の長さは10インチというように固定値である。このレーザー照射スポット23を移動させるのであるから、1つのレーザー照射スポット23を移動できる範囲内におさまるようにパネルを配置する必要がある(つまり、パネルの表示領域21の中央部でレーザー照射スポット23が重ならないようにする)。

【0408】図24の構成では、レーザー照射スポット23の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット23を照射するアニール装置はガラス基板241の位置決めマーク242a、242bを認識してレーザー照射スポット23を移動させる。位置決めマーク242の認識はパターン認識装置で行う。アニール装置(図示せず)は位置決めマーク242を認識し、画素列の位置をわりだす。そして、ちょうど、画素列位置に重なるようにレーザー照射スポット23を照射してアニールを順次行う。

【0409】図23、図24で説明したレーザーアニール

ル方法(ソース信号線18に平行にライン状のレーザースポットを照射する方式)は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にTFT11の特性が一致しているためである(縦方向に隣接した画素TFTの特性が近似している)。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい(たとえば、白ラスタ表示であれば、隣接した各画素のTFT11aに流す電流はほぼ同一のため、ソースドライバIC14から出力する電流振幅の変化が少ない)。

【0410】また、図87、図88などで説明する複数の画素行を同時書き込みする方式で均一に画像表示(主としてTFT特性のばらつきに起因する表示ムラが発生しにくいからである)を実現できる。図87などは複数画素行同時に選択するから、隣接した画素のTFTが均一であれば、縦方向のTFT特性ムラはドライバ回路14で吸収できる。

【0411】図1に示すように、ゲート信号線17aは行選択期間に導通状態(ここでは図1のトランジスタ1がpチャネルトランジスタであるためローレベルで導通となる)となり、ゲート信号線17bは非選択期間時に導通状態とする。

【0412】ソース信号線の状態が階調0表示状態であったときに、階調1に対する電流値を印加し、行選択期間を75 $\mu$ 秒で動作させると、図55(a)に示すようにソース信号線18の寄生容量が増加するとEL素子15に出力される電流値が減少する。

【0413】図55(b)は(a)に比べ階調1に対する電流値を10倍流した場合であり、ソース信号線18の寄生容量の増加に対しEL素子15に出力される電流値の減少割合は小さくなる。

【0414】所定電流値に対し10%程度のばらつきは人間の目にとって輝度の差として観測できないことから、10%程度の低下を認めるとすると許容されるソース容量は(a)では2pF以下、8(b)では25pF以下である。

【0415】ソース信号線18の電流値変化に要する時間 $t$ は浮遊容量の大きさを $C$ 、ソース信号線の電圧を $V$ 、ソース信号線に流れる電流を $I$ とすると $t = C \cdot V / I$ であるため電流値を10倍大きくできることは電流値変化に要する時間が10分の1近くまで短くできる。またはソース容量が10倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【0416】入力電流を10倍にすると出力電流も10倍となり、ELの輝度が10倍となるため所定の輝度を得るために、図1のトランジスタ17dの導通期間を従来の10分の1とし、発光期間を10分の1とすること

で、所定輝度を表示するようにした。

【0417】つまり、ソース信号線18の寄生容量の充放電を十分にを行い、所定の電流値を画素16のTFT11aにプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【0418】なお、10倍の電流値を画素のTFT11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を1/10にするとしたがこれは一例である。場合によっては、10倍の電流値を画素のTFT11aに書き込み、EL素子15のオン時間を1/5にしてもよい。逆に10倍の電流値を画素のTFT11aに書き込み、EL素子15のオン時間を2倍にする場合もあるであろう。本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流値を画素のTFT11に書き込み、EL素子15のオン時間を1/N倍にするとして説明する。しかし、これに限定するものではなく、N1倍の電流値を画素のTFT11に書き込み、EL素子15のオン時間を1/N2倍（N1とN2とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、RGBで異なってもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【0419】また、説明を容易にするため、1/Nを1F（1フィールドまたは1フレーム）を基準にしてこの1Fを1/Nにすると説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（1H））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。

【0420】有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電

流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0421】本発明では、1F/Nの期間の間だけ、EL素子15に電流をながし、他の期間（1F（N-1）/N）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態で見ると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0422】液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データを黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとする回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0423】図1、図43、図44、図53、図54、図67から図78などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0424】本発明はスイッチングのTFT11d、あるいはTFT11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流Iwをオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【0425】たとえば、図33に示すようにゲート信号線17bは従来導通期間が1F（電流プログラム時間を

0とした時、通常プログラム時間は1Hであり、EL表示装置の画素行数は少なくとも100行以上であるので、1Fとしても誤差は1%以下であるとし、 $N=10$ とするとすれば、図55によると、最も変化に時間のかかる階調0から階調1へもソース容量が20pF程度であれば75μ秒程度で変化できる。これは、2型程度のEL表示装置であればフレーム周波数が60Hzで駆動できることを示している。

【0426】更に大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にすればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b(TFT11d)の導通期間を $1F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【0427】以下、図面を参照しながら、さらに詳しく説明をする。まず、図1の寄生容量404は、ソース信号線間の結合容量、ドライブIC14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この容量404は通常10pF以上となる。電圧駆動の場合は、ドライバIV14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【0428】しかし、電流駆動では特に黒レベルの画像表示では5nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量404が所定値以上の大きさで発生すると、1画素行にプログラムする時間(通常、1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない。)内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度が全くでない。

【0429】図1の画素構成の場合、図13(a)に示すように、電流プログラム時は、プログラム電流I1がソース信号線18に流れる。この電流I1がTFT11aを流れ、I1を流す電流が保持されるように、コンデンサ19のV1が設定(プログラム)される。このとき、TFT11dはオープン状態(オフ状態)である。

【0430】次に、EL素子15に電流を流す期間は図13(b)のようにTFT11が動作する。つまり、ゲート信号線17aにオフ電圧(Vgh)が印加され、TFT11a、11cがオフする。一方、ゲート信号線17bにオン電圧(Vgl)が印加され、TFT11dがオンする。

【0431】今、電流I1が本来流す電流(所定値)のN倍であるとすると、図13(b)のEL素子15に流れる電流もI1となる。したがって、所定値の10倍の輝度でEL素子15は発光する。

【0432】そこで、TFT11dを本来オンする時間(約1F)の $1/N$ の期間だけオンさせ、他の期間(N

$-1)/N$ 期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ (全画面を1とする)が点灯している点である(CRTでは、点灯している範囲は1画素行(厳密には1画素である))。

【0433】本発明では、この $1/N$ の画像表示領域が図31(a)に示すように画面21の上から下に移動する。本発明では、1F/Nの期間の間だけ、EL素子15に電流が流れ、他の期間( $1F \cdot (N-1)/N$ )は電流を流れない。したがって、画像は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0434】この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状態となる。液晶表示パネル(本発明以外のEL表示パネル)では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた(画像の輪郭ボケ)。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

【0435】また、EL表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図13に示すようにTFT11dをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリ(アナログ値であるから階調数は無限大)されているためである。つまり、各画素16に、画像データは1Fの間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをTFT11dの制御により実現しているのである。

【0436】コンデンサ19の端子電圧を維持することは重要である。1フィールド(フレーム)期間でコンデンサ19の端子電圧が変化(充放電)すると、画面輝度が変化し、フレームレートが低下した時にちらつき(フリッカなど)が発生するからである。TFT11aが1フレーム(1フィールド)期間でEL素子15に流す電流は、少なくとも65%以下に低下しないようにする必要がある。この65%とは、画素16に書き込み、EL素子15に流す電流の最初が100%とした時、次のフレーム(フィールド)で前記画素16に書き込む直前のEL素子15に流す電流が65%以上とすることである。

【0437】したがって、間欠表示を実現する場合としない場合では、1画素を構成するTFT11の個数に変

10

20

30

40

50

化はない。つまり、画素構成はそのまま、ソース信号線 18 の寄生容量 404 の影響と除去し、良好な電流プログラムを実現している。その上、CRT に近い動画表示を実現しているのである。

【0438】また、ゲートドライバ回路 12 の動作クロックはソースドライバ回路 14 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

【0439】画像表示方向（画像書き込み方向）は図 104 に図示するように、1 フィールド目では画面の上から下方向とし（図 104（a））、つぎの第 2 フィールド目では画面の下から上方向（図 104（b））としてもよい。つまり、図 104（a）と図 104（b）とを交互に繰り返す。

【0440】さらに、図 105 に図示するように、1 フィールド目では画面の上から下方向とし（図 105（a））、一旦全画面を黒表示（非表示）312 とした後（図 105（b））、つぎの第 2 フィールド目では画面の下から上方向（図 105（c））としてもよい。また、一旦全画面を黒表示（非表示）312 としてもよい（図 105（d））。つまり、図 105（a）から図 105（d）の状態を交互に繰り返す。

【0441】なお、図 104、図 105 などにおいて、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域 312 の動作方向を 1 フィールド目では画面の上から下方向とし、つぎの第 2 フィールド目では画面の下から上方向としてもよい。以上の事項は他の本発明の実施例でも同様である。

【0442】図 31（a）は画像表示領域 311 を  $1/N$  とし、非表示領域（非点灯領域、黒表示領域）312 を  $(N-1)/N$  としている（ただし、これは理想状態の場合である。現実にはコンデンサ 19、TFT 11a のソースゲート（SG）容量による突き抜けがあるので異なる）。つまり、画像表示領域 311 を 1 つにした場合である。画像表示領域 311 は矢印に示すように、画面の上から下方向に移動する（図 31（a1）→図 31（a2）→図 31（a3）→図 31（a1）→）。ただし、この画像表示領域 311 の移動は画面の上から下方向に移動することに限定するものではなく、画面の下から上方向に移動するとしてもよい。また、1 フレーム目（1 フィールド目）は画面の上から下方向に移動させ、次の 2 フレーム目（2 フィールド目）は画面の下から上方向に移動するように走査（操作）してもよいことはいふまでもない。また、画面の右から左、あるいは画面の左から右に走査（操作）してもよい。

【0443】図 33 は動作タイミング波形である。先にも記載したように、1 F の期間で 1 画面が表示されるとし、1 H の期間で電流プログラムされるとしている。図

33（a）は図 1（a）（b）において、ゲート信号線 17a のタイミング波形を示す。また、図 33（b）は、ゲート信号線 17b のタイミング波形を示す。基本的にはゲート信号線 17b が Vg1 となった時に TFT 11d が導通し（期間は  $1F/N$ ）、EL 素子 15 にピーク電流が所定値 I1 の N 倍の電流が流れ、EL 素子は所定輝度 B の N 倍の輝度（ $N \cdot B$ ）で発光する。 $1F/(N-1)/N$  の期間は TFT 11d がオフ状態となる。

【0444】このゲート信号線の制御は図 2 のようにゲートドライバ 12 内の 2 つのシフトレジスタ（22a、22b）を制御することにより容易に実現できる。シフトレジスタ 22a はゲート信号線 17a の制御データを保持（走査）し、シフトレジスタ 22b はゲート信号線 17b の制御データを保持（走査）すればよいからである。

【0445】図 56 はゲート信号線 17b の波形を示す。図 56（a）を第 1 画素行目のゲート信号線 17b の電圧波形とすると、図 56（b）を第 1 画素行目に隣接した第 2 画素行目のゲート信号線 17b の電圧波形を示す。同様に、図 56（c）は次の第 3 画素行目のゲート信号線 17b の電圧波形、図 56（d）は第 4 画素行目のゲート信号線 17b の電圧波形を示す。

【0446】以上のように、各画素行で、ゲート信号線 17b の波形を同一にし、1 H の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 15 が点灯している時間を  $1F/N$  に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線 17b の波形を同一にし、シフトさせていることを実現することは容易である。図 2 のシフトレジスタ 22a、22b に印加するデータである ST1、ST2 を制御すればよいからである。たとえば、入力 ST2 が L レベルの時、ゲート信号線 17b に Vg1 が出力され、入力 ST2 が H レベルの時、ゲート信号線 17b に Vgh が出力されるとすれば、シフトレジスタ 17b に印加する ST2 を  $1F/N$  の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された ST2 を 1 H に同期したクロック CLK2 でシフトしていくだけである。

【0447】同様に図 33（a）に示すゲート信号線 17a の波形の作成も容易である。図 2 のシフトレジスタ 22a の入力データである ST1 を制御すればよいからである。たとえば、入力 ST1 が L レベルの時、ゲート信号線 17a に Vg1 が出力され、入力 ST1 が H レベルの時、ゲート信号線 17a に Vgh が出力されるとすれば、シフトレジスタ 17a に印加する ST1 を 1 H の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された ST1 を 1 H に同期したクロック CLK1 でシフトしていくだけである。

【0448】図 31（b）は画像表示領域 311 を  $1/N$



(2N)とし、2つの画像表示領域311a、311bを矢印に示すように、画面の上から下方向に移動した例である(図31(b1)→図31(b2)→図31(b3)→図31(b1)→)。ただし、この画像表示領域311a、311bの移動は画面の画面の上から下方向に移動することに限定するものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目(1フィールド目)は画面の上から下方向に移動させ、次の2フレーム目(2フィールド目)は画面の下から上方向に移動するように走査(操作)してもよいことはい

【0449】さらに、図31(c)は画像表示領域311を1/(3N)とし、3つの画像表示領域311a、311bを矢印に示すように、画面の上から下方向に移動した例である(図31(c1)→図31(c2)→図31(c3)→図31(c1)→)。

【0450】図31(b)(c)に示すように、画像表示領域311を複数に分割すればするほど、画像表示全体のフレームレート(1秒間に画面を書く回数、たとえば、フレームレート60とは、1秒間に60回画面を書き換える)を低下させることができる。フレームレートを低下させれば、その分、回路の動作クロックを低下させることができるから消費電力を小さくできる。

【0451】つまり、EL素子15の発光期間が短くなり、かつ見かけ上の瞬時輝度が高くなり、その上、画像表示領域311と非点灯領域312とが高速にくりかえされるため、フリッカが低減する。したがって、フレームレートを低減することができる。

【0452】以上のように1フレーム(1フィールド)内に点灯する回数を増やし、フリッカを低減させることができる。点灯回数を増やすことでEL素子の点灯においては周波数成分が高くなることから人間の目に観測されにくくなる。例えば1回あたりの点灯期間を7分の1にして1フレームに7回点灯させると、フレーム周波数が30Hzにおいてもフリッカのない表示が実現できた。

【0453】TFT11dのオンオフを制御することにより、画像の輝度を調整(可変)することができる。たとえば、図31(a)の場合(画像表示領域311が1つの場合)は、非点灯領域312の面積を変化させることにより、画面21の明るさが変化する(図32(a1)より図32(a2)が暗く、図32(a2)より図32(a3)が暗い)。

【0454】同様に、図31(b)の場合(画像表示領域311が2つの場合)は、図32(b1)より図32(b2)が暗く、図32(b2)より図32(b3)の

方が画面21の表示輝度が暗くなる。また、図31(c)の場合(画像表示領域311が3つの場合つまり、3以上)も同様である(図32(c1)より図32(c2)が暗く、図32(c2)より図32(c3)の方が暗くなる。 )。

【0455】なお、図31では画像表示領域311は画面21上を走査するとしたが、これに限定するものではなく、図32(c1)(c2)に図示するように、1フレーム(1フィールド)目は全画面を非点灯状態312とし、次の2フレーム(2フィールド)目は全画面を画像表示状態311としてもよい。つまり、全画面を画像表示状態と非点灯状態とを交互に繰り返す。ただし、画像表示時間と、非点灯時間とを等時間に限定するものではない。たとえば、画像表示時間を1F/4とし、非点灯時間を3F/4としてもよい。このように画像表示時間と、非点灯時間との割合を変化させることによって画像の表示輝度を変化(調整)することができる。

【0456】いずれにせよ、図34に示すように、Nの値を変化させることにより、画像の表示輝度Bはリニアに変化させることができる。また、Nの値を制御するだけで容易に画像の明るさを可変できる。

【0457】図35は、本発明の表示輝度を調整(制御)する回路のブロック図である。フレームメモリ(フィールドメモリ)354には、外部から入力された映像データが蓄積される。CPU353は蓄積された映像データを用いて演算をする。演算は、映像データの最大輝度、最適輝度、平均輝度、輝度分布のうち少なくとも1つ以上を用いる。また、連続する映像データの各フレームの最大輝度、最適輝度、平均輝度、輝度分布およびその変化割合も考慮する。

【0458】演算した結果は輝度メモリ352にストアされる。輝度メモリ352は画像の明るさを補正したデータである。たとえば、海岸などの明るい画面では画像の平均輝度を明るく補正し、その画像データ内で比較的暗い部分があるときは、実際値よりも暗い画像データに変換する。また、夜の画面などでは、画像が全体的に暗いため、比較的明るい部分をより明るく補正する。

【0459】カウンタ回路351は図34のN値をいくらにするかをカウントする回路である。ゲート信号線17bの波形においてN値をリアルタイムで変化させる。N値は時間であるから、カウンタでカウントすることにより容易に変化させることができ、画像の明るさを変更できる。

【0460】切り替え回路355は画素16のTFT11をオンさせる電圧V<sub>gl</sub>とオフさせる電圧V<sub>gh</sub>(画素TFT11がPチャンネルの場合、Nチャンネルではその逆である)を切り替える回路である。つまり、カウンタ回路351の出力に基づき、図33(b)に示す1F/Nの期間を変化させる。したがって、画像21の明るさをリアルタイムで容易に可変することができる。

【0461】映像信号データに応じて表示輝度をリアルタイムに制御する。このように制御することにより明るさ表現のダイナミックレンジを実質上3倍以上に拡大することができる。また、EL表示装置はELに電流を流さない時は完全に黒表示（非点灯）となるから、画像表示の黒浮きも発生しない。つまり、コントラストも高くなる。特に電流プログラムの場合は、黒表示には、画素にプログラムする電流値が10nAと小さい。そのため、寄生容量404を充分充電できず、完全な黒表示を実現することが難しい。また、ゲート信号線17に印加されたパルスによりソース信号線18に電力が供給され（突き抜け電圧）、黒浮きが発生する。

【0462】本発明は強制的にTFT11dをオフにし、EL素子15に電流を供給することを停止する。したがって、EL素子15は完全に非点灯状態となる。そのため、良好なコントラストを実現できる。また、ソース信号線18に印加するデータの出力タイミングと、ゲート信号線17a、17bのタイミングを調整する必要がある。特に、画素行を選択するゲート信号線17aのVg1（図1のTFT11b、11cをオンさせる電圧）の出力は、1Hよりも短くなるようにすることが好ましい。このことは図252などでも説明する。

【0463】なお、図35において、映像信号の映像データに基づき、リアルタイムで画像の明るさを変化させるとしたが、これに限定するものではない。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回す。この変化を検出してカウンタ回路351のカウント値を可変して、表示画像21の輝度（あるいはコントラスト、もしくはダイナミックレンジ）を変化させてもよい。また、外光などの明るさをホトセンサで検出し、この検出したデータに基づき、表示画像21の明るさなどを自動的に変化させてもよい。また、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0464】明るさ調整は、EL素子15側のTFT（図1ではTFT11d）をオンオフさせることにより実現できる。この場合は、ソースドライバIC14から出力するプログラム電流（電圧：電圧プログラム方式の場合）は固定値である（プログラム電流は変化させない）。したがって、ソースドライバICの回路構成を簡略化できる。つまり、表示画面の明るさに対応して出力電流（電圧）などを変化させる必要がない。たとえば、従来の液晶表示パネルでは64階調表示のときは、最大明るさの64階調目を使用する。これより、明るさ調整で輝度を下げる時は、32階調目までなどを使用する。このように回路を構成すると、画面輝度が暗いときには階調表示数が少なくなる。

【0465】しかし、EL素子15側のTFT11をオンオフさせる（EL素子15に流れる電流を間欠表示さ

せる）方式では、オフ期間の調整により明るさを自由に調整できる。その際、本発明による明るさ調整は、ガンマ調整、リニアリティは明るさを変化させても保持できる。電源電圧Vddも固定値であるから構成上も有利である。

【0466】また、TFT11dを画面の上から下方向に、ガウス分布となるようにオンオフ状態を制御することにより容易に画面の輝度をガウス分布させることができる。制御もほとんど演算が不要である。この方法については後ほど説明をする。

【0467】なお、EL素子15をオンオフする周期は0.5msec以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5μsec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

【0468】黒画面1312の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【0469】なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、N=4では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええるように構成すればよい。

【0470】たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0471】また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下

10

20

30

40

50

(Nで表示すれば1.2以上9以下)とすることが好ましい。また、特に0.25以上0.6以下(Nで表示すれば1.25以上6以下)とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0472】また、1秒あたりのフレーム数は、10以上100以下(10Hz以上100Hz以下)が好ましい。さらには12以上65以下(12Hz以上65Hz以下)が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

【0473】いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流(電圧)を変化させて行ってもよいことは言うまでもない。また、先に説明した(図33、図35などを用いて)ゲート信号線17の制御と、ソース信号線18に印加する電流(電圧)を変化させることを組み合わせ

て行ってもよいことは言うまでもない。  
【0474】なお、以上の事項は、図54、図67、図103などの電圧プログラムの画素構成でも適用できることは言うまでもない。たとえば、図67ではTFT11eをオンオフ制御すればよい。

【0475】ゲート信号線17bの1F/Nの期間だけ、Vg1にする時刻は図36に図示するように、1F(1Fに限定するものではない。単位期間でよい。)の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、図36(a)のプログラム期間(1H)後、すぐにゲート信号線17bをVg1にしてEL素子15を発光させる方がよい。図1のコンデンサ19の保持率特性の影響を受けにくくなるからである。また、1F/Nの期間は図36(b)において、A、Bの記号と矢印で示すように、位置を変化させるように構成してもよい。この変化も容易に実現できる。図2においてSTに印加するデータのタイミング(1FのいつにLレベルにするか)を調整あるいは可変できるように構成しておけばよいからである。

【0476】また、図37に図示するように、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割(分割数K)してもよい。つまり、Vg1にする期間は1F/(K/N)の期間をK回実施する。このように制御すれば、画像表示状態は図31(b)(K=2)、図31(c)(K=3)になる。このように点灯させる画像部(画像表示部311)を複数に分割することによりフリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザー

が明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0477】このようにKの値(画像表示部311の分割数)を変化させることも容易に実現できる。図2においてSTに印加するデータのタイミング(1FのいつにLレベルにするか)を調整あるいは可変できるように構成しておけばよいからである。

【0478】なお、図37では、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割(分割数K)し、Vg1にする期間は1F/(K/N)の期間をK回実施するとしたがこれ限定するものではない。1F/(K/N)の期間をL(L≠K)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより画像21を表示するものである。したがって、1F/(K/N)の期間をL(L≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像21の輝度をデジタル的に変更することができる。たとえば、L=2とL=3では50%の輝度(コントラスト)変化になる。これらの制御も図2、図35、図60、図74などの回路構成で容易に実現できる。

【0479】また、画像の表示領域311を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。たとえば、図38に示すようにVg1にする期間がt1とt2のように複数の期間としてもよい。

【0480】以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面21をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷によりTFT11aに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面21をオンオフ(点灯、非点灯)する方式でもよい。

【0481】図303は、その実施例である。図1の画素構成において、コンデンサ19の両端に、スイッチング素子としてのTFT11eが配置または形成されている。TFT11eのゲート(G)端子に接続されたゲート信号線17eにオン電圧(Vg1)を印加することによりTFT11eがオンし、コンデンサ19の両端を短絡する。したがって、Vg電圧はVdd電圧となり、TFT11aは電流と流すことができなくなる。

【0482】もちろん、TFT11aのドレイン(D)ーゲート(G)端子間にスイッチング素子を配置または形成し、TFT11aのドレイン(D)ーゲート(G)端子間を短絡してもTFT11aは電流を流さないよう

にすることができる。したがって、この構成でもよいことは言うまでもない。たとえば、図1のTFT11bのゲート(G)端子と、TFT11cのゲート(G)端子を個別に制御できるように構成し、TFT11bをオンさせて、TFT11aのドレイン(D)－ゲート(G)端子間を短絡する構成である。この方式は図21、図43、図71、図22にも適用できる。図21、図43、図71、図22において、ゲート信号線17bにオン電圧(V<sub>gh</sub>)を印加し、TFT11dをオンさせて、TFT11aのドレイン(D)－ゲート(G)端子間を短

絡する構成である。  
【0483】もちろん、以上の構成(駆動用TFT11の保持電荷を充放電させる方式、ドレイン(D)－ゲート(G)端子間を短絡する方式など)は、図54、図67、図68、図103などの電圧駆動の画素構成にも適用できることは言うまでもない。

【0484】なお、TFT11eはTFTなどのスイッチング素子に限定するものではない。コンデンサ19の両端の電荷を充放電できるものであればいずれのものでよい。たとえば、MIM、TFD(薄膜ダイオード)、サイリスタ、バリスタなどでもよい。また、コンデンサ19の両端を充放電させるものに限定するものではなく、EL素子15に電流を流す駆動用素子の端子電圧V<sub>g</sub>を強制的に電流オフ方向にシフトできるものでもよい。たとえば、コンデンサなどを用いて、突き抜け電圧によりV<sub>g</sub>電圧をシフトできるように構成してもよい。

【0485】図303の構成では、TFT11eの動作によりコンデンサ19の電荷を放電するため、EL素子15に再度電流を流すことができない。しかし、TFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の輝度調整を容易に実施できる。また、R、G、BごとにTFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の色調整を容易に実施できる。図303の構成は、逆バイアス電圧方式、図87などのN倍パルス駆動、またガウス分布駆動、ブロック駆動など、本明細書記載の他の実施例と組み合わせることができることはいうまでもない。また、他の構成、動作はすでに説明をしているので省略する。以上の事項は他の本発明に関しても同様である。

【0486】また、図303ではTFT11eをオンさせることにより、TFT11aに流れる電流を遮断する方式であった。しかし、TFT11aをNチャンネルにすることなどにより、駆動用TFT11aに流れる電流を増加させるように制御することも可能である。つまり、TFT11eの動作することにより、画面21が白表示(白ラスタ)にすることができる(画面を白画面で消去する)。また、RGBの画素うち、少なくとも1色のTFT11eの動作することにより、画面2

1がRまたはGまたはB表示にすることができる(画面をRまたはGまたはB色を強く表示する)。なお、TFT11eはPチャンネルでもNチャンネルでもよいことは言うまでもない。また、TFT11eをオンオフさせることにより、PWM変調も実施することができる。以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。

【0487】図303構成は、コンデンサ19の電荷を完全に放電する方式である。したがって、コンデンサ19に保持された電荷(画像データ)は消去されてしまう。図304の構成は、コンデンサ19を複数(実施例では2つ)のコンデンサ19a、19bに分離し、一方のコンデンサ(実施例では19b)の両端にTFT11eを形成または配置している。

【0488】図304は、その実施例である。TFT11eのゲート(G)端子に接続されたゲート信号線17eにオン電圧(V<sub>gl</sub>)を印加することによりTFT11eがオンし、コンデンサ19bの両端を短絡する。したがって、V<sub>g</sub>電圧はよりV<sub>dd</sub>電圧に近くなり、TFT11aが流す電流を少なく(制限する)する。

【0489】したがって、図304の構成では、TFT11aが流す電流が完全に遮断されることはない(もちろん、完全に遮断するように、コンデンサ19a、19bの定数を設定することはできる)。図303の構成では、TFT11eの動作によりコンデンサ19の電荷を放電するため、EL素子15に再度電流を流すことができない。しかし、図304の構成では、TFT11eをオフすると、以前よりは表示輝度は低いが画像を再び表示することができる。また、TFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の輝度調整をきめこまやかに調整(変更)に実施できる。

【0490】また、パネルごとに固体差(製造バラツキが発生した場合など)にあっても、製造された表示パネルごとにTFTeをオンさせる、あるいはオフさせることにより表示輝度のバラツキを調整することができる。この場合は、TFT11eは常時オンあるいは常時オフの場合がある。また、R、G、BごとにTFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の色調整を決めこまやかに容易に調整する。画素構成としては図294などで説明する構成を採用すればよい。また、図304などの構成についても、逆バイアス電圧方式など、本明細書記載の他の実施例と組み合わせることができることはいうまでもない。また、他の構成、動作はすでに説明をしているので省略する。以上の事項は他の本発明に関しても同様である。

【0491】なお、図304ではコンデンサ19a、19bの2つとしたがこれに限定するものではない。3個以上のコンデンサを形成し、各コンデンサの電荷を充放電できるようにTFTなどのスイッチング素子を配置し

てもよい。この構成では、他段階で表示画面21の明るさを変化することができる。また、RGBの色バランスも多段階で調整(変更)することができる。

【0492】また、図304ではTFT11eをオンさせることにより、TFT11aに流れる電流を減少させる方式であった。しかし、TFT11aをNチャンネルにすることなどにより、駆動用TFT11aに流れる電流を増加させるように制御することも可能である。つまり、TFT11eの動作することにより、画面21の輝度を高くすることができる。また、RGBの画素うち、少なくとも1色のTFT11eの動作することにより、画面21の色をRまたはGまたはB色を増加させることができる(画面をRまたはGまたはB色を強く表示する。なお、RとBというように複数色の場合もある)。

【0493】また、図304ではTFT11aのゲート(G)端子とソース(S)端子間に1つのコンデンサ19aを形成した構成であったが、これに限定するものではない。TFT11aのゲート(G)端子とソース

(S)端子間に複数のコンデンサ19aを直列または並列に形成した構成でもよい。このコンデンサのうち、少なくとも1つのコンデンサの両端にショート用のスイッチングTFT11eを形成し、TFT11eをオンさせることにより、TFT11aに流れる電流を減少させてもよい。以上の事項はカレントミラーの画素構成あるいは電圧駆動の画素構成にも適用されることは言うまでもない。

【0494】図305は図21、図43、図71などで説明したカレントミラーの画素構成において、保持用のコンデンサ19の両端をショートするTFT11eを形成(配置)した構成である。動作などは、図303などと同様であるので説明を省略する。図305についても同様である。動作などは図304で説明あるいは図304の説明から容易に類推できるので説明を省略する。

【0495】図307は画素が2TFT構成の電圧駆動の実施例である。図307の構成も図303などで説明した電流駆動方式と動作は同一である。保持用のコンデンサ19の両端にTFT11eを形成(配置)している。図307の構成でも先に説明した構成と同様に、TFT11eの動作によりコンデンサ19の電荷を放電するため、EL素子15に再度電流を流すことができない。しかし、TFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の輝度調整を容易に実施できる。また、R、G、BごとにTFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の色調整を容易に実施できる。

【0496】また、図307の構成についても、TFT11aをNチャンネルにすることなどにより、TFT11eをオンさせることにより、駆動用TFT11aに流れる電流を増加させるように制御することも可能であ

る。つまり、TFT11eの動作することにより、画面21が白表示(白ラスタ)にすることができる(画面を白画面で消去する)。また、RGBの画素うち、少なくとも1色のTFT11eの動作することにより、画面21がRまたはGまたはB表示にすることもできる(画面をRまたはGまたはB色を強く表示する)。

【0497】図308は図67、図68の電圧プログラム(駆動)の画素構成に図303の技術的概念を適用した実施例である。図308の構成も図303などで説明した電流駆動方式と動作は同一である。つまり、保持用のコンデンサ19の両端にTFT11eを形成し、TFT11eの動作によりコンデンサ19の電荷を放電する。したがって、黒表示となる。TFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の輝度調整を容易に実施できし、また、R、G、BごとにTFT11eをオンさせるまでの時間間隔を制御(調整)することにより、表示画面21の色調整を容易に実施できる。他の事項についても先の実施例と同様であるので説明を省略する。

【0498】図33では、隣接した画素行を順次点灯(表示)させるように図示したが、本発明はこれに限定するものではない。図39に図示するようにインターレース走査してもよい。

【0499】インターレース走査とは第1フィールドでは奇数画素行に画像を書き込み(図39(a)書き込み画素行391)、次の第2フィールドでは偶数画素行に画像を書き込み(図39(b)書き込み画素行391)画像表示方法である。書き込まない画素行は前のフィールドの画像データを保持している(保持画素行392)。このようにEL表示装置でインターレース走査することにより、フリッカを減少させることができる。

【0500】図39の駆動では、すべての(あるいは複数の)偶数画素行のゲート信号線17bを共通にでき、また、すべての(あるいは複数の)奇数画素行のゲート信号線17bを共通にできる。したがって、ゲート信号線17の引き回し数を大幅に削減できる。また、全画面を表示状態311と非表示状態312を交互に表示する場合は、すべてのゲート信号線17bを共通にできる。これらの構成は図27などの3辺フリーの構成で特に有効である。

【0501】なお、インターレース走査は、第1フィールドでは奇数画素行に画像を書き込み、次の第2フィールドでは偶数画素行に画像を書き込むとしたが、これに限定するものではない。たとえば、第1フィールドでは2画素行とばしで2画素行ずつ画像を書き込み、次の第2フィールドでは第1フィールドで書き込まなかった2画素行ごとに画像を書き込んでよい。また、3画素行ずつあるいは4画素行ずつでもよい。また、第1フィー

10

20

30

40

50

ルドでは画面の2行目から2画素行ずつ画像を書き込み（図106（a）を参照）、次の第2フィールドでは1行目から2画素行ごとに画像を書き込んでもよい（図106（b）を参照）。また、図106に図示するように書き込んでいる画素行あるいは書き込む画素行を非表示領域312となるように制御してもよい。また、第1のフィールドでは画面の上から下に向かって画像を書き込み、第2のフィールドでは画面の下から上に向かって画像を書き込んでもよい。これらもすべてインターレース走査の概念に含まれる。

【0502】インターレース走査も図33、図56で説明した方法を実施することで容易に実現できる。点灯させない表示領域312に該当する画素行は図1（a）に示すTFT11dをオフさせればよいからである。

【0503】また、当然のことながら、図50に図示するように黒表示領域312とインターレース走査とを組み合わせることができる。図50（a）では、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図50（a）では第1行目から画像を書き込んでいる。図50（b）でも同様に、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図50（b）では第2行目から画像を書き込んでいる。

【0504】飛び越し走査（インターレース走査など）を応用すると、画素16の駆動TFT11のバラツキを抑制することができる。図322は隣接した画素行の駆動TFT11aが近接して形成（配置）されている。つまり、画素16aのTFT11a1と画素16bのTFT11a2とが近接して配置されている。また、画素16aを制御するゲート信号線17a1と画素16bを制御するゲート信号線17a2も近接して配置されている。ゲート信号線17a1とゲート信号線17a2が近接して配置されているのは、画素16aと画素16bとを線対称の配置とするためである。

【0505】図322のように、画素16aを含む画素行のTFT11a1と、画素16bを含む画素行のTFT11a2とを近接して配置することにより、TFT11a2とTFT11a1の特性が近似する。以下、図320の画素配置構成を利用した駆動方法について図323、図324を用いて説明をする。

【0506】図323はソース信号線18に流れる電流を増大させる他の実施例の説明図である。2画素行を同時に選択し、2画素行をあわせた電流でソース信号線18の寄生容量404などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、2画素行を同時に選択するため、1画素あたりの駆動する電流をソース信号線18に流す電流（プログラム電流）の1/2に減少させることができる。したがって、EL素子15に流れる電流を減少させることができるため、EL素子15の劣化が少ない。ここで、説明を容易にするため、一例と

して、 $N=2$ として説明する（ソース信号線に流す電流を2倍にする）。なお、類似の駆動方法については図87、図88などで説明する。したがって、これらの方法も参照されたい。

【0507】図323（a）は表示画像21への書き込み状態を図示している。図323（a）において、871（871a、871b）は書き込み画素行である。つまり、2画素を書き込んでいる。ソース信号線18には画素に書き込む電流の2倍のプログラム電流 $I_w$ を印加する。したがって、画素行が2行であるから1画素に書き込まれる電流は1倍（所定値）となる。図323

（a）の状態は、画素16aと画素16bがそれぞれ1画素行選択されていることになる。つまり、近接した画素の駆動TFT11a1、11a2が動作するように電流プログラムされていることになる（図1の画素構成を想定している）。ソース信号線18に流す電流 $I_w$ はこの近接して配置された駆動用TFT11a1、駆動用TFT11a2から供給される。

【0508】駆動用TFT11a1と駆動用TFT11a2は近接して形成されているため、その特性はほぼ一致している。したがって、ソース信号線18に流れるプログラム電流 $I_w$ が2（ $\mu A$ ）とすれば、駆動用TFT11a1と駆動用TFT11a2は、それぞれ、1（ $\mu A$ ）ずつ電流を供給する。

【0509】以上のことから、ソース信号線18に所定値の2倍のプログラム電流 $I_w$ を流せば、正確に画素に所定値の電流がプログラムされる。なお、ソース信号線18に流す電流は2倍（ $N=2$ ）としたがこれに限定するものではない。2倍としたのはあくまでも理解を容易にするためである。実駆動では、非点灯領域312を表示面積の1/2をするため、プログラム電流は4倍としている。

【0510】図322の画素構成においては、2フィールドで1画面を書き換える（1フレーム=2フィールド）。第1フィールドでは偶数ラインを書き換え、第2フィールドでは奇数ラインを書き換えるとして説明をする。図323では偶数ラインを書き換えているとして説明し、図324では奇数ラインを書き換えているとして説明をする。

【0511】図323において、871（871a、871b）は書き込み画素行であり、2画素を書き込んでいる。ソース信号線18には奇数画素に書き込む電流の2倍のプログラム電流 $I_w$ を印加する。そのため、書き込み画素行871aと871bは同一表示となる。そこで、図323（b）に図示するように奇数ラインに該当する画素のEL素子15を非点灯状態とする（図1において、ゲート信号線17bにオフ電圧を印加し、駆動用TFT11aからの電流がEL素子15に流れないようにする）。以上の動作を2画素行ずつシフトしながら画像データを画素に書き込んでいく。1フィールドの走査

が終了すると、図323(c)に図示するように、偶数ラインはすべて非点灯312となり、奇数ラインが点灯311となる。

【0512】図324は第2フィールドの画像データ書き込み状態を図示している。図324(a)において、871(871a、871b)は書き込み画素行であり、2画素を書き込んでいる。ソース信号線18には奇数画素に書き込む電流の2倍のプログラム電流Iwを印加する。そのため、書き込み画素行871aと871bは同一表示となる。第1フィールドと同様に図324(b)に図示するように偶数ラインに該当する画素のEL素子15を非点灯状態とする。以上の動作を2画素号ずつシフトしながら画像データを画素に書き込んでいく。1フィールドの走査が終了すると、図324(c)に図示するように、奇数ライン(奇数番目の画素行)はすべて非点灯312となり、偶数ライン(偶数番目の画素行)が点灯311となる。

【0513】以上のように、図323と図324の駆動を交互に繰り返すことにより1フレーム(2フィールド)で1画面が書き換えられる。また、図322のように、2画素行をベアにすることにより、2画素行の駆動用TFT11aを近接させ、特性バラツキが発生することを抑制している。したがって、均一な画像表示を実現できる。

【0514】なお、図322の画素配置、駆動方法は、図1の画素構成のみに限定されるものではない。たとえば、図21、図43、図71、図22のカレントミラーの画素構成、図54、図67、図68、図103などの電圧プログラム方式の画素構成にも適用できることは言うまでもない。

【0515】図21、図43、図71の画素構成では、ゲート信号線17aにオン電圧(Vg1)を印加することにより、コンデンサ19にソース信号線18に印加した電流値がプログラムされる。図40に図示するように、ソース信号線18にはソースドライバIC14内の電流源403から映像信号に該当するデータが印加される。プログラムされた電流は、カレントミラー効率が1の時、前記電流がTFT11bに流れ、この電流がEL素子15に印加される。この関係(タイミング波形など)は図33に図示した事項を流用でき、あるいは類似するので説明を要さないであろう。ただし、電流プログラムを行う際、TFT11cとTFT11dのオンあるいはオフタイミングを個別に制御する必要がある場合がある。この場合は、TFT11cとTFT11dをオンオフさせるゲート(G)端子を別のゲート信号線17とすることがあることは言うまでもない。

【0516】図31などの表示方法を実施するためには、EL素子15に流す電流を遮断する必要がある。この遮断を目的として図40に図示するようにTFT11eを付加する。TFT11eのゲート(G)端子をVg

1にすることによりEL素子15に電流が印加され、TFT11eのゲート(G)端子をVghにすることによりEL素子15への電流が遮断(非点灯状態)状態となる。

【0517】したがって、図33などで説明したゲート信号線17a、17bの信号波形を印加することにより、図31などで説明した画像表示を実現できる。

【0518】非画像表示領域311と画像表示領域312は図61に図示するように奇数画素行と偶数画素行とをフレーム(フィールド)ごとに切り替えてもよい。図61(a)が奇数画素行を表示し、偶数画素行を非表示とすれば、次のフォーム(フィールド)(図61(b))を参照)では奇数画素行を非表示し、偶数画素行を表示にする。

【0519】このように、1画素行ごとに非表示領域と表示領域とを繰り返すように表示すれば、フリッカの発生が大幅に抑制される。

【0520】なお、図61において、1画素行ごとに非表示画素行と表示画素行にするとしたがこれに限定するものではなく、2画素行ごとあるいはそれ以上の画素行ごとに非表示画素行と表示画素行にすることもよい。

【0521】たとえば、2行ごとであれば、第1フィールド(フレーム)では、1画素行目と2画素行目が表示画素行とし、3画素行目と4画素行目を非表示画素行とする。5画素行目と6画素行目が表示画素行である。第1フィールドの次の第2フィールド(フレーム)では、1画素行目と2画素行目が非表示画素行とし、3画素行目と4画素行目を表示画素行とする。5画素行目と6画素行目が非表示画素行である。また、次の第3フィールド(フレーム)では、1画素行目と2画素行目が表示画素行とし、3画素行目と4画素行目を非表示画素行とする。5画素行目と6画素行目が表示画素行である。

【0522】なお、本明細書でフィールドとフレームの文言は同義に使用したり、分離したりしている。一般的にNTSCのインターレース駆動では、1フレームは2フィールドで構成される。しかし、プログレッシブ駆動では1フレームは1フィールドである。このように映像の信号の世界ではフィールドとフレームは使い分けている。しかし、本発明では表示パネルに表示する画像がプログレッシブでもインターレースでもどちらでも適用できる。そのため、どちらでもよいという表現としている。フィールドでもフレームでも概念的には1つも画面を書き終える時間の単位である。

【0523】図62の表示方法も有効である。ここで説明を容易にするため、図62(a)が第1フィールド(第1フレーム)、図62(b)が第2フィールド(第2フレーム)、図62(c)が第3フィールド(第3フレーム)、図62(d)が第4フィールド(第4フレーム)とする。

【0524】第1フィールド(フレーム)では、1画素

行目と2画素行目が非表示画素行とし、3画素行目と4画素行目を表示画素行とする。5画素行目と6画素行目が表示画素行である。第2フィールド（フレーム）では、奇数画素行目が表示画素行とし、偶数画素行目を非表示画素行とする。第3フィールド（フレーム）では、1画素行目と2画素行目が表示画素行とし、3画素行目と4画素行目を非表示画素行とする。第4フィールド（フレーム）では、奇数画素行目が非表示画素行とし、偶数画素行目を表示画素行とする。以後、第1フィールド（第1フレーム）の表示状態から順次繰り返す。

【0525】図62の駆動方法では、4フィールド（フレーム）で1ループとしている。このように複数フィールド（複数フレーム）で画像表示を行うことにより、図61よりもフリッカの発生は抑制されることが多い。

【0526】なお、図62の実施例では、第1フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第2フィールド（フレーム）では、1画素行目ずつ非表示画素行としたがこれに限定するものではない。第1フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第2フィールド（フレーム）では、1画素行目ずつ非表示画素行としたがこれに限定するものではない。第1フィールド（フレーム）では、4画素行目ずつ非表示画素行とし、第2フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第3フィールド（フレーム）では、1画素行目ずつ非表示画素行とし、第4フィールド（フレーム）では、4画素行目ずつ非表示画素行とし、第5フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第6フィールド（フレーム）では、画素行目ずつ非表示画素行としてもよい。

【0527】本発明の駆動方法は、表示効果（アニメーション効果など）を実現することも容易である。図63は表示領域が図63（a）→図63（b）→図63（c）→図63（d）と順次現れる表示方法である。ゆっくりと非表示領域312をスクロールしていくことによりアニメーション効果を実現できる。これらの制御も図2、図60、図74などの回路構成で容易に実現できる。つまり、映像として黒表示状態を書き込まず、ゲート信号線17bなどの制御によりアニメーション効果を容易に実現できるのである。

【0528】液晶表示パネルなどの画素に1フィールド（1フレーム）期間データを保持する表示パネルは動画ボケが発生するという課題がある。CRTなどは電子銃により一瞬表示されるだけであるので動画ボケの問題は発生しない。

【0529】この課題を解決するのに有効手段が黒挿入である。本発明は動画表示を極めたCRTに近くする黒挿入方式を容易に実現できる。

【0530】図64は画面の上から下にFという文字が移動するところを示している。ただし、文字をFとしたのは作図を容易にするためである。図64に図示するよ

うに画像表示（図64（a）（c）（e））の間に非表示状態（図64（b）（d）（f））を挿入している。したがって、画像は飛び飛びの表示となる。そのため、動画ボケが発生せず、良好な動画表示を実現できる。

【0531】この用に全画面を非表示領域とするには図60の回路構成を採用すればよい。図2との差異は、ENBL端子601を具備する点である。ENBL端子601はゲート信号線17の形成されたOR回路602の一端に接続されている。ENBL端子をLレベルとすることにより、すべてのゲート信号線17bにはVghレベルが出力され、EL素子15に電流を供給するTF-T11dまたは11eがオフ状態となり、全画面が非表示領域312となる。ENBL端子がHレベルの時は、通常動作が実施される。

【0532】なお、図2、図60、図74、図84では、ST端子に入力されたデータをクロックで順次シフトしていく（シリアル動作）として説明したが、これに限定するものではない。たとえば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい（すべてのゲート信号線のオンオフロジックがコントローラがゲート信号線17の本数分、一度に出力され決定される構成などが該当する）。

【0533】図64の実施例は、動画表示であったが、R、G、Bごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である（図65参照）。図65において、図65（a）は赤色表示311Rの画像、図65（b）は緑色表示311Gの画像、図65（c）は青色表示311Bの画像である。図65（a）の赤色表示311Rの画像、図65（b）は緑色表示311Gの画像、図65（c）は青色表示311Bの画像のそれぞれに非表示状態（図65（b）（d）（f））を挿入している。この動作を図65（a）から図65（f）をゆっくりと実施すれば、R、G、Bの画像がフラッシュイングしているように表示することができる。

【0534】図64の実施例は、動画表示であったが、異なる画像をごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である（図66参照）。図66において、図66（a）は第1画像311a、図66（b）は第2画像311b、図66（c）は第3画像311Bである。図66（a）は第1画像311a、図66（b）の第2画像311b、図66（c）の第3画像311Bのそれぞれの間に非表示状態（図66（b）（d）（f））を挿入している。この動作を図66（a）から図66（f）をゆっくりと実施すれば、第1、第2、第3の画像がフラッシュイングしているように表示することができる。

【0535】以上の実施例は、概念的にはソース信号線18に所定値に対しN倍の電流を流し、EL素子15には1/Nの期間だけN倍の電流を流して所望の輝度を得る方法（構成）であった。この方法（構成）により、寄

10

20

30

40

50



生容量404の存在による書き込み不測の課題を解決した。

【0536】なお、N倍する駆動方法は、1倍（従来の駆動方式）よりも発光効率が向上する。これは、図1のTFT11b（コンデンサ19側）の突き抜け電圧の影響である。N倍にする方が、この突き抜け電圧の影響を軽減できる。N倍数は1.5倍以上8倍以下が適切である。これ以上であると、ELの発光効率が低下してしまうから、全体として効率は低下する。好ましくは、N倍は2倍以上6倍以下が好ましい。また、N倍するとは、発光期間を $1/N$ にするということである。したがって、Nが2倍以上6倍以下にすると、発光期間を $1/2$ 以上 $1/6$ 以下にすることが好ましい（通常の明るさの時）ということになる。

【0537】なお、本発明はTFT11dをオフさせ、EL素子15への電流を遮断した後、再び、TFT11dをオンさせることにより、EL素子15に先と同様に電流を流すことができる。本発明はこの原理をうまく応用して、たとえば、 $1/N$ の期間に電流を流し、所定の輝度を得ている。このように駆動できるのは、流す電流値が画素16ごとにコンデンサ19に保持されているからである。つまり、本発明は、EL素子15に流す電流値を保持するとEL表示パネルの特有の画素構成をうまく応用しているということができる。

【0538】図69の構成は、駆動TFT11a対し、駆動能力が $(N-1)$ 倍のTFT11anを形成することにより、寄生容量404の存在による書き込み不足の課題を解決する方法である。

【0539】図69と図1(a)との差異は、駆動TFT11aの他に、 $N-1$ 倍駆動のTFT11an-1とスイッチング用TFT11fを追加した点である。図1と図69との差異を中心に説明する。TFT11an-1としたのは、TFT11an-1とTFT11aとの電流が加算されればN倍になるように構成している。簡単には、TFT11an-1のチャンネル幅W2はTFT11aのチャンネル幅W1の $N-1$ 倍にしている。たとえば、 $N=10$ であれば、TFT11aのチャンネル幅W1が1とすれば、TFT11an-1のチャンネル幅W2は9倍である。したがって、理論的には、TFT11aが1の電流を流せばTFT11an-1は9倍の電流を流す能力がある。

【0540】なお、図69ではTFT11an-1の駆動電流を $N-1$ としたのは、図69の構成では、N倍の電流をソース信号線18に流す時、EL素子15に電流を流すTFT11aの1倍の電流が加算されるからである。図71の構成ではEL素子15に電流を流すTFT11bの電流はソース信号線18に流れることはないからTFT11nは駆動電流をN倍にする必要がある。

【0541】ここで説明を容易にするため、TFT11aはI1なる電流を流すとし、TFT11an-1はI

$n-1$ の電流を流すものとする。また、 $I1 + In-1 = Iw$ （この場合は、IwはEL素子15に流す電流I1のN倍とする）とする。

【0542】電流プログラム期間にはゲート信号線17aがVg1の電圧が印加され、TFT11b、11f、11cがオン状態となる。また、ゲート信号線17bはVghの電圧が印加され、TFT11dはオフ状態である。したがって、プログラム電流Iwに相当する電圧がコンデンサ19にプログラムされる。つまり、 $I1 + In-1 = Iw$ （この場合は、IwはEL素子15に流す電流I1のN倍とする）なる電流がソース信号線18に流れる。

【0543】つぎにEL素子15に電流を流す期間ではゲート信号線17aがVghの電圧が印加され、TFT11b、11f、11cがオフ状態となる。したがって、ソース信号線18と画素16とは切り離される。また、ゲート信号線17bはVg1の電圧が印加され、TFT11dはオン状態となる。したがって、プログラム電流Iwの $1/N$ に対応する電流I1がEL素子15に流れる。

【0544】以上のように駆動することにより、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量（浮遊容量）404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値に電流を印加することができる。

【0545】図69では $N-1$ の電流能力があるTFT11an-1と1個を画素に作製するとしたがこれに限定するものではない。図70に示すように複数個のTFT（図70ではTFT11n1~TFT11n6）を作製してもよい。動作は図69と同様であるので説明を省略する。

【0546】図69の構成は、駆動TFT11a対し、駆動能力が $(N-1)$ 倍のTFT11anを形成することにより、寄生容量404の存在による書き込み不足の課題を解決する方法である。

【0547】図21、図43、図71に図示したカレントミラー方式においても図69の構成を展開することができる。図71に図示するように、N倍の駆動能力を有するTFT11nを形成すればよい。ただし、カレントミラー構成では切り替えようのTFT11fは必要がない。

【0548】図71において、TFT11nのチャンネル幅W2とTFT11bのチャンネル幅W1との比は、 $N:1$ としている。ここで説明を容易にするため、TFT11bはI1なる電流を流すとし、TFT11nはInの電流を流すものとする。また、 $In = Iw$ （この場合は、IwはEL素子15に流す電流I1のN倍とする）とする。

【0549】電流プログラム期間にはゲート信号線17

aがV<sub>gl</sub>の電圧が印加され、TFT11c、11dがオン状態となる。したがって、プログラム電流I<sub>w</sub>に相当する電圧がコンデンサ19にプログラムされる。つまり、I<sub>n</sub> = I<sub>w</sub>（この場合は、I<sub>w</sub>はEL素子15に流す電流I<sub>1</sub>のN倍とする）なる電流がソース信号線18に流れる。なお、TFT11cとTFT11dとは少しタイミングをずらせてオンオフ状態を制御することが好ましい。この場合は、TFT11cを制御するゲート信号線とTFT11dを制御するゲート信号線とを別個にし、独立制御をする必要がある。

【0550】つぎにEL素子15に電流を流す期間ではゲート信号線17aがV<sub>gh</sub>の電圧が印加され、TFT11c、11dがオフ状態となる。したがって、ソース信号線18と画素16とは切り離される。したがって、プログラム電流I<sub>w</sub>の1/Nに対応する電流I<sub>1</sub>がEL素子15に流れる。

【0551】以上のように駆動することにより、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量（浮遊容量）404の影響が除外され、十分にコンデン

サ19に電流プログラムを行うことができる。一方、EL素子15には所望値に電流を印加することができる。【0552】なお、ゲート信号線17bとTFT11eは図40で説明したように、図30などの非画像表示あるいは1/N期間だけEL素子15に電流を流すように制御するために設けたものである。したがって、図71の構成において、さらにN倍の電流を流し、EL素子15に流す電流を1/N期間のバルス駆動することにより、寄生容量404による書き込み不足の問題は全くな

くなる。また、黒挿入表示を容易に実現でき、良好な動画表示を実現できる。【0553】図71の構成は非常に有効である。たとえば、図1のみの構成で、N=10を実現しようとする

と、所望値よりも10倍高いパルス状の電流をEL素子15に印加する必要がある。この場合、EL素子15の端子電圧が高くなることから、V<sub>dd</sub>電圧を高く設計する必要がでる。また、EL素子15が劣化する可能性もある。【0554】しかし、図71の構成では、TFT11nのチャンネル幅W2をTFT11bの5倍とし、2倍高

い電流でプログラムすれば、5×2=10となる。したがって、EL素子15には2倍の電流を1/2の期間だけ印加すれば実現できる。したがって、EL素子15が劣化する問題もなくなるし、V<sub>dd</sub>電圧をほとんど高くする必要がない。【0555】逆にTFT11nだけでN=10を実現しよう

とすると、図71の構成では、TFT11nのチャンネル幅W2をTFT11bの10倍とする必要がある。10倍にするとTFT11nの形成面積が、画素の面積のほとんどを占有する。したがって、画素開口率が

極めて小さくなるか、もしくは実現不可能になる。しかし、図71の構成では、TFT11nのチャンネル幅W2をTFT11bの5倍とするだけで済むので十分な画素開口率を実現することができる。

【0556】N=10の実現方法は数多くある。TFT11nのチャンネル幅W2をTFT11bの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法、TFT11nのチャンネル幅W2をTFT11bの4倍とし、2.5倍高い電流をEL素子15に1/2.5の期間印加する方法などである。つまり、TFT11nの設計（チャンネル幅W2）とEL素子に流す電流とその期間とを考慮して掛算が10となるようにすればよいからである。したがって、Nの値は自由に設計することができる。

【0557】図71ではNの電流能力があるTFT11nと1個を画素に作製するとしたがこれに限定するものではない。図72に示すように複数個のTFT（図72ではTFT11n1～TFT11n5）を作製してもよい。動作は図71と同様であるので説明を省略する。

【0558】N=10の実現方法は数多くあるのは、図69の構成でも同様である。TFT11a<sub>n-1</sub>のチャンネル幅W2をTFT11aの4倍とし、2倍高い電流をEL素子15に1/2の期間印加する方法、TFT11a<sub>n-1</sub>のチャンネル幅W2をTFT11abの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法などである。つまり、TFT11a<sub>n-1</sub>の設計（チャンネル幅W2）とEL素子に流す電流とその期間とを考慮して掛算が10となるようにすればよいからである。したがって、Nの値は自由に設計することができる。

【0559】以上に説明した事項は、図69、図70、図75、図82、図83においても適用できることは明らかである。つまり、本発明はチャンネル幅が大きい駆動TFTを各画素に形成し、ソース信号線18を駆動する電流を増大させる。かつ、図31などで説明したEL素子15に流す電流を増大するとともに、EL素子15に流す電流を所定の期間とする方法あるいは構成である。

【0560】また、TFT11dあるいはTFT11eのオンオフを制御することにより、図30、図31などで説明した表示を実現できる。この表示により、動画表示を改善でき、また、明るさを調整することができる。したがって、本発明ではEL素子にN倍あるいはNに比例した電流をEL素子15に印加するとしたが、これに限定するものではない。所定の1倍あるいはそれ以下の電流をEL素子15に流す構成でもよい。この場合でも、動画表示を改善でき、また、明るさを容易に調整することができるという効果を発揮できるからである。

【0561】図1および図69も同様であるが、TFT11dをオン状態にする際、抵抗値を高くすることによ

りTFT11aのキンク現象による特性バラツキを抑制できる。このことは図1(b)の構成で説明をした。図1(b)のTFT11eを配置し、TFT11eのゲート(G)端子にVbb電圧( $V_{g1} < V_{bb} < V_{gh}$ )を印加することにより、TFT11aに流れる電流のバラツキが減少するのである。

【0562】したがって、図1および図69の画素構成においても、ゲート信号線17bにVbb電圧を印加してTFT11dをオンさせることが好ましい。つまり、TFT11dはオフ状態ではVghが印加され、オン状態ではVbbを印加するのである。

【0563】この制御は容易である。図74のように回路構成すればよいからである。シフトレジスタ22bの出力段のインバータはVghとVbbを電源とすれば、オフ状態ではゲート信号線17bにVghが印加され、オン状態ではゲート信号線17bにVbbが印加できるからである。

【0564】なお、ゲート信号線17のオンオフ制御は、シフトレジスタ22が保持するデータに基づくとした。しかし、ゲート信号線17のオンオフ制御はシフトレジスタ22による制御に限定するものではなく、シフトレジスタ22を設けず、各ゲート信号線17を独自に制御する方式でもよい。たとえば、オン電圧を出力する任意のゲート信号線17をマルチプレクサ回路で選択してもよい。また、すべてのゲート信号線をバラレルで引き出し、それぞれのゲート信号線に自由にオン電圧またはオフ電圧を印加できるように構成してもよい。このように、シフトレジスタ22の保持データによらず、任意のゲート信号線17を選択できるように構成することにより、図31、図32、図87、図88、図198、図201、図215、図218、図220、図221などの表示画面21のオンオフあるいは輝度分布の強弱処理が容易となる。

【0565】なお、図1(b)と同様に、図75に図示するように、別途、Vbb電圧を印加するTFT11eを形成または配置してもよいことは言うまでもない。この事項はカレントミラー構成でも同様である。たとえば、図76に図示するようにVbb電圧を印加するTFT11fを別途形成または配置してもよい。図54の画素構成でも同様である。図77に図示するようにVbb電圧を印加するTFT11fを別途形成または配置してもよい。

【0566】なお、図78においては、駆動TFT11aはTFT11a1とTFT11a2の複数に分離し、ゲート(G)端子をカスケードに接続することにより、キンク現象を抑制でき、また、特性ばらつきも抑制できる。このことは図1のTFT11a、図21、図43、図71のTFT11b、図69のTFT11a、図71のTFT11bなどについても同様である(駆動用TFTの構成として採用することが好ましい)。

【0567】図70および図72においてTFT11nなどを複数に分割するとした。他の構成として、図73に図示するように分割したTFT11n1、TFT11n2を駆動電流向上用として動作させるか否かをゲート信号線17cに印加する電位(VghまたはVh1)で制御すればよい。TFT11f2をオフ状態にすれば、ソース信号線18に流れる電流はTFT11n1、TFT11n2が動作している場合の1/2となる。これらの制御は表示パネルの画像表示データおよび消費電力の観点から決定すると良い。

【0568】図75と図82の差異は、スイッチングTFT11fのゲート(G)端子をゲート信号線17cに接続した点である。つまり、TFT11fのオンオフ状態をゲート信号線17aの電位状態に影響されず、独自制御を実現できる点にある。

【0569】TFT11fがたえずオフ状態では、TFT11nは画素からは切り離された状態である。したがって、図1(a)の画素構成となる。ゲート信号線17cとゲート信号線17aとをロジック的にショートして使用すれば図75の構成となる。

【0570】図75の問題点はTFT11nとTFT11aのVtなどの特性ずれが画素ごとに発生していると、画素ごとにEL素子15に流れる電流にばらつきがでるという点である。電流にばらつきが発生すると白ラスタなどの均一表示でも表示画像にざらつき感が出てしまう。その点、図1の構成ではこの問題は発生しない。

【0571】したがって、表示パネルの画面サイズが小さく、寄生容量404の影響が少ない時はTFT11fをたえずオフ状態で使用する。表示パネルの画面サイズが大きく、寄生容量404の影響がTFT11aの動作のみでは解消できない時は、ゲート信号線17cをゲート信号線17aのロジックとショートし、図75の画素構成を実現して駆動を行う。

【0572】図84に図82の画素構成を駆動する回路ブロックを示す。ゲート信号線17cを駆動するシフトレジスタ22cを形成し、ゲート信号線17cを駆動する。図1の画素構成で駆動する時は、ST3のデータをたえずLとし、ゲート信号線17cにはたえず、Vghの電圧が出力されるように制御する。図82の構成で使用する場合は、シフトレジスタ22cと22aのデータ入力状態(タイミング、ロジックなど)を同一にすればよい。

【0573】図82の構成は、カレントミラーの構成でも実現できる。図83にその画素構成を示す。図83に図示するように、分割したTFT11a1、TFT11nを駆動電流向上用として動作させるか否かをゲート信号線17cに印加する電位(VghまたはVh1)で制御すればよい。TFT11fをオフ状態にすれば、ソース信号線18に流れる電流はTFT11aのみが動作す

る。

【0574】図82は、スイッチングTFT11fのゲート(G)端子をゲート信号線17cに接続した点である。つまり、TFT11fのオンオフ状態をゲート信号線17aの電位状態に影響されず、独自制御を実現できる点にある。

【0575】TFT11fがたえずオフ状態では、TFT11nは画素からは切り離された状態である。ゲート信号線17cとゲート信号線17aとをロジック的にショートして使用すれば図75の構成となる。

【0576】したがって、図82の画素構成と同様に、表示パネルの画面サイズが小さく、寄生容量404の影響が少ない時はTFT11fをたえずオフ状態で使用する。表示パネルの画面サイズが大きく、寄生容量404の影響がTFT11aの動作のみでは解消できない時は、ゲート信号線17cをゲート信号線17aのロジックとショートし、駆動電流を増大させて駆動する。図83の画素構成においても、図84の回路ブロックを適用することができる。

【0577】なお、図84の構成ではゲート信号線17cを制御するシフトレジスタ22cを新規に形成し、動作させた。しかし、この構成に限定するものではない。ゲート信号線17cの制御ロジックは容易である。スイッチングTFT11fのゲート(G)端子にVg1またはVgh電圧を印加するだけであるからである。TFT11nを動作させない時は、表示領域21内の全TFT11fのゲート(G)端子にVhg電圧を印加すればよい。TFT11nを動作させる場合は、ゲート信号線17aの電位をゲート信号線17cに印加すればよい。したがって、図84のように別途シフトレジスタ22cを使用する必要はない。つまり、シフトレジスタ22aのデータをそのままゲート信号線17cに出力するか、すべてのゲート信号線17cの電位がVghとなるようにゲート回路を付加すればよいからである。

【0578】以下に本発明の駆動方法について説明をする。ソース信号線18に流す電流をN倍することにより、寄生容量404の影響がなくなり、解像度のある良好な画像表示を実現できる。

【0579】図87はソース信号線に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線に流す電流を10倍にする)。

【0580】図87などで説明する本発明は、画素行は同時にK画素行を選択する。ソースドライバICからは

所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子に流す電流の $N/K$ 倍の電流がプログラムされる。EL素子を所定発光輝度とするために、EL素子に流れる時間を1フレームの $K/N$ 時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

【0581】つまり、1フレームの $K/N$ の期間の間だけ、EL素子に電流を流し、他の期間(1F(N-1)K/N)は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。

【0582】まず、理解を容易にするため、以前に説明した1画素行を選択し、N倍の電流をプログラムする方式について、駆動波形などを参照しながら説明をする。図134はその説明図である。なお、説明図では画面を横長に図示しているがこれに限定するものではなく、縦長でもよいし、円形などの他の形状でもよい。

【0583】図134(a)は表示画像21への書き込み状態を図示している。図134(a)において、871は書き込み画素行である。なお、図134(a)では1H期間に書き込む画素行は1行である。また、以下の実施例では図1の画素構成を例にあげて説明するがこれに限定するものではなく、図21、図43、図71などのカレントミラーの画素構成であってもよい。また、図54、図67、図68、図103などの電圧プログラム方式の画素構成にも適用できることはいうまでもない。

【0584】図134(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がTFT11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子側にTFT11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図134(b)で示すように電流を書き込まれている画素行は非点灯状態312となる。他の画素行のTFT11dはオン状態となっており、点灯状態311である。なお、図21、図43、図71などに示すカレントミラーの画素構成では電流プログラムを行うTFT11aに電流が流れる状態であっても、ソース信号線18からはEL素子15は見えない。したがって、図134(b)のように非点灯状態とする必要がない。つまり、図134(b)のように書き込み画素行を非点灯312とすることは発明の必須条件ではない。

【0585】図135はゲート信号線17に印加する電

圧波形である。電圧波形はオフ電圧を $V_{gh}$ （Hレベル）とし、オン電圧を $V_{gl}$ （Lレベル）としている。図135の下段に選択している画素行の番号を記載している。また、(1)(2)とは選択している画素行番号を示している。

【0586】図135において、ゲート信号線17a(1)が選択され( $V_{gl}$ 電圧)、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。したがって、コンデンサ19には10倍に電流がTFT11aに流れるようにプログラムされる。画素行(1)が選択されている時は、図1の画素構成ではゲート信号線17b(1)はオフ電圧( $V_{gh}$ )が印加され、EL素子15には電流が流れない。

【0587】1H後には、ゲート信号線17a(2)が選択され( $V_{gl}$ 電圧)、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する)である。したがって、コンデンサ19には10倍に電流がTFT11aに流れるようにプログラムされる。画素行(2)が選択されている時は、図1の画素構成ではゲート信号線17b(2)はオフ電圧( $V_{gh}$ )が印加され、EL素子15には電流が流れない。しかし、先の画素行(1)のゲート信号線17a(1)にはオフ電圧( $V_{gh}$ )が印加され、ゲート信号線17b(1)にはオン電圧( $V_{gl}$ )が印加されるため、点灯状態となっている。

【0588】次の1H後には、ゲート信号線17a(3)が選択され、ゲート信号線17b(3)はオフ電圧( $V_{gh}$ )が印加され、画素行(3)のEL素子15には電流が流れない。しかし、先の画素行(1)(2)のゲート信号線17a(1)(2)にはオフ電圧( $V_{gh}$ )が印加され、ゲート信号線17b(1)(2)にはオン電圧( $V_{gl}$ )が印加されるため、点灯状態となっている。

【0589】以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、図135の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面21は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面312挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【0590】しかし、図134の方法も本発明の範疇である。つまり、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し(ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど)、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、TFT11aには $2.2\mu A$ を流す。この電流のうち、信号電流 $0.2\mu A$ をEL素子15に流して、 $2\mu A$ をダミーのEL素子に流す。

【0591】以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動TFT11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流をながらすことができることになる。以上の方法では、図136などに図示するように、非点灯領域312を設けることなく、図134のようにほぼあるいは完全に全表示領域21を画像表示領域311とすることができる。

【0592】しかし、ダミーEL素子などを形成するというような細工をしなければ、プログラムされた電流は理論的にはすべてEL素子15に流れる。したがって、図134では表示画面はN倍の輝度で発光する。これを所定輝度で発光させるには図136に図示するように非点灯表示領域312を設ければよい。図136はその方式の説明図である。

【0593】図136(a)は表示画像21への書き込み状態を図示している。図136(a)において、871aは書き込み画素行である。ドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図136などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、 $0.5H$ 期間でも、 $2H$ 期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式でもよい。

【0594】図136(a)において、図134と同様に、ゲート信号線17aが選択されるとソース信号線18に流れる電流がTFT11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子側にTFT11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図1の構成を例にすれば、図136(b)で示すように電流を書き込まれてい

る画素行は非点灯領域312となる。

【0595】今、N（ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域21の90%の範囲を非点灯領域312とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本（ $S=220$ ）とすれば、22本と表示領域311とし、 $220-22=198$ 本を非表示領域312とすればよい。一般的に述べれば、水平走査線（画素行数）をSとすれば、 $S/N$ の領域を表示領域311とし、この表示領域311をN倍の輝度で発光させる。そして、この表示領域311を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域312とする。この非点灯領域は黒表示（非発光）である。また、この非発光部312はTFT11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することは言うまでもない。

【0596】また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域21の90%の範囲を非点灯領域312とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域312とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域312とし、Gの画素は、 $1/6$ を非点灯領域312とし、Bの画素は、 $1/10$ を非点灯領域312と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域312（あるいは点灯領域311）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。

【0597】図136（b）に図示するように、書き込み画素行871aを含む画素行が非点灯領域312とし、書き込み画素行871aよりも上面の $S/N$ の範囲を表示領域311とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域311が帯状になって、画面の上から下に移動する。

【0598】図137はゲート信号線17に印加する電圧波形である。電圧波形はオフ電圧をVgh（Hレベル）とし、オン電圧をVgl（Lレベル）としている。図137の下段に選択している画素行の番号を記載している。また、（1）（2）（3）…とは選択している画素行番号を示している。

【0599】図137において、ゲート信号線17a（1）が選択され（Vgl電圧）、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム

電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。

【0600】したがって、コンデンサ19には10倍に電流がTFT11aに流れるようにプログラムされる。画素行（1）が選択されている時は、図1の画素構成ではゲート信号線17b（1）はオフ電圧（Vgh）が印加され、EL素子15には電流が流れない。

【0601】1H（もちろん1Hに限定するものではない。説明を容易にするためである。）後には、ゲート信号線17a（2）が選択され（Vgl電圧）、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する）である。したがって、コンデンサ19には10倍に電流がTFT11aに流れるようにプログラムされる。この時には、ゲート信号線17b（1）はVgl電圧（オン電圧）が印加される。このオン電圧が印加される期間は、図136の実施例によれば、 $S/N$ の期間である。その後、ゲート信号線17b（1）はVgh（オフ電圧）が印加されて、画素行（1）のEL素子15には電流が流れない。

【0602】画素行（2）が選択されている時は、図1の画素構成ではゲート信号線17b（2）はオフ電圧（Vgh）が印加され、EL素子15には電流が流れない。しかし、先の画素行（1）のゲート信号線17a（1）にはオフ電圧（Vgh）が印加され、ゲート信号線17b（1）にはオン電圧（Vgl）が印加されるため、点灯状態となっている。このオン電圧が印加される期間は、図136の実施例によれば、 $S/N$ の期間である。その後、ゲート信号線17b（2）はVgh（オフ電圧）が印加されて、画素行（2）のEL素子15には電流が流れない。

【0603】次の1H後には、ゲート信号線17a（3）が選択され、ゲート信号線17b（3）はオフ電圧（Vgh）が印加され、画素行（3）のEL素子15には電流が流れない。しかし、先の画素行（1）（2）のゲート信号線17a（1）（2）にはオフ電圧（Vgh）が印加され、ゲート信号線17b（1）（2）にはオン電圧（Vgl）が印加されるため、点灯状態となっている。以上の動作が繰り返されて、図136の表示状態が実現される。

【0604】図136の表示では、1つの表示領域311が画面の上から下方向に移動する。フレームレートが低いと、表示領域311が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0605】この課題に対しては、図138に図示するように、表示領域311を複数に分割するとよい。図1

38 (b) は、非表示領域312を5つに分割している。この5つを加えた部分が $S(N-1)/N$ の面積となれば、図136の明るさと同等になる。逆に表示領域311から見れば、表示領域(点灯領域)311は6つに分割しているが、この6つに分割された領域を加えた部分が $S/N$ と略一致するように構成(駆動)すれば、図136の表示輝度と同等となる。

【0606】なお、図138(b)にも図示するように、分割された表示領域311は等しくする必要はない。また、分割された非表示領域312も等しくする必要はない。

【0607】以上のように、表示領域311を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほど動画表示性能は低下する。

【0608】図139はゲート信号線17に印加する電圧波形である。図139と図137の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(Vg1とVgh)動作する。他の点は図137と同一であるので説明を省略する。

【0609】以上の実施例では、同時に選択する画素行は1画素行であった。図88は複数画素行を同時に選択する方法である。図88では説明を容易にするために、5画素行と同時に選択するとして説明するが、これに限定するのではなく、2画素以上であればよい。ただし、同時に選択する画素行が増加すると、駆動TFT11aのバラツキ吸収効果が低減する。

【0610】なお、以下の実施例においても図1の電流プログラムの画素構成を例示して説明をするがこれに限定するものではない。図21、図43、図71のカレントミラーでも有効であることは言うまでもない。同時に選択される画素行がおおくなることにより、ソース信号線の寄生容量404などの充放電が容易になるからである。また、図54、図67、図68、図103などの電圧プログラムの画素構成でも有効である。同時に選択される画素行が増加することにより、隣接した画素行を予備充電でき、高精細表示パネルにも対応できるようになるからである。

【0611】なお、ここでも、説明を容易にするために、ソースドライバIC14からソース信号線18に流す電流(もしくは、ソースドライバIC14がソース信号線18から吸い込む電流、駆動TFT11aがソース信号線18に流し込む電流)は所定値の10倍( $N=10$ )として説明をする。

【0612】したがって、同時に選択する画素行が5画素行( $K=5$ )であれば、5つの駆動TFT11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流がTFT11aに流れる。同時に選択する画素行が2画

素行であれば、2つの駆動TFT11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がTFT11aに流れる。

【0613】同時に選択する画素行が5画素行( $K=5$ )であれば、5つのTFT11aのプログラム電流を加えたものとなる。たとえば、書き込み画素行871aに、本来、書き込む電流 $I_d$ とし、 $N=10$ とすれば、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行871aと隣接した画素行871b(871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。したがって、画像を書き込む画素(行)が871aであり、871aに書き込むために補助的に用いるのが画素(行)が871bである)。

【0614】理想的には、5画素のTFT11aが、それぞれ $I_d \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、2倍の電流がプログラムされる。しかし、現実には、5画素の各TFT11aは特性がずれているから、各画素のコンデンサ19にプログラムされる電流にバラツキが発生する。たとえば、画素(行)871aには、1.8倍、4つの画素(行)871bには、2.2倍、2.0倍、1.6倍、2.4倍の電流がプログラムされる。この例では、書き込み画素行871aには1.8倍の電流がプログラムされる。したがって、 $(2.0-1.8)/2.0=10\%$ の誤差がでる。しかし、これらを加算した電流は10倍と規定値に保たれる。

【0615】つまり、ソース信号線18にはソースドライバ14からプログラムされた電流が規定どおり流れる。しかし、選択された画素には特性バラツキの応じた電流が流れる。したがって、各画素のTFT11aの特性バラツキが大きいほど、目標とするプログラム電流が設定値からはずれる。しかし、隣接したTFT11aはほぼ特性が一致しているから、図88などのように同時に選択する画素行を増加させても均一表示を実現できる。

【0616】なお、図87、図88などの実施例は、低温ポリシリコン技術でTFT11を形成して表示パネルよりも、アモルファスシリコン技術でTFT11を形成した表示パネルに有効である。アモルファスシリコンのTFT11では、隣接したTFTの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のTFTの駆動電流はほぼ目標値となっている。

【0617】図88において、書き込み画素(行)871aの画像データでK行( $K=5$ )同時に書き込む。したがって、K行の範囲(871a、871b)は同一表示となる。このように同一表示にすると当然のことながら解像度が低下する。これを対策するために、図88

(b)に図示するように書き込み画素行871の部分で非点灯表示312とするのである。したがって、解像度

低下は発生しない。

【0618】次の1H後は、1画素行シフトした位置を書き込み画素行871aとして同一動作を行う。非点灯領域312も1画素（行）シフトされる。したがって、先の1Hで電流プログラムされた画素（行）が表示される。

【0619】以上のように、本来の表示データと異なる電流データを書き込まれた871bは表示されない。以上の動作を1行ずつシフトしていくと完全な画像表示を実現できる。また、補助的に用いている画素行871bの110効果で、寄生容量404の充放電も十分1H期間内に実現できる。

【0620】図140は、図88の駆動方法を実現するための駆動波形の説明図である。図135と同様に、電圧波形はオフ電圧をVgh（Hレベル）とし、オン電圧をVgl（Lレベル）としている。また、図140の下段に選択している画素行の番号を記載している。また、（1）（2）（3）・・・（6）とは選択している画素行番号を示している。したがって、行数はQCIF表示パネルの場合は220本であり、VGAパネルでは480本である。

【0621】図140において、ゲート信号線17a（1）が選択され（Vgl電圧）、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行871aが画素行（1）番目であるとして説明する。

【0622】また、ソース信号線18に流れるプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。また、5画素行が同時に選択（ $K=5$ ）として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍に電流がTFT11aに流れるようにプログラムされる。

【0623】書き込み画素行が（1）画素行目である時、図140で図示したように、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている。つまり、画素行（1）（2）（3）（4）（5）のスイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0624】理想的には、5画素のTFT11aが、それぞれ $I_d \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各TFT11aは特性（ $V_t$ 、S値）が一致しているとし

て説明をする。

【0625】同時に選択する画素行が5画素行（ $K=5$ ）であるから、5つの駆動TFT11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流がTFT11aに流れる。ソース信号線18には、5つのTFT11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行871aに、本来、書き込む電流 $I_d$ とし、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行871bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題がない。

【0626】したがって、画素行871bは、1H期間の間は871aと同一表示である。そのため、書き込み画素行871aと電流を増加させるために選択した画素行871bとを少なくとも非表示状態312とするのである。ただし、図21、図43、図71のようなカレントミラーの画素構成、図68などの電圧プログラム方式の画素構成では、場合によっては表示状態としてもよい。

【0627】次の、1H後は、ゲート信号線17a（1）は非選択となり、ゲート信号線17bにはオン電圧（Vgl）が印加される。また、同時に、ゲート信号線17a（6）が選択され（Vgl電圧）、選択された画素行（6）のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行（1）には正規の画像データが保持される。

【0628】次の、1H後は、ゲート信号線17a（2）は非選択となり、ゲート信号線17bにはオン電圧（Vgl）が印加される。また、同時に、ゲート信号線17a（7）が選択され（Vgl電圧）、選択された画素行（7）のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行（2）には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0629】図134と同様であるが、図140の駆動方法では、各画素には2倍の電流（電圧）でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。

【0630】これを所定の輝度とするためには、図87に図示するように、書き込み画素行871を含み、かつ表示領域21の $1/2$ の範囲を非表示領域312とすればよい。このことは図137などを用いて説明したので説明を省略する。

【0631】表示画面21に占める黒表示領域（非表示

10

20

30

40

50



領域) 312の面積を大きくするほど動画表示性能が向上する。したがって、図141に図示するように非表示領域311を少なくし、非表示領域312の面積を大きくすればよい。

【0632】図87のように、各画素にプログラムする電流が2倍で点灯領域311の面積が表示画面21の1/2であれば、所定の表示輝度を得ることができる。しかし、図141のように点灯領域311が表示画面21の1/2よりも小さい場合は、画面は暗くなる。所定輝度を得るためには、各画素にプログラムする電流を大きくすればよい。たとえば、表示領域(点灯領域)311が表示画面21の面積の1/5であり、同時に選択する画素行が5本(K=5)であれば、1画素行にプログラムする電流(電圧)は所定値の5倍にすればよい。ソース信号線18に流れる電流は5×5画素行=25倍となる。

【0633】いずれにせよ、本発明の実施例ではソース信号線18に流す電流(電圧)を変化させることによりプログラム電流(電圧)を調整することができる。つまり、ソースドライバ14の基準電流(電圧)を調整するだけでソース信号線18に流れる電流を調整できる。2画素行を同時にオンさせるか、5画素行を同時にオンさせるか、または1画素行のみを選択するかは、図2などに図示するゲートドライバ12のシフトレジスタ22に印加するST\*端子へのデータで設定できる。したがって、ソースドライバ14の仕様は、選択する画素数には左右されない。また、画面の明るさもゲート信号線17bのオンオフで調整することができるから、画面21の明るさ調整でソースドライバ14からの出力電流を変化させることはない。したがって、EL素子15のガンマ特性は1つの電流に対して決定すればよい。そのため、ソースドライバ14の構成は極めて容易であり、汎用性の高いものとなる。以上の事項は、他の本発明の実施例にも適用できることは言うまでもない。

【0634】以上の実施例は、1画素行ごとに1本の選択画素行を配置(形成)する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置(形成)してもよい。

【0635】図294はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図294では画素行の選択ゲート信号線17aは3つの画素(16R、16G、16B)を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

【0636】したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコ

ンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

【0637】画素16RのTFT11dはゲート信号線17bRに接続されている。また、画素16GのTFT11dはゲート信号線17bGに接続され、画素16BのTFT11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【0638】この動作を実現するためには、図2の構成において、ゲート信号線17aを走査するシフトレジスタ22と、ゲート信号線17bRを走査するシフトレジスタ22と、ゲート信号線17bGを走査するシフトレジスタ22と、ゲート信号線17bBを走査するシフトレジスタ22の4つを形成(配置)することが適切である。

【0639】図295は画素16の配置を図示している。図295では画素は横ストライプ状に形成している(なお、従来の構成では、一般的に縦ストライプ状である)。横ストライプ状に画素を配置することにより、ゲート信号線17とスイッチング素子11との接続が容易になり、また、画素レイアウトも容易になる。また、高分子材料のEL素子では、インクジェットによる作製も容易になる。

【0640】なお、図294、図295で、画素は横ストライプ状に形成するとしたが、従来と同様に縦ストライプ状であってもよいことは言うまでもない。また、以降説明する、あるいは説明をした逆バイアス電圧印加方式、ブロック駆動方式、Vbb電圧での制御方式、RGBそれぞれの電圧を別個にする構成、TFT11bの突き抜け電圧を利用する方式、図241の方式、ダミー画素行を付加する構成など本明細書で説明した他の実施例などと組み合わせることが適切であることは言うまでもない。

【0641】図296は、図294の画素構成の動作波形である。なお、説明を容易にするため、1画素行(もちろん、RGBでカウントするのであれば、3画素行ということになる)を選択するとして説明をする。ただし、図87、図88、図142などで説明したように複数の画素行を同時に選択する駆動方法も実現できることは言うまでもない。また、図252で説明したように、1H期間の範囲であってもゲート信号線のタイミング制御を行う必要があるが、ここでは説明を容易にするため、ゲート信号線17aによる画素行の選択は1H期間であるとして説明をする。以上の事項は、本明細書で説明した他の駆動方法、パネル構成においても適用され

10

20

30

40

50

る。

【0642】図296において、書き込み画素行が（１）画素行目である時、ゲート信号線17aは画素16ブロック（これを1画素行と考える方が理解は容易になる）が選択している（図294もあわせて参照のこと）。つまり、画素16R、画素16G、画素16Bが選択されている。したがって、画素行（１）の16R、画素行（１）の16Gおよび画素行（１）の16BのスイッチングTFT11b、TFT11cがオン状態である。

【0643】画素行（１）の画素16Rはソース信号線18Rからの画像データをコンデンサ19Rに書き込む。また、画素行（１）の画素16Gはソース信号線18Gからの画像データをコンデンサ19Gに書き込み、画素行（１）の画素16Bはソース信号線18Bからの画像データをコンデンサ19Bに書き込む。

【0644】なお、説明を容易にするため、図296では、各画素にはN倍（ $N=2$ ）の電流がEL素子15に流れるようにプログラムするとし、1フレーム（1フィールド）の $1/N$ の期間にEL素子15に電流が流れるとして説明をする。ただし、本明細書で説明するとおり、他の実施例を実施してもよいことは言うまでもない。また、N値を大きくすることにより、ソース信号線18の寄生容量404の影響を無視できるようになり、画素16に画像データを書き込みやすくなることは言うまでもない。つまり、 $N=2$ に限定するものではない。また、Nは整数に限定するものではなく、2、5などのような値でも実現できることは言うまでもない。また、ゲート信号線17aの選択時間も1Hに限定するものではなく、2H以上でもよい。

【0645】画素行（１）のゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBは、ゲート信号線17aの逆位相となっている。したがって、少なくとも画素行（１）の画素16R、画素16Gおよび画素16BのスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子（15R、15G、15B）には電流が流れていない。つまり、非点灯状態312である。

【0646】次の、1H後には、ゲート信号線17a（１）は非選択となり、ゲート信号線17bにはオン電圧（Vg1）が印加される。また、同時に、ゲート信号線17a（２）が選択され（Vg1電圧）、選択された画素行（２）の画素16R、画素16Gおよび画素16BのTFT11aからソースドライバ14に向かってソース信号線18（それぞれ、18R、18G、18B）にプログラム電流が流れる。このように動作することにより、画素行（１）の画素16R、画素16Gおよび画素16Bには画像データが保持される。

【0647】さらに次の、1H後には、ゲート信号線17a（２）は非選択となり、ゲート信号線17b（２）

にはオン電圧（Vg1）が印加される。また、同時に、ゲート信号線17a（３）が選択され（Vg1電圧）、選択された画素行（３）のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行（２）に画像データが保持される。以上の動作を1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0648】次に、図296のゲート信号線17bの動作を主に説明をする。画素16Rにはゲート信号線17bRが接続されている。画素16Gにはゲート信号線17bGが接続されている。また、画素16Bにはゲート信号線17bBが接続されている。したがって、画素16Rはゲート信号線17bRでEL素子15Rに流れる電流をオンオフ制御することができる。同様に、画素16Gはゲート信号線17bGでEL素子15Gに流れる電流をオンオフ制御することができ、画素16Bはゲート信号線17bBでEL素子15Bに流れる電流をオンオフ制御することができる。

【0649】図296では、ゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBは各画素行において、同一波形にしている。したがって、EL素子15R、15Gおよび15Bは同時にオンオフ（点灯、非点灯）される。なお、図296は4HごとにEL素子15をオンし、またオフさせているがこれに限定するものではない。1Hごとや、それ以上でもよい。また、原理的には1H以下の周期でEL素子15をオンオフさせてもよい。

【0650】ただし、オンオフ周期をあまりにも速くすると動画表示で動画ボケが発生する。したがって、EL素子15がオンし、消灯して次にオンするまでの間隔は0.5msec以上にすることが必要である。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がばやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5μsec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

【0651】以上の関係から、1フレーム（1フィールド）に要する時間と、ゲート信号線17bに印加する信号（Vgh、Vg1）の周期あるいは回数から画面をオンオフさせる黒画面312の挿入数が決定される。黒画面312を1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒312挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。

分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【0652】なお、本発明は、TFT11dをオフし、EL素子15に流れる電流を遮断しても、再び、TFT11dをオンすると、先に流れていた電流と同一の電流をEL素子15に流すことができる。これは、流す電流値が、画素のコンデンサ19にメモリ（アナログメモリ）されているからである。この事項は、本発明の大きな特徴である。つまり、EL素子15に流す電流をオン

オフさせる制御を自由にできるからである。  
【0653】図296では、ゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBは各画素行において、同一波形にしている。また、画素行の選択は1Hごとに選択画素行を順次シフトしている。したがって、EL素子15R、15Gおよび15Bの発光位置は、画面21の上から下へ高速に移動していく。また、このオンオフ制御と黒画面312の挿入割合および黒画面312の挿入個数は、図2などで説明したシフトレジスタ22へのSTデータを制御することにより容易に実現できる。もちろん、ゲート信号線17bに印加するVghデータの制御をパラレル制御してもよいことは言うまでもない。

【0654】また、ゲート信号線17に印加する信号は周期的な信号としたが、これに限定するものではなく、非周期的な信号でもよい。ただし、EL素子15をオンまたはオフする時間の総和が異なると画面の明るさが変化してしまう。また、色バランスのずれが発生する。したがって、1フレーム（1フィールド）の期間において、EL素子15をオンまたはオフする時間の総和を一定値にする必要がある。特殊な場合として、2フレーム（2フィールド）以上の期間でEL素子15をオンまたはオフする時間の総和を一定値にしても良い場合がある。1フレーム（フィールド）が非常に高速である場合と、FSC（フレームシーケンシャルコントロール）駆動の場合である。

【0655】図296では、ゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBは各画素行において、同一波形にしている。また、画素行の選択は1Hごとに選択画素行を順次シフトしている。図297では、ゲート信号線17bRに印加する波形は2H周期で変化させ、ゲート信号線17bGに印加する波形は3H周期で変化させ、ゲート信号線17bBに印加する波形は4H周期で変化させている。他の事項は、図296と同様であるので説明を省略する。

【0656】なお、図297では、ゲート信号線17bRに印加する波形は2H周期で変化させ、ゲート信号線17bGに印加する波形は3H周期で変化させ、ゲート信号線17bBに印加する波形は4H周期で変化させているとしたが、これは作図を容易にするためであって、2H、3Hなどに限定されるものではない。少なくと

も、画素16Rに接続されたゲート信号線16bRと、画素16Gに接続されたゲート信号線16bGと、画素16Bに接続されたゲート信号線16bBのうち1つ以上のゲート信号線17bに印加する信号波形を他のゲート信号線17bとを異ならせたものである。

【0657】図297のように駆動すると、EL素子15R、15Gおよび15Bの発光位置は、画面21の上から下へ高速に移動していく。この際、EL素子15Rのオンオフ（点灯、非点灯）周期と、EL素子15Gのオンオフ（点灯、非点灯）周期と、EL素子15Bのオンオフ（点灯、非点灯）周期とが異なる。EL素子15の点灯周期を異ならせることにより、フリッカの発生が目立ちにくくなる。

【0658】また、このオンオフ制御と黒画面312の挿入割合および黒画面312の挿入個数は、図2などで説明したシフトレジスタ22へのSTデータを制御することにより容易に実現できる。もちろん、ゲート信号線17bに印加する信号（Vgh、Vgl）データの制御をパラレル制御してもよいことは言うまでもない。

【0659】図298では、ゲート信号線17bRに印加するVgl期間を他のゲート信号線17bよりも短くしている。したがって、ゲート信号線17bRに接続されたEL素子15Rの点灯時間は長くなる（画素16RのTFT11dがオンする期間が長くなる）。したがって、表示画面21のRの発光輝度が強くなる。

【0660】以上のように、ゲート信号線17bR、ゲート信号線17bG、ゲート信号線17bBに印加する信号を個別に制御することにより、画面21の色バランス、フリッカの発生を抑制できる。つまり、EL素子15をオンさせる時間、タイミング、周期を制御することにより、画面21の色バランス、フリッカの発生を抑制できる。

【0661】なお、図298では、ゲート信号線17bGに印加する波形は3H周期で変化させ、ゲート信号線17bBに印加する波形は4H周期で変化させているとしたが、これは作図を容易にするためであって、2H、3Hなどに限定されるものではない。少なくとも、画素16Rに接続されたゲート信号線16bRと、画素16Gに接続されたゲート信号線16bGと、画素16Bに接続されたゲート信号線16bBのうち1つ以上のゲート信号線17bに印加する信号波形のうち、TFT11dをオンさせる（もしくはオフさせる）信号の印加時間を他のゲート信号線17bとを異ならせたものである。

【0662】図298のように駆動すると、EL素子15R、15Gおよび15Bの発光位置は、画面21の上から下へ高速に移動していく。この際、EL素子15Rのオン（点灯）時間と、EL素子15Gのオン（点灯）時間と、EL素子15Bのオン（点灯）時間を異ならせることができる。したがって、画面の色バランス調整が可能となり、また、フリッカの発生が目立ちにくく

10

20

30

40

50

る。このような色バランス調整は、ユーザーが画面 21 をみながら、調整できるように構成しておくことが好ましい。この調整は容易である。図 2 などのシフトレジスタ 22 に入力する ST データのオン個数を増加あるいは減少させればよいからである。また、このオンオフ制御と黒画面 312 の挿入割合および黒画面 312 の挿入個数は、図 2 などで説明したシフトレジスタ 22 への ST データを制御することにより容易に実現できる。もちろん、ゲート信号線 17b に印加する信号 ( $V_{gh}$ 、 $V_{g1}$ ) データの制御をパラレル制御してもよいことは言うまでもない。

【0663】なお、図 294 から図 298 は画素構成が図 1 の場合を例示して説明をした。しかし、以上の実施例は、他の画素構成であっても適用できることは言うまでもない。たとえば、図 21、図 43、図 71、図 22、図 54、図 68、図 103 などである。つまり、図 294 から図 298 で説明した技術的思想は他の構成においても適用できる。たとえば、図 360 は画素がカレントミラーの構成 (図 21、図 43 などを参照のこと) の場合の実施例である。また、図 361 は、図 54 など

で図示した電圧プログラムの画素構成の実施例である。

【0664】図 88、図 87、図 140 などでも説明した駆動方法は、同時に複数画素行を選択する駆動方式であった。この駆動方式では以下の点で注意が必要である。結論から言えば、表示に寄与しない画素 (行) (ダミー画素 (行)) を設ける (形成する) ことが好ましいことである。以上の理由などについて以下に説明をする。

【0665】図 246 は、同時に 2 画素行を選択する駆動方式の説明図である。図 246 において、画素 16a、16b が選択されている状態を図示している。画素 16a の TFT11a と画素 16b の TFT11a はそれぞれ、電流  $I_{dd}$  をソース信号線 18 に流す。

【0666】ここで説明を容易にするため、各画素の TFT11a が流す電流はバラツキがないとし、 $2 \times I_{dd} = I_w$  とする。つまり、ソースドライバ回路 14 はソース信号線 18 からの電流  $I_w$  を吸収し、この電流  $I_w$  を 2 等分した電流が各画素のコンデンサ 19 にプログラムされる。たとえば、 $I_{dd} = 15 \text{ nA}$  であれば、 $I_w = 30 \text{ nA}$  である。

【0667】図 247 (a) に図示するように、2 本の書き込み画素行 871 (871a、871b) が選択され、画面 21 の上辺から下辺に順次選択されていく。しかし、図 871 (b) のように、画面の下辺までくると書き込み画素行 871a は存在するが、871b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 18 に印加された電流  $I_w$  は、すべて画素行 871a に書き込まれる。したがって、 $I_w = I_{dd}$  となり、図 247 (a) の画素行 871a に比較して、2 倍の電流が画素にプログラムされてしまう。

【0668】この課題に対して、本発明は、図 247

(b) に図示するように画面 21 の下辺にダミー画素行 2471 を形成 (配置) している。したがって、選択画素行が画面 21 の下辺まで選択された場合は、画面 21 の最終画素行とダミー画素行 2471 が選択される。そのため、図 247 (b) の書き込み画素行には、規定通りの  $I_{dd} = I_w / 2$  の電流が書き込まれる。

【0669】図 248 は図 247 (b) の状態を示している。図 248 で明らかのように、選択画素行が画面 21 の下辺の画素 16b 行まで選択された場合は、画面 21 の最終画素行 2471 が選択される。また、図 249 に図示するように、画素行 2471 を形成 (配置) する。しかし、ダミー画素行 2471 は表示領域 21 外に配置する。つまり、ダミー画素行 2471 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。

【0670】なお、図 248、図 249 のようにダミー画素行 2471 を形成 (配置) する構成であっても、図 179 で説明したように点灯制御線 1791 でゲート信号線 17b などを共通にし、ブロック点灯駆動を実施したりできることは言うまでもない。また、逆バイアス駆動とも組み合わせることができることも言うまでもない (図 250 を参照のこと)。

【0671】図 247 では、画面 21 の下辺にダミー画素 (行) 2471 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、図 251 (a) に図示するように、画面の下辺から上辺に走査する (上下逆転走査) する場合は、図 251 (b) に図示するように画面 21 の上辺にもダミー画素行 2471 を形成すべきである。つまり、画面 21 の上辺を下辺のそれぞれにダミー画素行 2471 を形成 (配置) することにより、画面の上下反転走査にも対応できるようになる。

【0672】以上の実施例は、2 画素行を同時選択する場合であった。本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式でもよい。

【0673】図 255 は 5 画素行を同時に選択する駆動方法の説明図である。図 255 に図示するように、画面の上下辺に 4 画素分のダミー画素行 2471 を形成している。

【0674】図 271 は図 255 の表示パネルの駆動方法の説明図である。ソースドライバ回路 14 からは  $I_w = 5 \times I_{dd}$  の電流が出力 (あるいは吸収) するとして説明する。電流  $I_{dd}$  は各画素に書き込まれる電流 (プログラムされる電流) である。なお、 $I_{dd}$  は、表示画像によって異なるのは言うまでもない。

【0675】5 画素行を同時に選択する駆動方式では、ソースドライバ回路 14 は画素に書き込む電流  $I_{dd}$  の 5 倍の電流と出力する。図 271 (a) では、画面 21 の 1 番上の画素のみが選択されている。しかし、この状

10

20

30

40

50

態では $I_w = 5 \times I_{dd}$ であるから、所定値の5倍の電流が書き込み画素行871に書き込まれてしまう。

【0676】この課題に対して、本発明では、図271(a)に図示するように、4画素行のダミー画素行2471aを同時に選択する。つまり、4本のダミー画素行2471aと1本の表示領域の書き込み画素行871が同時選択される。したがって、 $I_w = 5 \times I_{dd}$ となるから、図271(a)で選択した画素行871には所定の電流 $I_{dd}$ がプログラムされる。

【0677】図271(b)では、表示領域21の2本の書き込み画素行871が選択され、ダミー画素行2471aは1本が選択されず、3本が選択される。したがって、選択された画素行は計5本となる。そのため、 $I_w = 5 \times I_{dd}$ となるから、図271(b)で選択した2本の画素行871には所定の電流 $I_{dd}$ がプログラムされる。

【0678】同様に、図271(c)では、表示領域21の3本の書き込み画素行871が選択され、ダミー画素行2471aは2本が選択されず、2本が選択される。したがって、選択された画素行は計5本となる。そのため、 $I_w = 5 \times I_{dd}$ となるから、図271(c)で選択した2本の画素行871には所定の電流 $I_{dd}$ がプログラムされる。

【0679】以上のように、図271(d)では、表示領域21の4本の書き込み画素行871が選択され、ダミー画素行2471aは3本が選択されず、1本が選択される。また、図271(e)では、表示領域21の5本の書き込み画素行871が選択され、ダミー画素行2471aは選択されない。以上、5本の画素行は順次選択されていく(図271(f)(g)(h))。画面21の下辺に到達すると、ダミー画素行2471bの選択本数が1Hごとに増加する。

【0680】以上のように駆動することにより、同時選択する画素行が増加しても、画面21の上辺あるいは下辺を選択する際、ダミー画素行2471を含めた画素行を一定値とすることができる。そのため、ソースドライバ回路14が出力する電流値は画像データの同時選択画素行倍に固定することができる。したがって、ソースドライバ回路14の構成が容易になり、また、各画素には目標の所定電流(電圧)が書き込まれる。

【0681】以上のように、5画素行を同時に選択する駆動方式では、画面の1辺に $5 - 1 = 4$ 本のダミー画素行を形成すればよい。つまり、同時に選択する(画素行数-1)本以上のダミー画素行を形成あるいは配置すればよい。

【0682】また、以上の実施例は、2画素行を同時選択する実施例と、5画素行を同時選択する実施例であった。本発明はこれに限定するものではなく、3画素行あるいはそれ以上の画素行を同時に選択してもよい。

【0683】また、以上の実施例では、隣接した画素行

を同時選択するとして説明したがこれに限定するものではない。たとえば、1画素行おきに選択してもよいし、ランダムに選択してもよい。

【0684】以上の実施例では、複数の画素行を選択する際、画面21の走査の最初あるいは最後の部分でダミー画素行2471を選択し、ソースドライバ回路14に流れる電流 $I_w$ を一定値とするものである。もちろん、本発明はダミー画素行を形成あるいは配置するものであるであって、ソースドライバ回路14に流れる電流を一定値にすることに限定されるものではない。

【0685】図272は、書き込み画素行871aが選択されていない期間に、ダミー画素行2471aをオンさせる駆動方法である。また、書き込み画素行871aは1画素行としているがこれに限定するものではなく、図271などのように複数画素行であってもよいことは言うまでもない。このような駆動を行う場合として、アレイ基板49に直接にゲートドライバ回路12を形成(ゲートドライバ内蔵構成)する場合が例示される。

【0686】ゲートドライバ内蔵構成では、複雑な回路を形成することが歩留まりあるいは形成面積の観点から困難である。そのため、極力簡略化した回路構成で、ゲートドライバ回路12を形成する。回路構成を簡略化するため、形成されたゲートドライバ回路12はその動作に制約がある場合が発生する。

【0687】たとえば、ゲートドライバ回路12のシフトレジスタ22にデータ(ST)を入れても、2-3クロック(クロックは1Hとする)後でないと、ゲート信号線17aにオン信号(Vg1)が出力しないことが例示される。ただし、ゲート信号線17a(1)にオンデータが出力された後は、以後、1Hのクロックに同期してオンデータ位置は順次シフトされる。

【0688】以上のように、2-3クロック後でないと、ゲート信号線17a(1)が選択されないとなると、2-3クロックの間、いずれの画素行も選択されないことになる。この期間は、ソースドライバ回路14の出力は0(電流の入出力はない)状態とすることが好ましい。しかし、ソースドライバ回路14の出力段は定電流回路で構成されている。そのため、流れる電流を完全に0とすることが困難である。ソース信号線18に電流が流れると(ソース信号線18の電荷をソースドライバ回路14が吸収する)、ソース信号線18の電位を低下させる。ソース信号線18の電位が低下すると、各画素16のコンデンサ19の電位も低下する場合がある。コンデンサ19の電位が低下すると、TFT11aのゲート(G)端子の電位を低下させる方向になるため、TFT11aが電流をより流す方向となる。この状態が顕著に現れるのが、画面が黒表示状態の場合である。各画素のTFT11aが電流を流すことにより、黒浮きが発生するからである。

【0689】この課題に対しては、表示領域21のい

れのゲート信号線 17 が選択されていない場合（状態）、ダミー画素行 2471 を選択し、電流がソース信号線に流れるように駆動する。つまり、ダミー画素行 2471 のスイッチング TFT11 をオンさせ、また、駆動用 TFT11a のインピーダンスを低下させる。したがって、ソースドライバ回路 14 に流れ込む電流は、ダミー画素行 2471 の TFT11a から供給されるように構成しておく。

【0690】また、重要なのは、表示領域 21 のいずれの画素行も選択されない状態では、ソースドライバ回路 14 の出力段回路は、極力、電流オフの状態とすることである。

【0691】図 272 (a1) では、ゲートドライバ内蔵回路 12 のシフトレジスタ 22 にスタート信号が印加されたことを想定している。図 272 (a2) は、図 272 (a1) に比較して 1H 後である。同様に、図 272 (a3) はさらに 1H 後であり、図 272 (a4) はさらに 1H 後である。

【0692】図 272 (a) では、最初の 2H 期間は表示領域 21 のいずれのゲート信号線も選択されず、3H 後の、図 272 (a3) で初めて画素行 (1) が選択され、以降、図 272 (a4) で 1 画素行シフトされ、画素行 (2) が選択されたところを示している。

【0693】図 272 (a1) (a2) では、いずれの画素行も選択されていない。その対策として、ダミー画素行 2471a を選択し、ソース信号線 18 の電位を変化させないように、ダミー画素行 2471a に TFT11a から電流を供給している。

【0694】以上のように、ダミー画素行 2471a から電流を供給することにより黒浮きがなく、良好な画像表示を実現できる。また、画面のホワイトバランスなどの変化も発生しない。

【0695】なお、図 272 (a) では、ソースドライバ回路 14 に近い側のダミー画素行 2471a を選択するとしたがこれに限定するものではない。たとえば、図 272 (b) のように、ソースドライバ 14 から遠い側のダミー画素行 2471b を選択してもよい。また、ダミー画素行 2471a と 2471b の両方を選択してもよい。

【0696】また、図 272 (b) の駆動方式は、図 272 (a) と動作は同様である。図 272 (b1) で、ゲートドライバ内蔵回路 12 のシフトレジスタ 22 にスタート信号が印加され、図 272 (b2) は、図 272 (b1) に比較して 1H 後である。同様に、図 272 (b3) はさらに 1H 後であり、図 272 (b4) はさらに 1H 後である。

【0697】図 272 (b) の図 272 (a) と同様に、最初の 2H 期間は表示領域 21 のいずれのゲート信号線も選択されず、3H 後の、図 272 (b3) で初めて画素行 (1) が選択され、以降、図 272 (b4) で

1 画素行シフトされ、画素行 (2) が選択されたところを示している。図 272 (b) のように、ソースドライバ回路 14 から遠い方のダミー画素行 2471b を選択するほうが、ソース信号線 18 の電位が安定化しやすい。この状態を図 253 に示している。

【0698】なお、図 272 の実施例では、選択する画素行は 1 本であったが、これに限定するものではない。たとえば、図 271 のように複数の画素行を選択する駆動方式にも適用することができることは言うまでもない。なお、複数の画素行を選択する駆動方式において、表示領域 21 の画素行が全く選択されていないときに発生する黒浮きあるいは画質変化問題を解決することを目指すのであれば、図 271 のように複数のダミー画素行 2471 を形成する必要はない。図 272 に図示するように、1 本のダミー画素行 2471 であってもよい。この 1 本のダミー画素行でソース信号線 18 の電位などを安定化することが可能であるからである。

【0699】また、ダミー画素行 2471a と 2471b とは、画面 21 の走査方向（たとえば、図 247 と図 251）によって、選択するダミー画素行 2471 を変化させてもよい。

【0700】図 272 では、1 フレーム（もしくは 1 フィールド）の期間のうち、表示領域 21 のいずれの画素行も選択されていない状態において、ダミー画素行 2471 を選択するというものであった。しかし、実駆動状態において、1 水平走査期間に画素行が選択されていない場合がある。

【0701】図 252 はこの状態を説明するための動作波形図である。本発明の表示装置では、1H（1 水平走査期間）のクロックで画素行が選択され、かつ選択された画素行が順次シフトしていく。しかし、1H の期間においても、所定の期間に画素行が選択されている。

【0702】基本的に選択される画素行のゲート信号線 17b は 1H の全期間の間、オフ電圧 ( $V_{gh}$ ) が印加されている。図 252 では画素行番号 1 の時、画素行 (1) のゲート信号線 17b にオフ電圧が印加される。また、画素行番号 2 の時、画素行 (2) のゲート信号線 17b にオフ電圧が印加される。

【0703】一方、ゲート信号線 17a は 1H よりも短い期間に選択電圧 ( $V_{g1}$ ) が印加されている。したがって、画素行番号 1 の時、a の期間および b の期間は画素行 (1) は非選択である。以上のように非選択の期間を発生させるのは、ゲート信号線 17b が変化するタイミングとゲート信号線 17a が変化するタイミングが一致すると、突き抜け電圧が発生しやすいためである。突き抜け電圧が発生すると、コンデンサ 19 に所望の電圧（電流）が保持されなくなり、EL 素子 15 の発光輝度にバラツキが発生するからである。

【0704】少なくとも、図 252 に示す a の期間は確保することが好ましい。b の期間は場合によっては 0 で

もよい。これは、EL素子15をオンオフ制御するタイミングを考慮して決定すればよい。基本的には、ゲート信号線17bがVg1からVgh（つまり、非選択状態）に変化したタイミングから、少なくとも、1Hの1/64の時間以上1Hの1/8の時間以下経過してから、ゲート信号線17aを選択することが好ましい。さらに、好ましくは、1Hの1/32の時間以上1Hの1/8の時間以下経過してから、ゲート信号線17aを選択することが好ましい。もしくは、ゲート信号線17bがVg1からVgh（つまり、非選択状態）に変化したタイミングから、少なくとも、0.5μsec以上20μsec以下経過してから、ゲート信号線17aを選択することが好ましい。さらに、好ましくは、1μsec以上10μsec以下経過してから、ゲート信号線17aを選択することが好ましい。また、このaの期間またはbの期間に図52などで説明したブリチャージ（ディスチャージ）電圧を印加するように構成するとさらに好ましい。

【0705】ゲート信号線17aが選択されている期間は、図252に図示する切り替え信号CSWがVghとなる。この切り替え信号CSWのVg1レベルで、ソースドライバ14の出力段はオフ状態となるように制御される。また、この切り替え信号CSWのVg1レベルで、図272で説明したダミー画素行2471が選択されるように制御される。以上のように構成あるいは動作させることにより、黒浮きがなく、良好な画像表示を実現できる。また、画面のホワイトバランスなどの変化も発生しないようにすることができる。

【0706】なお、図253において、ダミー画素2471はEL素子15、TFT11dを形成しているように図示したが、基本的にダミー画素2471はソース信号線18に流す電流を供給する（画素構成によっては、ソース信号線18から電流を吸収する）ものである。したがって、EL素子15は必要がない。逆にEL素子15などが形成されていると、EL素子15が点灯して問題となる。

【0707】本発明は、ダミー画素2471は図258に図示するように、EL素子15などを形成していない。突き抜け電圧発生用のコンデンサ19bは付加してもしなくともよい。ただし、表示領域21の画素に突き抜け電圧発生用のコンデンサ19bが形成されている場合は、ダミー画素2471にも形成しておくことが好ましい。ダミー画素2471のTFT11aが流す電流を表示領域21の画素16のTFT11aが流す電流と等しくするためである。

【0708】図258は図1の画素構成の場合である。図21、図43、図71のカレントミラーの画素構成では、図259に図示するように、ダミー画素2471では、駆動用TFT11b、EL素子15を削除する。図54、図67、図103などの電圧プログラムの画素構

成の場合は、図260に図示するように、スイッチング用のTFT11bとコンデンサ19aで構成する。電圧プログラム方式では、画素の駆動用TFTからソース信号線18に電流を供給することがないからである。

【0709】図258、図259などに図示するダミー画素2471は、発光する必要がない。そのため、図256に図示するようにダミー画素2471の画素電極48にはEL膜を形成しない。図256に図示するように画素電極48には絶縁膜2561を形成して、絶縁状態とする。もしくは、図257に図示するように、ダミー画素2471の画素電極48とカソード46の金属膜とを電氣的に短絡状態にする。このように構成することにより、画素電極48の電位が安定する。

【0710】図136と同様に、図141のように1つの表示領域311が画面の上から下方向に移動すると、フレームレートが低いと、表示領域311が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0711】この課題に対しては、図142に図示するように、表示領域311を複数に分割するとよい。図142(b)は、非表示領域312を3つに分割している。この3つを加えた部分がS(N-1)/Nの面積となれば、図141の明るさと同等になる。

【0712】図143はゲート信号線17に印加する電圧波形である。図140と図143の差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（Vg1とVgh）動作する。他の点は図140とほぼ同一あるいは類推できるので説明を省略する。

【0713】なお、図142(b)にも図示するように、非点灯表示領域312の走査方向は画面の上から下方向のみに限定されるものではない。画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面21の所定位置で変化させてもよいことは言うまでもない。

【0714】以上のように、表示領域311を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、5μsecよりも小さい時間でオンオフしても、表示輝度の低下はない。

【0715】本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、クロック周波数はKHZオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域312挿入）を実現するには、画

10

20

30

40

50

像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【0716】図144は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用TFT11aの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた。

【0717】図144において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(2)が選択されている(図145を参照のこと)。つまり、画素行(1)(2)のスイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、少なくとも画素行(1)(2)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。なお、図144では、フリッカの発生を低減するため、表示領域311を5分割している。

【0718】理想的には、2画素(行)のTFT11aが、それぞれ $I_d \times 5$  ( $N=10$ の場合)の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。

【0719】同時に選択する画素行が2画素行( $K=2$ )であるから、2つの駆動TFT11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がTFT11aに流れる。ソース信号線18には、2つのTFT11aのプログラム電流を加えた電流が流れる。

【0720】たとえば、書き込み画素行871aに、本来、書き込む電流 $I_d$ とし、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行871bは後に正規の画像データが書き込まれるので問題がない。画素行871bは、1H期間の間は871aと同一表示である。そのため、書き込み画素行871aと電流を増加させるために選択した画素行871bとを少なくとも非表示状態312とするのである。

【0721】次の、1H後には、ゲート信号線17a

(1)は非選択となり、ゲート信号線17bにはオン電圧( $V_{g1}$ )が印加される。また、同時に、ゲート信号線17a(3)が選択され( $V_{g1}$ 電圧)、選択された画素行(3)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0722】次の、1H後には、ゲート信号線17a

(2)は非選択となり、ゲート信号線17bにはオン電圧( $V_{g1}$ )が印加される。また、同時に、ゲート信号

線17a(4)が選択され( $V_{g1}$ 電圧)、選択された画素行(4)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0723】図40と同様であるが、図149の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、表示領域311の輝度は所定値よりも5倍となる。これを所定の輝度とするためには、図87に図示するように、書き込み画素行871を含み、かつ表示画面1の $1/5$ の範囲を非表示領域312とすればよい。このことは図137などを用いて説明したので説明を省略する。

【0724】表示画面21に占める黒表示領域(非表示領域)312の面積を大きくするほど動画表示性能が向上する。したがって、図141に図示するように非表示領域311を少なくし、非表示領域312の面積を大きくすればよい。

【0725】複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、TFT11aの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

【0726】図146はこの課題を解決するものである。図146の基本概念は、 $1/2H$ (水平走査期間の $1/2$ )は図88で説明したように、複数の画素行を同時に選択し、その後の $1/2H$ (水平走査期間の $1/2$ )は図134で説明したように、1画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、TFT11aの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

【0727】図146において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。

【0728】まず、第1の期間では、図146(a1)に図示するように、5画素行を同時に選択をする。この動作は図88を用いて説明した。ソース信号線に流す電流は所定値の2.5倍とする。したがって、各画素16のTFT11aには5倍の電流がプログラムされる。2.5倍の電流であるから、寄生容量404は極めて短時間に充放電される。したがって、ソース信号線の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍電流を流すようにプログラムされる。この2.5倍電流の印加時間は $1/2H$ (1水平走査期間の $1/2$ )とする。



【0729】当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるから、表示しないようにTFT11はオフ状態とされる。したがって、表示状態は図146(a2)となる。

【0730】次の1/2H期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を図146(b1)に図示している。書き込み画素行871aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。図146(a1)と図146(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【0731】つまり、図146(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のTFT11aでプログラムしているため、目標値に対してTFTのバラツキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【0732】なお、非点灯領域312を画面の上から下方向に走査し、また、書き込み画素行871aを画面の上から下方向に走査することは図87、図88、図134などの実施例と同様であるので説明を省略する。

【0733】図147は図146の駆動方法を実現するための駆動波形である。図146でわかるように、1H(1水平走査期間)は2つのフェーズで構成されている。この2つのフェーズはISEL信号で切り替える。ISEL信号は図148に図示している。

【0734】まず、ISEL信号について説明をしておく。図148において、電流出力回路1222は1222aと1222bの2つから構成されている。それぞれの電流出力回路1222は、8ビットの階調データをDA変換するDA回路1226とオープンアンプ1224などから構成される。この電流出力回路1222の回路動作については以前に説明したので省略する。146の実施例では、電流出力回路1222aは25倍の電流を出力するように構成されている。一方、電流出力回路1222bは5倍の電流を出力するように構成されている。電流出力回路1222aと1222bの出力はISEL信号によりスイッチ回路1223が制御され、ソース信号線18に印加される。

【0735】ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路1222aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する。Hレベルの時、5倍電流を出力する電流出力回路1222bが選択されてソース信号線18からの電流をソースドライバIC14が吸収する。25倍、5倍などの電流の大きさ変更は容易である。抵抗1228の値を変化させるだけで済むからである。また、抵抗122

8をボリウムとすること、あるいは複数の抵抗とアナログスイッチに接続しておき、選択することにより容易に変更することができる。

【0736】図147に示すように書き込み画素行が(1)画素行目である時(図147の画素行番号1の欄を参照)、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングTFT11b、TFT11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(Vgh)が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0737】理想的には、5画素のTFT11aが、それぞれId×2の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各TFT11aは特性(Vt、S値)が一致しているとして説明をする。

【0738】同時に選択する画素行が5画素行(K=5)であるから、5つの駆動TFT11aが動作する。つまり、1画素あたり、25/5=5倍の電流がTFT11aに流れる。ソース信号線18には、5つのTFT11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行871aに、本来、書き込む電流Idとし、ソース信号線18には、Id×25の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行871bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題がない。

【0739】したがって、画素行871bは、1H期間の間は871aと同一表示である。そのため、書き込み画素行871aと電流を増加させるために選択した画素行871bとを少なくとも非表示状態312とするのである。

【0740】次の1/2H(水平走査期間の1/2)では、書き込み画素行871aのみを選択する。つまり、(1)画素行目のみを選択する。図147で明らかなように、ゲート信号線17a(1)のみが、オン電圧(Vgl)が印加され、ゲート信号線17a(2)(3)(4)(5)はオフ(Vgh)が印加されている。したがって、画素行(1)のTFT11aは動作状態(ソース信号線18に電流を供給している状態)であるが、画素行(2)(3)(4)(5)のスイッチングTFT11b、TFT11cがオフ状態である。つまり、非選択

状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路1222bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧(Vgh)が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0741】以上のことから、画素行(1)のTFT11aが、それぞれId×5の電流をソース信号線18に流す。そして、各画素行(1)のコンデンサ19には、5倍の電流がプログラムされる。

【0742】次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)である。最初の1/2Hの期間では、図147に示すように書き込み画素行が(2)画素行目である時、ゲート信号線17aは(2)(3)(4)(5)(6)が選択されている。つまり、画素行(2)(3)(4)(5)(6)のスイッチングTFT11b、TFT11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)

(5)(6)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。一方、画素行(1)のゲート信号線17b(1)はVg1電圧が印加されているから、TFT11dはオン状態であり、画素行(1)のEL素子15は点灯する。

【0743】同時に選択する画素行が5画素行(K=5)であるから、5つの駆動TFT11aが動作する。つまり、1画素あたり、25/5=5倍の電流がTFT11aに流れる。ソース信号線18には、5つのTFT11aのプログラム電流を加えた電流が流れる。

【0744】次の1/2H(水平走査期間の1/2)では、書き込み画素行871aのみを選択する。つまり、(2)画素行目のみを選択する。図147で明らかなように、ゲート信号線17a(2)のみが、オン電圧(Vg1)が印加され、ゲート信号線17a(3)(4)

(5)(6)はオフ(Vgh)が印加されている。したがって、画素行(1)(2)のTFT11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)(4)(5)(6)のスイッチングTFT11b、TFT11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路1222bが選択され、この電流出力回路1222bとソース信号

線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0745】以上のことから、画素行(2)のTFT11aが、それぞれId×5の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

【0746】図146で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方式である。

【0747】しかし、他の方策もある。第1の期間でG画素行(Gは2以上)を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)がN倍となるようにプログラムする方式である。たとえば、図146(a1)において、5画素行を同時に選択し、各画素のTFT11aには2倍の電流を流す。したがって、ソース信号線18には5×2倍=10倍の電流が流れる。次の第2の期間では図146(b1)において、1画素行を選択する。この1画素のTFT11aには10倍の電流を流す。

【0748】この方式であれば、図148のように複数の電流出力回路1222は必要でない。したがって、ソースドライバIC14は各ソース信号線に、1つの電流出力回路1222で構成できる。

【0749】つまり、この方式では、ソース信号線18の電流を流すソースドライバIC14の出力電流は一定値(当然、画像データにより、この一定値は変化する。この場合は、1H期間の間、選択画素数によらず、一定という意味である)である。したがって、ソースドライバIC14の構成は容易になる。

【0750】なお、図146において、複数の画素行を同時に選択する期間を1/2Hとし、1画素行を選択する期間を1/2Hとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を1/4Hとし、1画素行を選択する期間を3/4Hとしてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は1Hとしたがこれに限定するものではない。たとえば、2H期間でも、1.5H期間であっても良い。

【0751】また、図146において、5画素行を同時に選択する期間を $1/2H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0752】また、図146において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【0753】図148では、各ソース信号線18に2つの電流出力回路1222を設けるとした。これは、図146の第1の実施例である、第1の期間に25倍の電流を出力することと、第2の期間に5倍の電流を出力するためである。

【0754】これを1つの電流出力回路1222で実現するには、図149の回路構成を採用するとよい。DA回路1224はリファレンス電圧( $I_{ref}$ )の大きさを最大値としてデジタル-アナログ変換をする。たとえば、 $I_{ref}$ 電圧が5(V)であれば、5(V)を256分割したものが最小値としてアナログ出力される。つまり、アナログ出力の最大値は5(V)-1ビットのアナログ値であり、最小値は0(V)であり、最小分解能は5(V)/256である(入力が8ビット仕様の時)。 $I_{ref}$ 電圧が2.5(V)であれば、2.5(V)を256分割したものが最小値としてアナログ出力される。つまり、アナログ出力の最大値は2.5(V)-1ビットのアナログ値であり、最小値は0(V)であり、最小分解能は2.5(V)/256である(入力が8ビット仕様の時)。

【0755】つまり、 $I_{ref}$ をダイナミックに切り替えることにより1つの電流出力回路1222で出力電流値を変更することができる。図149はその実現回路である。

【0756】図149において、 $V_i$ 電圧を4分割する抵抗 $R_i$ が設けられている。この分圧された電圧がスイッチ回路1223に入力され、1つの電圧が選択されて $I_{ref}$ 電圧となる。この $I_{ref}$ 電圧がDAコンバータ1224に入力されている。したがって、前半の $1/2H$ の期間の $I_{ref}$ 電圧と、後半の $1/2H$ の期間の $I_{ref}$ 電圧とをすべてのソース信号線18に接続された電流出力回路1222を切り替えることにより、出力電流の倍率を変更することができる。

【0757】もちろん、図150に図示するように $I_{ref}$ 電圧を複数のDA回路1224の選択により発生させてもよいことは言うまでもない。

【0758】図148の場合も点灯表示領域311は図151に図示するように1つとしてもよい。また、図1

52に図示するように、複数の点灯表示領域311に分割してもよい。

【0759】図153に図示するように、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングTFT11b、TFT11cがオン状態である。また、 $I_{SEL}$ がLレベルであるから、25倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧( $V_{gh}$ )が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0760】同時に選択する画素行が5画素行( $K=5$ )であるから、5つの駆動TFT11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がTFT11aに流れる。ソース信号線18には、5つのTFT11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行871aに、本来、書き込む電流 $I_d$ とし、ソース信号線18には、 $I_d \times 25$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行871bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題がない。

【0761】したがって、画素行871bは、1H期間の間は871aと同一表示である。そのため、書き込み画素行871aと電流を増加させるために選択した画素行871bとを少なくとも非表示状態312とするのである。

【0762】次の $1/2H$ (水平走査期間の $1/2$ )では、書き込み画素行871aのみを選択する。つまり、(1)画素行目のみを選択する。ゲート信号線17a(1)のみが、オン電圧( $V_{gl}$ )が印加され、ゲート信号線17a(2)(3)(4)(5)はオフ( $V_{gh}$ )が印加されている。したがって、画素行(1)のTFT11aは動作状態(ソース信号線18に電流を供給している状態)であるが、画素行(2)(3)(4)(5)のスイッチングTFT11b、TFT11cがオフ状態である。つまり、非選択状態である。また、 $I_{SEL}$ がHレベルであるから、5倍電流を出力する電流出力回路1222bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧( $V_{gh}$ )が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯

状態312である。

【0763】以上のことから、画素行(1)のTFT11aが、それぞれ $I_d \times 5$ の電流をソース信号線18に流す。そして、各画素行(1)のコンデンサ19には、5倍の電流がプログラムされる。

【0764】次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)である。最初の $1/2H$ の期間では、(2)画素行目である時、ゲート信号線17aは(2)(3)

(4)(5)(6)が選択されている。つまり、画素行(2)(3)(4)(5)(6)のスイッチングTFT11b、TFT11cがオン状態である。また、ISELがLレベルであるから、2.5倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。一方、画素行(1)のゲート信号線17b(1)はVgl電圧が印加されているから、TFT11dはオン状態であり、画素行(1)のEL素子15は点灯する。

【0765】同時に選択する画素行が5画素行( $K=5$ )であるから、5つの駆動TFT11aが動作する。つまり、1画素あたり、 $2.5/5=0.5$ 倍の電流がTFT11aに流れる。ソース信号線18には、5つのTFT11aのプログラム電流を加えた電流が流れる。

【0766】次の $1/2H$ (水平走査期間の $1/2$ )では、書き込み画素行871aのみを選択する。つまり、(2)画素行目のみを選択する。ゲート信号線17a(2)のみが、オン電圧(Vgl)が印加され、ゲート信号線17a(3)(4)(5)(6)はオフ(Vgh)が印加されている。したがって、画素行(1)(2)のTFT11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)(4)(5)(6)のスイッチングTFT11b、TFT11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路1222bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧(Vgh)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0767】以上のことから、画素行(2)のTFT11aが、それぞれ $I_d \times 5$ の電流をソース信号線18に

流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

【0768】以上の説明でも明らかであるが、以上の動作は、図147と同一である。差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(VglとVgh)動作する。

【0769】なお、図152にも図示するように、非点灯表示領域312の走査方向は画面の上から下方向のみに限定されるものではない。画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面21の所定位置で変化させてもよいことは言うまでもない。

【0770】以上のように、表示領域311を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

【0771】図153の実施例も、第1の期間でG画素行( $G$ は2以上)を選択し、各画素行には $N$ 倍の電流を流すようにプログラムし、第1の期間後の第2の期間ではB画素行( $B$ は $G$ よりも小さく、1以上)を選択し、画素には $N$ 倍の電流を流すようにプログラムする方式とした。しかし、図147と同様に、他の方策もある。つまり、第1の期間でG画素行( $G$ は2以上)を選択し、各画素行の総和電流が $N$ 倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行( $B$ は $G$ よりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)が $N$ 倍となるようにプログラムする方式である。

【0772】以上の実施例は順次走査で画像を表示する方法であった。つまり、テレビ信号でいえば、ノンインターレース駆動(プログレッシブ駆動)である。本発明はインターレース駆動にも有効である。図154はインターレース駆動の説明図である。

【0773】なお、インターレース駆動は通常2フィールドで1フレームである。図154も2フィールドで1フレーム(1画面)として説明した。しかし、これはNTSCのテレビ信号の場合であって、携帯電話などの画像表示では必ずしも2フィールド=1フレームの原則を守る必要はない。

【0774】たとえば、4フィールドで1フレームとしてもよい。第1フィールドは $4Y-3$ ( $Y$ は、0以上の整数)画素行を書き込み、第2フィールドは $4Y-2$

(Yは、0以上の整数)画素行を書き込む。第3フィールドは $4Y-1$ (Yは、0以上の整数)画素行を書き込み、第4フィールドは $4Y$ (Yは、0以上の整数)画素行を書き込む方式である。つまり、インターレース駆動とは、複数のフィールドで1フレーム(1画面)を構成する方法である。

【0775】図154(a)は第1フィールドであり、偶数画素行を書き込む。図154(b)は第2フィールドである、奇数画素行を書き込む。図155は図154の駆動方法を実現するための駆動波形である。なお、奇数フィールドと偶数フィールドは便宜上のものである。図154ではまず、奇数画素行から画像を書き込むとして説明する。

【0776】図154において、ゲート信号線17a(1)が選択され(Vg1電圧)、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行871aが画素行(1)番目であるとして説明する。

【0777】また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、いままでの実施例と同様に $N=10$ として説明する。なお、 $N=10$ に限定するものではない。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。

【0778】書き込み画素行が(1)画素行目である時、ゲート信号線17a(1)にはVg1電圧が印加されている。スイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17b(1)には、Vgh電圧が印加されている。したがって、画素行(1)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0779】次の1Hには、書き込み画素行は(3)画素行目である。ゲート信号線17a(3)にはVg1電圧が印加されている。スイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17b(3)には、Vgh電圧が印加されている。したがって、画素行(3)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。ゲート信号線17b(1)にはVg1電圧が印加されている。スイッチングTFT11dはオン状態である。したがって、画素行(1)のスイッチングTFT11dがオン状態であり、対応する画素行のEL素子15が発光する。

【0780】次の1Hには、書き込み画素行は(5)画素行目である。ゲート信号線17a(5)にはVg1電圧が印加されている。スイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17b(5)には、Vgh電圧が印加されている。したがっ

て、画素行(5)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。ゲート信号線17b(3)にはVg1電圧が印加されている。スイッチングTFT11dはオン状態である。したがって、画素行(3)のスイッチングTFT11dがオン状態であり、対応する画素行のEL素子15が発光する。【0781】以上のように、第1フィールドでは、奇数画素行が順次選択されて、画像データがかきこまれていく。

【0782】第2フィールドでは、(2)画素行目から、順次画像データが書き込まれる。ゲート信号線17a(2)にはVg1電圧が印加されている。スイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17b(2)には、Vgh電圧が印加されている。したがって、画素行(2)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0783】次の1Hには、書き込み画素行は(4)画素行目である。ゲート信号線17a(4)にはVg1電圧が印加されている。スイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17b(4)には、Vgh電圧が印加されている。したがって、画素行(4)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。ゲート信号線17b(3)にはVg1電圧が印加されている。スイッチングTFT11dはオン状態である。したがって、画素行(3)のスイッチングTFT11dがオン状態であり、対応する画素行のEL素子15が発光する。

【0784】次の1Hには、書き込み画素行は(6)画素行目である。ゲート信号線17a(6)にはVg1電圧が印加されている。スイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17b(6)には、Vgh電圧が印加されている。したがって、画素行(6)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。ゲート信号線17b(4)にはVg1電圧が印加されている。スイッチングTFT11dはオン状態である。したがって、画素行(4)のスイッチングTFT11dがオン状態であり、対応する画素行のEL素子15が発光する。

【0785】以上のように、第2フィールドでは、偶数画素行が順次選択されて、画像データがかきこまれていく。この第1フィールドと第2フィールドで1枚の画像表示が完成する。また、第2フィールドにおいて、偶数画素行を書く時は、奇数画素行はすべて非点灯表示312としている。第1フィールドでは、奇数画素行を書く時は、偶数画素行はすべて非点灯表示312としてい

10

20

30

40

50

る。

【0786】しかし、図154の駆動方法で、ソース信号線18に10倍電流( $N=10$ )を流し、TFT11aに電流プログラムをすると、奇数画素行あるいは偶数画素行を交互に表示するという処理を実施しても、表示輝度は所定輝度の $10/2=5$ 倍の輝度となる。したがって、表示輝度を1倍とするには、 $N=2$ で駆動する必要がある。しかし、 $N=2$ で駆動するとソース信号線18に書き込む電流値が小さく寄生容量404を十分に充放電できない。したがって、コンデンサ19に書き込み不足が発生し、解像度が低下する。

【0787】これと解決するためには図156に図示するように、奇数画素行あるいは偶数画素行だけでなく、表示画面21の一部を非点灯領域312aとすればよい。図156では図156(a)→図156(b)→図156(c)→図156(a)と走査される。図156(b)でわかるように、書き込み画素行871aの上側(画面の上から下方向に走査しているとき)に所定の範囲で表示領域を形成する。ただし、表示領域は奇数画素行あるいは偶数画素行であるため、1画素行ごとにな

る。非点灯領域312aは連続した非点灯領域にする。【0788】しかし、図156の駆動方法のように、表示領域を表示画面の一部に固めて走査すると、フリッカが発生しやすくなる。ただし、フレームレートが80Hz以上の場合、図156の表示状態(表示領域311を1つにした場合)であってもフリッカの発生はないことに注意を要する。つまり、フレームレートを80Hz以上にすれば、点灯領域311を分割する必要がないのである。

【0789】フレームレートが低い場合は図157に図示するように分割すればよい。このことは以前に説明した。したがって、図157はあえて説明を要さないであろう。ただし、図157は作図を容易にするため、分割した領域として、非点灯領域312bと点灯領域311のペアで作図した。しかし、これに限定されるものではなく、分割した領域に複数の非点灯領域312bと複数の点灯領域311が存在することは言うまでもない。

【0790】駆動方式には多種多様な構成が考えられる。図158において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(G)が選択されている。つまり、画素行(1)(G)のスイッチングTFT11b、TFT11cがオン状態である。また、ゲート信号線17bにはVgh電圧が印加されている。したがって、少なくとも画素行(1)(G)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0791】同時に選択する画素行が2画素行( $K=2$ )であるから、2つの駆動TFT11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がTFT

11aに流れる。ソース信号線18には、2つのTFT11aのプログラム電流を加えた電流が流れる。

【0792】次の、1H後には、ゲート信号線17a(G)は非選択となり、ゲート信号線17bにはオン電圧(Vg1)が印加される。また、同時に、ゲート信号線17a(2)が選択され(Vg1電圧)、選択された画素行(2)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(G)には正規の画像データが保持される。

【0793】次の、1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧(Vg1)が印加される。また、同時に、ゲート信号線17a(3)が選択され(Vg1電圧)、選択された画素行(3)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0794】フリッカが発生しやすい場合は、図160に図示するように非点灯領域312あるいは点灯領域311を複数に分割すればよい。このことは以前に説明した。したがって、図157はあえて説明を要さないであろう。

【0795】図161は擬似インターレース駆動である。擬似インターレース駆動とは、第1F(第1フィールド)は奇数画素行と偶数画素行の2画素(複数画素)行を同時に選択して、選択した画素行が重なることなく画像データを書き込む。次の第2Fは第1画素行を除いて、偶数画素行と奇数画素行の2画素(複数画素)行を同時に選択して、選択した画素行が重なることなく画像データを書き込む方式である。

【0796】図161(a1)(a2)(a3)は第1フィールドであり、図161(b1)(b2)(b3)は第2フィールドである。第1フィールドは図161(a1)→図161(a2)→図161(a3)→と順次書き込み画素行871を2画素行ペアで映像データを書き込む。したがって、2画素行は同一画像表示であり、この表示状態が1フィールドの期間保持される。また、第1フィールドでは奇数画素行の画像データを該当奇数画素行と次の偶数画素行に表示する。つまり、第1行目の画像データは第1画素行と第2画素行に表示し、第3行目の画像データは第3画素行と第4画素行に表示し、第5行目の画像データは第5画素行と第6画素行に表示し、第7行目の画像データは第7画素行と第8画素行に表示する。以下、同様である。

【0797】第2フィールドは図161(b1)→図161(b2)→図161(b3)→と順次書き込み画素行871を2画素行ペアで映像データを書き込む。した

がって、2画素行は同一画像表示であり、この表示状態が1フィールドの期間保持される。また、第2フィールドでは偶数画素行の画像データを該当偶数画素行と次の奇数画素行に表示する。つまり、第2行目の画像データは第2画素行と第3画素行に表示し、第4行目の画像データは第4画素行と第5画素行に表示し、第6行目の画像データは第6画素行と第7画素行に表示し、第8行目の画像データは第8画素行と第9画素行に表示する。以下、同様である。

【0798】なお、図161(a1)の第1画素行は第1フィールドの状態が保持されたままにする。また、第1フィールドでは奇数画像データを書き込み、第2フィールドでは偶数画像データを書き込むとしたが、逆でもよい。つまり、第1フィールドでは偶数画像データを書き込み、第2フィールドでは奇数画像データを書き込むとしてもよい。

【0799】以上のように画像表示をすれば、人間の目が2フィールドの表示画像を残像で加え合わさって見えるとした場合、1フレーム(2フィールド)が終了した時点で、第1画素行は、第1フィールドの表示画像である。また、第2画素行は、第1フィールドの第1画素行の画像データと第2フィールドの第2画素行の画像データとが加えられたものになる。第3画素行は、第1フィールドの第3画素行の画像データと第2フィールドの第2画素行の画像データとが加えられたものになる。また、第4画素行は、第1フィールドの第3画素行の画像データと第2フィールドの第4画素行の画像データとが加えられたものになる。第5画素行は、第1フィールドの第5画素行の画像データと第2フィールドの第4画素行の画像データとが加えられたものになる。以下、同様である。

【0800】以上のように、各画素行は、2つのフィールドの画像が重ね合わさったものとなるため、表示画像の輪郭が滑らかになる。とくに動画表示では若干の動画ボケが発生するが、ほぼ静止画では良好な解像度が得られる(ように認識される)。

【0801】図162は図161の表示方法を実現するための駆動波形である。図面の上位は第1フィールド(1F)の駆動波形であり、図面の下位は第2フィールド(2F)の駆動波形である。

【0802】第1フィールド(1F)において、まず、第1画素行と第2画素行のゲート信号線17a(1)(2)が選択される。ソース信号線18には10倍(N=10)の駆動電流が流れる。したがって、画素行(1)(2)の駆動TF T11aにはそれぞれ5倍の電流でプログラムされる。この時、第1画素行と第2画素行のゲート信号線17b(1)(2)にはVgh電圧が印加され、TF T11dはオフ状態である。したがって、第1画素行と第2画素行のEL素子15は点灯しない。

【0803】2H後(偶数画素行または奇数画素行ずつ画像データを書き込むから、2Hとなる)、第3画素行と第4画素行のゲート信号線17a(3)(4)が選択される。ソース信号線18には10倍(N=10)の駆動電流が流れる。したがって、画素行(3)(4)の駆動TF T11aにはそれぞれ5倍の電流でプログラムされる。この時、第3画素行と第4画素行のゲート信号線17b(3)(4)にはVgh電圧が印加され、TF T11dはオフ状態である。したがって、第3画素行と第4画素行のEL素子15は点灯しない。

【0804】一方、ゲート信号線17b(1)(2)には、Vgl電圧が印加される。したがって、第1画素行と第2画素行のTF T11dはオンし、EL素子15は点灯する。

【0805】さらに、2H後、第5画素行と第6画素行のゲート信号線17a(5)(6)が選択される。ソース信号線18には10倍(N=10)の駆動電流が流れる。したがって、画素行(5)(6)の駆動TF T11aにはそれぞれ5倍の電流でプログラムされる。この時、第5画素行と第6画素行のゲート信号線17b(5)(6)にはVgh電圧が印加され、TF T11dはオフ状態である。したがって、第5画素行と第6画素行のEL素子15は点灯しない。

【0806】一方、ゲート信号線17b(1)(2)(3)(4)には、Vgl電圧が印加される。したがって、第1画素行、第2画素行、第3画素行および第4画素行のTF T11dはオンし、EL素子15は点灯する。以上の動作を画面の最終奇数画素行まで実施し、1画面を表示する。

【0807】第2フィールド(2F)においては、第1画素行は選択せず、第1フィールドの状態を保持させる。つぎに、第2画素行と第3画素行のゲート信号線17a(2)(3)が選択される。ソース信号線18には10倍(N=10)の駆動電流が流れる。したがって、画素行(2)(3)の駆動TF T11aにはそれぞれ5倍の電流でプログラムされる。この時、第2画素行と第3画素行のゲート信号線17b(2)(3)にはVgh電圧が印加され、TF T11dはオフ状態である。したがって、第2画素行と第3画素行のEL素子15は点灯しない。

【0808】2H後、第4画素行と第5画素行のゲート信号線17a(4)(5)が選択される。ソース信号線18には10倍(N=10)の駆動電流が流れる。したがって、画素行(4)(5)の駆動TF T11aにはそれぞれ5倍の電流でプログラムされる。この時、第4画素行と第5画素行のゲート信号線17b(4)(5)にはVgh電圧が印加され、TF T11dはオフ状態である。したがって、第4画素行と第5画素行のEL素子15は点灯しない。

【0809】一方、ゲート信号線17b(2)(3)に

は、 $V_{gl}$  電圧が印加される。したがって、第1画素行、第2画素行と第3画素行のTFT11dはオンし、EL素子15は点灯する。

【0810】さらに、2H後、第6画素行と第7画素行のゲート信号線17a(6)(7)が選択される。ソース信号線18には10倍( $N=10$ )の駆動電流が流れる。したがって、画素行(6)(7)の駆動TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第6画素行と第7画素行のゲート信号線17b(6)(7)には $V_{gh}$  電圧が印加され、TFT11dはオフ状態である。したがって、第6画素行と第7画素行のEL素子15は点灯しない。

【0811】一方、ゲート信号線17b(1)(2)(3)(4)(5)には、 $V_{gl}$  電圧が印加される。したがって、第1画素行、第2画素行、第3画素行、第4画素行および第5画素行のTFT11dはオンし、EL素子15は点灯する。以上の動作を画面の最終偶数画素行まで実施し、1画面を表示する。

【0812】以上の実施例は、2フィールドで1画面を表示するものであった。図163は2フィールド以上で1画面を表示するものである。図163(a)が第1フィールド、図163(b)が第2フィールド、図163(c)が第3フィールドである。

【0813】第1フィールドでは、 $4Y-3$  ( $Y$ は1以上の整数)画素行と $4Y-2$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。第2フィールドでは、 $4Y-1$ 画素行と $4Y$ 画素行とが書き込み画素行871である。先のフィールドを同様に2画素行ずつ画像データを書き込む。第3フィールドでは、 $4Y-2$ 画素行と $4Y-1$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。以上のように3Fで書き込むことにより、各画素データは複数のフィールドの画像データで補間される。

【0814】図163は3フィールドで1画面の実施例であったが、それ以上のフィールドを用いて画像表示を実現してもよい。たとえば、4フィールドの場合は、第1フィールドでは、 $4Y-3$  ( $Y$ は1以上の整数)画素行と $4Y-2$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。第2フィールドでは、 $4Y-1$ 画素行と $4Y$ 画素行とが書き込み画素行871である。第3フィールドでは、 $4Y-2$ 画素行と $4Y-1$ 画素行とが書き込み画素行871である。先と同様に2画素行ずつ画像データを書き込む。第4フィールドでは、 $4Y-3$ 画素行と $4Y$ 画素行とが書き込み画素行871である。先のフィールドを同様に2画素行ずつ画像データを書き込む。以上のように4フィールドで書き込むことにより、各画素データは複数のフィールドの画像データで補間される。

【0815】以上の実施例は、主として図1の画素構成を例示して説明したが、本発明の駆動方式は、図21、

図43、図71、図76などの他の電流プログラム画素構成に対しても有効である。

【0816】図164は図76の画素構成の駆動方法の説明図である。なお、ここでも、説明を容易にするために、ソースドライバIC14からソース信号線18に流す電流(もしくは、ソースドライバIC14がソース信号線18から吸い込む電流、駆動TFT11aがソース信号線18に流し込む電流)は所定値の10倍( $N=10$ )として説明をする。また、TFT11aとTFT11bのカレント倍率は1:1(カレント倍率1)であるとして説明をする。

【0817】したがって、同時に選択する画素行が5画素行( $K=5$ )であれば、5つの駆動TFT11aが動作する。カレント倍率1であるから、TFT11bにもTFT11aと同一の電流が流れる。つまり、1画素あたり、 $10/5=2$ 倍の電流がTFT11aに流れる。画素16のTFT11aにプログラムされる電流は所定値の2倍であるから、ELに流れる電流も2倍である。したがって、図87のように10倍の電流を流す場合に比較してEL素子15の劣化は少なくなる。一方、ソース信号線18に流れる電流は10倍であるから、図87と同様の寄生容量404の充放電が可能である。このことは、図88においても同様である。

【0818】カレント倍率が2であれば、TFT11bがEL素子15に流す電流は1倍となる。したがって、所定輝度を得られる所定電流をEL素子15に流すことができる。つまり、図21、図43、図71、図76の画素構成では、カレント倍率(TFT11aとTFT11bとの電流比率)と、ソース信号線18に流す電流(プログラム電流)とを、設計(調整)することにより、汎用度の高い表示パネルの駆動設計が可能である。

【0819】同時に選択する画素行が5画素行( $K=5$ )であれば、5つのTFT11aのプログラム電流を加えたものとなる。たとえば、書き込み画素行871aに、本来、書き込む電流 $I_d$ とし、 $N=10$ とすれば、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行871aと隣接した画素行871b(871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。したがって、画像を書き込む画素(行)が871aであり、871aに書き込むために補助的に用いるのが画素(行)が871bである)。

【0820】図164において、書き込み画素(行)871aの画像データで $K$ 行( $K=5$ )同時に書き込む。したがって、 $K$ 行の範囲(871a、871b)は同一表示となる。このように同一表示にすると当然のことながら解像度が低下する。これを対策するために、図88(b)に図示するように書き込み画素行871bの部分を非点灯表示312とするのである。したがって、解像度低下は発生しない。



【0821】図164(a)に図示する871aは表示状態になっているが、この画素はプログラム中であるため、画素への電流書き込み状態に変化する。したがって、非表示領域312としてもよい。

【0822】次の1H後は、1画素行シフトした画素行を書き込み画素行871aとして同一動作を行う。非点灯領域312も1画素(行)シフトされる。以上のように、本来の表示データと異なる電流データを書き込まれた871bは表示されない。以上の動作を1行ずつシフトしていくと完全な画像表示を実現できる。また、補助的に用いている画素行871bの効果で、寄生容量404の充放電も十分1H期間内に実現できる。

【0823】図165は、図164の駆動方法を実現するための駆動波形の説明図である。電圧波形はオフ電圧をV<sub>gh</sub>(Hレベル)とし、オン電圧をV<sub>gl</sub>(Lレベル)としている。また、図165の下段に選択している画素行の番号を記載している。また、(1)(2)

(3)・・・(11)とは選択している画素行番号を示している。したがって、画素行数はVGAパネルでは480本であり、XGAパネルでは768である。

【0824】図165において、ゲート信号線17a(1)とゲート信号線17b(1)が選択され(V<sub>gl</sub>電圧)、選択された画素行のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。また、5画素行が同時に選択(K=5)として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍に電流がTFT11aに流れるようにプログラムされる。

【0825】基本的には、ゲート信号線17aと17bとは同一位相であるから、共通化することが可能である。しかし、厳密には、画素行を選択し、非選択とする際、まず、TFT11dがオフし、次にTFT11cがオフするように制御することが好ましい。したがって、ゲート信号線17aとゲート信号線17bとは分離しておくことが好ましい。

【0826】書き込み画素行が(1)画素行目である時、図164で図示したように、ゲート信号線17a、17bにはV<sub>gl</sub>電圧が印加されている。したがって、画素行(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングTFT11c、TFT11dがオン状態である。また、ゲート信号線17bはゲート信号線17bの逆位相となっている。したがって、画素行(2)

(3)(4)(5)のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。

【0827】理想的には、5画素のTFT11aが、それぞれI<sub>d</sub>×2の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各TFT11aは特性(V<sub>t</sub>、S値)が一致しているとして説明をする。

【0828】同時に選択する画素行が5画素行(K=5)であるから、5つの駆動TFT11aが動作する。つまり、1画素あたり、10/5=2倍の電流がTFT11aに流れる。ソース信号線18には、5つのTFT11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行871aに、本来、書き込む電流I<sub>d</sub>とし、ソース信号線18には、I<sub>d</sub>×10の電流が流す。

【0829】書き込み画素行(1)より以降に画像データを書き込む4つの書き込み画素行871bは、ソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題がない。

【0830】したがって、画素行871bは、1H期間の間は871aと同一表示である。そのため、電流を増加させるために選択した画素行871bとを少なくとも非表示状態312とするのである。

【0831】次の、1H後は、ゲート信号線17a(1)、17b(1)は非選択となり(画素行番号6の位置)、画素に書き込むデータが確定する。また、同時に、ゲート信号線17a(6)が選択され(画素番号2の位置)、選択された画素行(6)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0832】次の、1H後は、ゲート信号線17a(2)、17b(2)は非選択となる。また、ゲート信号線17a(7)が選択され(V<sub>gl</sub>電圧)、選択された画素行(7)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0833】図134と同様であるが、図140の駆動方法では、各画素には2倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。

【0834】これを所定の輝度とするためには、図87に図示するように、書き込み画素行871を含み、かつ表示領域21の1/2の範囲を非表示領域312とすればよい。このことは図137などを用いて説明したので説明を省略する。なお、図146の駆動方式も図43、

図71、図164、図76、図54、図67、図68、図103などにも適用できることはいうまでもない。説明は以前におこなっているので省略する。

【0835】表示画面21に占める黒表示領域（非表示領域）312の面積を大きくするほど動画表示性能が向上する。したがって、図141に図示するように非表示領域311を少なくし、非表示領域312の面積を大きくすればよい。

【0836】本発明の実施例ではソース信号線18に流す電流（電圧）を変化させることによりプログラム電流（電圧）を調整することができる。つまり、ソースドライバ14の基準電流（電圧）を調整するだけでソース信号線18に流れる電流を調整できる。2画素行を同時にオンさせるか、5画素行を同時にオンさせるか、または1画素行のみを選択するかは、図2などに図示するゲートドライバ12のシフトレジスタ22に印加するST\*端子へのデータで設定できる。したがって、ソースドライバ14の仕様は、選択する画素数には左右されない。

【0837】また、画面の明るさもゲート信号線17cのオンオフで調整することができるから、画面21の明るさ調整でソースドライバ14からの出力電流を変化させることはない。したがって、EL素子15のガンマ特性は1つの電流に対して決定すればよい。そのため、ソースドライバ14の構成は極めて容易であり、汎用性の高いものとなる。以上の事項は、他の本発明の実施例にも適用できることは言うまでもない。

【0838】図136と同様に、図164のように1つの表示領域311が画面の上から下方向に移動すると、フレームレートが低いと、表示領域311が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。この課題に対しては、図142に図示するように、表示領域311を複数に分割するとよい。

【0839】なお、図142(b)にも図示するように、非点灯表示領域312の走査方向は画面の上から下方向のみに限定されるものではない。画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面21の所定位置で変化させてもよいことは言うまでもない。

【0840】以上のように、表示領域311を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、5 $\mu$ secよりも小さい時間でオンオフしても、表示輝度の低下はない。

【0841】図87、図88は図1、図76、図21、図43、図71のような電流プログラム方式の画素構成

を例示して説明したが、これに限定するものではない。たとえば、図54、図68、図103などの電圧プログラム方式の画素構成でも有効である。複数画素行に同時に電圧を印加する方式とすることにより、画素を予備充電することができるため、SXGA以上の高精細表示パネルにも対応できるようになる。また、電駆動回路、信号処理回路が簡略化され、また、良好な黒表示を実現できるからである。

【0842】電圧プログラムの適用例として図54の画素構成を例示して説明をする。なお、図166、図167はその駆動波形である。図166、図167において5画素行を非点灯領域312にすると説明をするが、これに限定するものではない。単に説明を容易にするためである。たとえば、2画素行を同時選択してもよく、10画素行でもよい。また、1画素行を非点灯領域312としてもよい。このことは図54、図67、図68、図103などに対しても同様である。

【0843】また、図54、図67、図68、図103などで図示した電圧プログラムの画素構成に対して、図144、図146、図151、図152、図154、図163などで説明した駆動方式を適用することができることはいうまでもない。また、N倍の電流がEL素子15に流れるように駆動し、非点灯領域312を形成するという駆動方式も適用することができることは言うまでもない。しかし、図166、図167では説明が複雑になるのであえて説明しない。

【0844】図167に示すように書き込み画素行が（1）画素行目である時、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている（画素行番号5の位置）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングTFT11bがオン状態である。ゲート信号線17bには、オフ電圧（Vgh）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態312である。したがって、画素行（1）には5Hの期間、電圧が予備充電されていることになる。

【0845】予備充電されている画素行は、5H期間の間は他の4画素行と同一表示である。そのため、書き込みを行っている画素行を少なくとも非表示状態312とするのである。特に映像信号では隣接した画素では映像データが近似している。そのため、予備充電を行えば、正規の画像データの書き込みが楽になる。

【0846】したがって、本発明は、複数の画素行に画像データを書き込み、正規の画像データが書き込まれるまでは非表示状態312とする方法である。ただし、1画素行の選択であっても、この画素行の画像データを書き込んでいるときは表示が不安定であるので、非表示とすることも本発明の概念である。また、EL素子15に

流れる電流を所定値よりも大きくし、非点灯領域312を形成することにより所定輝度にする。この表示方法で良好な動画を実現するのも本発明の効果である。

【0847】次の1Hでは、(2)画素行目の画像データを確定させる。図167で明らかなように、ゲート信号線17a(1)とゲート信号線17b(1)にオフ電圧( $V_{gl}$ :TFT11bがnチャンネルのため)が印加される(画素行番号6)。ゲート信号線17a(6)とゲート信号線17b(6)にはオン( $V_{gh}$ :TFT11bがnチャンネルのため)が印加される。したがって、画素行(2)のTFT11aへの画像データは保持される。

【0848】以上のように水平走査期間に同期して、1画素行、書き込み画素行がシフトする。以上の動作を順次、実施することにより1画面を表示することができる。

【0849】図166は図54の画素構成において、ゲート信号線17bのタイミングを1Hシフトした方式である。図166で明らかであるが、確定する画素を表示状態とするものである。

【0850】たとえば、画素行(1)は5Hの期間、画像データが書き込まれている(画素行番号1-5の期間)。つまり、画素行(1)のゲート信号線17aは選択状態である(TFT11bがnチャンネルのため、 $V_{gh}$ が印加されている)。5Hの時には、ゲート信号線17b(1)にはオン電圧( $V_{gl}$ :TFT11dがPチャンネルのため)が印加されているため、EL素子15には電流が流れている。したがって、EL素子15は点灯状態である。この点が図167と異なっている。図167では非点灯領域312としていた。他の点は、図167と同様であるので説明を省略する。

【0851】なお、以上の複数の画素行を同時にオンさせて画像データを書き込む本発明の実施例において、表示領域21の最上辺あるいは最下辺はあるいはその両方の画素行は同時にオンさせる隣接した画素行がない。この課題に対しては、表示領域21の最上辺あるいは最下辺はあるいはその両方に、ダミーの画素行を形成あるいは配置すればよい。

【0852】たとえば、図139で説明した5画素行を同時に選択する駆動方式では、画面の下辺に4本の画素行を形成する。もちろん上下反転駆動を実施する場合は、画面の上辺にも4本のダミー画素行を設ける。ダミー画素行は、EL素子15を形成しない。したがって、発光はしない。もちろんEL素子15を形成しても発光しないようにするか、遮光して表示されないようにする。その他、図1では1画素のTFT11d以外を形成しておいてもよい。ダミー画素行は1画素行以上形成する。

【0853】また、隣接した画素行を同時にオンさせるとしたが、これに限定するものではない。たとえば、複

数の画素行をオンさせるタイミングが異なっても良い。また、1行目を3行目の2画素行というように離れていてもその効果は発揮される。極端には、2画素行を選択する場合、1画素行を固定して(たとえば、画面の一番下の画素行あるいは、ダミー画素行)オンさせ、他の1画素行を走査して順次オンさせてもよい。

【0854】以上の実施例は、基本的には、EL素子15に電流を流す駆動用TFTは1画素に1つであり、また、1フィールド(1フレーム)で目標の輝度を表示するものであった。しかし、本発明はこれに限定されない。以下、その実施例について説明をする。

【0855】図309は、図1の電流プログラムの画素構成を基本としている。図1と図309の差異は、図309が駆動用TFTとしてTFT11a1とTFT11a2の2つを1つの画素内に形成(作製)されている点である。また、TFT11a1とEL素子15との電流経路をオンオフ(切断、接続)するスイッチングTFT11f1が形成(配置)されている。さらに、TFT11a2とEL素子15との電流経路をオンオフ(切断、接続)するスイッチングTFT11f2が形成(配置)されている。このTFT11f1のゲート(G)端子にはゲート信号線17f1が接続されており、このゲート信号線17f1に $V_{gh}$ 電圧を印加することによりTFT11f1がオンする( $V_{gl}$ 電圧を印加することによりTFT11f1がオフする)。同様に、このTFT11f2のゲート(G)端子にはゲート信号線17f2が接続されており、このゲート信号線17f2に $V_{gh}$ 電圧を印加することによりTFT11f2がオンする( $V_{gl}$ 電圧を印加することによりTFT11f2がオフする)。もちろん、各ゲート信号線17は画素行で共通である。他の、動作などは、図1で説明した動作と同一あるいは類似であり、また、構成も同一あるいは類似であるため説明を省略する。

【0856】以下、図310、図311は図309の画素構成の動作の説明図である。図310、図311において、スイッチングTFT11はスイッチの記号で図示している。

【0857】図309の構成では2フレーム(2フィールド)で、EL素子15に流れる電流を所定値とする。ここでは、説明を容易にするため、2フレームの期間でEL素子15に流れる電流を所定値とするとして説明をする。また、プログラムする電流は $I_w = 10 (\mu A)$ とし(なお、これは、仮の設定である。現実には1.2( $\mu A$ )など画像に応じた電流がプログラムされる)、プログラムされた電流 $I_w$ に応じた電流がEL素子15に流れるものとする。

【0858】基本的には、第1フレームで、ソースドライバ14にプログラム電流 $I_w = 10 (\mu A)$ を吸い込む。この電流 $I_w$ は、画素に2つの駆動TFTの両方から供給する。第1フレームでは、第1番目の駆動TFT

10

20

30

40

50

11aを選択し、この電流をEL素子15に流す。EL素子15は、この第1の駆動TFT11aの電流に応じて発光する。第2フレームでも第1フレームと同様に、ソースドライバ14にプログラム電流 $I_w = 10 (\mu A)$ を吸い込む。この電流 $I_w$ は、画素に2つの駆動TFTの両方から供給する。

【0859】第2フレームでは、第2番目の駆動TFT11aを選択し、この電流をEL素子15に流す。EL素子15は、この第2の駆動TFT11aの電流に応じて発光する。したがって、2フレーム期間を平均すれば、EL素子15は第1の駆動TFT11aと第2の駆動TFT11aが流す平均電流に応じた輝度で発光することになる。プログラム電流 $I_w = 10 (\mu A)$ であれば、 $10/2 = 5 (\mu A)$ の輝度で発光する。したがって、2つの駆動TFT11の特性がずれていても、同一プログラム電流 $I_w$ を流して、2つの駆動TFTを電流プログラムする。かつ、この2つの駆動TFTを2フレーム期間で1回ずつEL素子15に電流を流すのであるから、2フレーム期間では正確にプログラムされた電流をEL素子に流すことができる。

【0860】なお、以上の説明では、2フレームで画素の駆動TFT特性バラツキによらず、目標の輝度を得るとして説明をした。しかし、動画などの映像を表示する場合はこの必要はない。単に、機械的に2つの駆動TFT11aを交互にEL素子15に流すだけでよい。正確には2フレーム期間でEL素子15に流した電流の和がプログラム電流と一致するというのが本実施例である。しかし、動画ではたえず、画像が変化している。したがって、動画では表示状態がずれても視覚的に認識されないからである。なお、静止画では、画像の動きがないので、画像表示にみだれができることはない。以下、さらに詳細に説明をする。

【0861】図310は該当画素が選択され、電流プログラムが行われている状態である。ゲート信号線17aにオン電圧( $V_{gl}$ )が印加され、TFT11b、TFT11cがオンする。TFT11aからソースドライバ(図示せず)14に向かってプログラム電流 $I_w$ が流れる。この時、TFT11dはオフ状態である(ゲート信号線17bにはオフ電圧( $V_{gh}$ )が印加されている)。ゲート信号線17f1、ゲート信号線17f2にもオン電圧( $V_{gl}$ )が印加され、TFT11f1、TFT11f2はオン状態である。

【0862】プログラム電流 $I_w$ は駆動用TFT11a1とTFT11a2から供給される。TFT11a1が供給する電流を $I_{a1}$ 、TFT11a2が供給する電流を $I_{a2}$ とすると、プログラム電流 $I_w = I_{a1} + I_{a2}$ である。

【0863】本来、TFT11a1とTFT11a2は隣接して形成されているため、ほとんど特性ずれがないはずである。しかし、低温ポリシリコン技術で形成した

場合などは、 $V_t$ 電圧などが異なる。したがって、駆動TFT11a1、TFT11a2のゲート(G)端子を共通にして、このゲート(G)端子に同一電圧を印加しても駆動TFT11a1とTFT11a2が流す電流が異なる。ここでは説明を容易にするため、TFT11a1とTFT11a2とは、3:7の差があるとして説明をする。つまり、プログラム電流 $I_w = 10 (\mu A)$ とすると、TFT11a1は3( $\mu A$ )の電流を供給し、TFT11a2は7( $\mu A$ )の電流を供給するとする。つまり、プログラム電流 $I_w = I_{a1} + I_{a2} = 3 (\mu A) + 7 (\mu A) = 10 (\mu A)$ である。

【0864】画素が非選択状態になると、図311(a)の状態となる。ゲート信号線17aにオフ電圧( $V_{gh}$ )が印加され、TFT11b、TFT11cがオフする。同時に、ゲート信号線17bにはオン電圧( $V_{gh}$ )が印加され、TFT11dがオンする。ゲート信号線17f1にはオン電圧( $V_{gl}$ )が印加されTFT11f1がオンする。また、ゲート信号線17f2には、オフ電圧( $V_{gh}$ )が印加され、TFT11f2はオフ状態である。

【0865】したがって、駆動TFT11a1からの電流 $I_{dd1}$ がEL素子15に流れる。この電流は、TFT11a1とTFT11a2の特性が同一であるならば、 $I_{dd1} = I_w/2 = 5 (\mu A)$ である。しかし、現実にはTFT11a1とTFT11a2の特性はずれている。ここでは説明を容易にするため、TFT11a1の $I_{dd1} = 3 (\mu A)$ として説明をする。したがって、第1フレームではEL素子15は3( $\mu A$ )の電流で発光する。

【0866】第1フレームの次の第2フレームでは、再度、図310で説明した動作が行われる。つまり、該当画素が選択され、電流プログラムが行われている状態である。第1フレームと同様に、ゲート信号線17aにオン電圧( $V_{gl}$ )が印加され、TFT11b、TFT11cがオンする。TFT11aからソースドライバ(図示せず)14に向かってプログラム電流 $I_w = 10 (\mu A)$ が流れる。ゲート信号線17f1、ゲート信号線17f2にもオン電圧( $V_{gl}$ )が印加され、TFT11f1、TFT11f2はオン状態である。また、プログラム電流 $I_w$ についても第1フレームと同様に駆動用TFT11a1とTFT11a2から供給される。

【0867】画素が非選択状態になると、第2フレームでは図311(b)の状態となる。ゲート信号線17aにオフ電圧( $V_{gh}$ )が印加され、TFT11b、TFT11cがオフする。同時に、ゲート信号線17bにはオン電圧( $V_{gh}$ )が印加され、TFT11dがオンする。ゲート信号線17f1にはオフ電圧( $V_{gh}$ )が印加されTFT11f1がオフする。また、ゲート信号線17f2には、オン電圧( $V_{gl}$ )が印加され、TFT11f2はオンする。

【0868】したがって、今度は、駆動TFT11a2からの電流I<sub>dd2</sub>がEL素子15に流れる。この電流は、TFT11a1とTFT11a2の特性が同一であるならば、 $I_{dd1} = I_w / 2 = 5 (\mu A)$ であるという点は第1フレームの説明で説明した。しかし、現実にはTFT11a1とTFT11a2の特性はずれている。ここでは説明を容易にするため、TFT11a2の $I_{dd2} = 7 (\mu A)$ として説明をする。したがって、第2フレームではEL素子15は7 ( $\mu A$ )の電流で発光する。

【0869】以上の状態を表示状態で図示すれば図312の状態となる。図312(a)が第1フレームであり、図312(b)が第2フレームの状態である。つまり、第1フレームでは書き込み画素行871が選択され、ソース信号線18には10 ( $\mu A$ )の電流が流れる。そして、画素16には電流プログラムされ、TFT11a1によりEL素子15に3 ( $\mu A$ )の電流が流される。

【0870】図312(b)に図示するように、第2フレームでは書き込み画素行871が選択され、ソース信号線18には10 ( $\mu A$ )の電流が流れる。そして、画素16には電流プログラムされ、TFT11a2によりEL素子15に7 ( $\mu A$ )の電流が流される。したがって、2フレームを平均すれば、 $(3 (\mu A) + 7 (\mu A)) / 2 = 5 (\mu A)$ となり、プログラム電流 $I_w = 10 (\mu A)$ の1/2の電流がEL素子15に流れる。

【0871】以上の駆動方法によれば、画素に形成された2つの駆動用TFT11aの特性のバラツキが発生していてもEL素子15に流れる平均電流にはバラツキは発生しない。つまり、正確にプログラム電流 $I_w$ に比例（あるいは同一）した電流がEL素子15に流れる。したがって、均一画像表示を実現できる。

【0872】なお、以上の説明では、1フレームごとにEL素子15に電流を供給する駆動用TFT11a1とTFT11a2を切り替え、かつ、2フレーム期間は、同一電流で画素に電流プログラムするとして説明をして、しかし、動画などの映像を表示する場合はこの必要はない。ソース信号線18に印加するプログラム電流は画素に応じてフレームごとに変化させ、2つの駆動TFT11a1とTFT11a2とを切り替えて交互にEL素子15に流すだけでよい。動画ではたえず、画像が変化している。したがって、動画では表示状態がずれても視覚的に認識されないからである。なお、静止画では、画像の動きがないので、ソース信号線18に流れる電流はフレームごとに変化することはない。つまり、少なくとも2フレームでは一定である。

【0873】なお、以上の場合も、ソース信号線18には、実際にELに流す電流の2倍（もちろん、2フレームを平均した電流の2倍である）を流している。したがって、ソース信号線18に寄生容量404が存在しても

書き込み不足は軽減される。また、図309などの実施例は、ソース信号線18に流す電流の1/2の電流をEL素子15に流すという技術的思想である。この技術的思想は、図87、図88などで説明した、N倍の電流をソース信号線18に流し、1/Nの電流をEL素子15に流す方法と同一である。

【0874】なお、1画素に形成される駆動用TFTは図309のように2個に限定されるものではない。3個以上でもよい。ただし、これらのTFTを制御するためには各TFT11aの電流をオンオフ（切断、接続）するスイッチングTFTをゲート信号線17が必要となる。もちろん、前記ゲート信号線17は1画素行で共通である。以上の事項は以下の実施例あるいは他の実施例においても適用されることは言うまでもない。

【0875】以上の実施例は、図1の画素構成の場合であった。図21、図43、図71、図22の画素構成においても、先に説明をした技術的思想は適用される。図313はその実施例である。

【0876】動作は図308と同様である。第1フレームで、ソースドライバ14にプログラム電流 $I_w = 10 (\mu A)$ を吸い込む。この電流 $I_w$ は、駆動TFT11aから供給する。第1フレームでは、第1番目の駆動TFT11b1を選択し、この電流をEL素子15に流す。EL素子15は、この第1の駆動TFT11b1の電流に応じて発光する。

【0877】第2フレームでも第1フレームと同様に、ソースドライバ14にプログラム電流 $I_w = 10 (\mu A)$ を吸い込む。第2フレームでは、第2番目の駆動TFT11b2を選択し、この電流をEL素子15に流す。EL素子15は、この第2の駆動TFT11b2の電流に応じて発光する。したがって、2フレーム期間を平均すれば、EL素子15は第1の駆動TFT11b1と第2の駆動TFT11b2が流す平均電流に応じた輝度で発光することになる。プログラム電流 $I_w = 10 (\mu A)$ であれば、 $10 / 2 = 5 (\mu A)$ の輝度で発光する。したがって、2つの駆動TFT11b1、TFT11b2の特性がずれていても、同一プログラム電流 $I_w$ を流して、カレントミラーの関係を保ってTFTを電流プログラムする。かつ、この2つのTFT11bを2フレーム期間で1回ずつEL素子15に電流を流すのであるから、2フレーム期間では正確にプログラムされた電流をEL素子に流すことができる。

【0878】図314は図313において、該当画素が選択され、電流プログラムが行われている状態である。ゲート信号線17aにオン電圧( $V_{g1}$ )が印加され、TFT11c、TFT11dがオンする。TFT11aからソースドライバ（図示せず）14に向かってプログラム電流 $I_w$ が流れる。ゲート信号線17f1、ゲート信号線17f2にもオフ電圧( $V_{gh}$ )が印加され、TFT11f1、TFT11f2はオフ状態である（な

お、カレントミラーの場合は、ゲート信号線17f1、ゲート信号線17f2にもオン電圧(Vg1)を印加し、TFT11f1、TFT11f2をオン状態としてもよい)。プログラム電流Iwは駆動用TFT11aから供給される。

【0879】本来、TFT11b1とTFT11b2は隣接して形成されているため、ほとんど特性ずれがないはずである。しかし、低温ポリシリコン技術で形成した場合などは、Vt電圧などが異なる。したがって、駆動TFT11b1、TFT11b2のゲート(G)端子を共通にして、このゲート(G)端子に同一電圧を印加しても駆動TFT11b1とTFT11b2がTFT11aと構成するカレント倍率が異なり、EL素子15に流す電流が異なる。ここでは説明を容易にするため、TFT11b1とTFT11b2とは、3:7の差があり、TFT11aとTFT11bとのカレント倍率を2:1として説明をする。つまり、プログラム電流Iw=10(μA)とすると、TFT11b1は3(μA)の電流を供給し、TFT11b2は7(μA)の電流を供給するとする。つまり、プログラム電流Iw=Ib1+Ib2=3(μA)+7(μA)=10(μA)である。

【0880】画素が非選択状態になると、図315(a)の状態(第1フレーム)となる。ゲート信号線17aにオフ電圧(Vgh)が印加され、TFT11c、TFT11dがオフする。同時に、ゲート信号線17f1にはオン電圧(Vg1)が印加されTFT11f1がオンする。また、ゲート信号線17f2には、オフ電圧(Vgh)が印加され、TFT11f2はオフ状態である。

【0881】したがって、駆動TFT11b1からの電流Idd1がEL素子15に流れる。この電流は、TFT11b1とTFT11b2の特性が同一であるならば、 $I_{dd1} = I_w / 2 = 5(\mu A)$ である。しかし、現実にはTFT11b1とTFT11b2の特性はずれている。ここでは説明を容易にするため、TFT11b1のIdd1=3(μA)として説明をする。したがって、第1フレームではEL素子15は3(μA)の電流で発光する。

【0882】第1フレームの次の第2フレームでは、再度、図314で説明した動作が行われる。つまり、該当画素が選択され、電流プログラムが行われている状態である。第1フレームと同様に、ゲート信号線17aにオン電圧(Vg1)が印加され、TFT11c、TFT11dがオンする。TFT11aからソースドライバ(図示せず)14に向かってプログラム電流Iw=10(μA)が流れる。

【0883】画素が非選択状態になると、第2フレームでは図315(b)の状態となる。ゲート信号線17aにオフ電圧(Vgh)が印加され、TFT11c、TFT11dがオフする。ゲート信号線17f1にはオフ電

圧(Vgh)が印加されTFT11f1がオフする。また、ゲート信号線17f2には、オン電圧(Vg1)が印加され、TFT11f2はオンする。

【0884】したがって、今度は、駆動TFT11b2からの電流Idd2がEL素子15に流れる。この電流は、TFT11b1とTFT11b2の特性が同一であるならば、 $I_{dd1} = I_w / 2 = 5(\mu A)$ であるという点は第1フレームの説明で説明した。しかし、現実にはTFT11b1とTFT11b2の特性はずれている。ここでは説明を容易にするため、TFT11b2のIdd2=7(μA)として説明をする。したがって、第2フレームではEL素子15は7(μA)の電流で発光する。

【0885】以上の状態を表示状態で図示すれば、図312の状態となる。図312(a)が第1フレームであり、図312(b)が第2フレームの状態である。つまり、第1フレームでは書き込み画素行871が選択され、ソース信号線18には10(μA)の電流が流れる。そして、画素16には電流プログラムされ、TFT11a1によりEL素子15に3(μA)の電流が流される。

【0886】図312(b)に図示するように、第2フレームでは書き込み画素行871が選択され、ソース信号線18には10(μA)の電流が流れる。そして、画素16には電流プログラムされ、TFT11a2によりEL素子15に7(μA)の電流が流される。したがって、2フレームを平均すれば、 $(3(\mu A) + 7(\mu A)) / 2 = 5(\mu A)$ となり、プログラム電流Iw=10(μA)の1/2の電流がEL素子15に流れる。

【0887】以上の駆動方法によれば、画素に形成された2つの駆動用TFT11aの特性のバラツキが発生していてもEL素子15に流れる平均電流にはバラツキは発生しない。つまり、正確にプログラム電流Iwに比例(あるいは同一)した電流がEL素子15に流れる。したがって、均一画像表示を実現できる。

【0888】なお、図313では、プログラム電流Iwを供給するTFTをTFT11aとし、1画素1個とし、EL素子15に電流を流すTFTをTFT11b1、TFT11b2の2個としている。また、TFT11b1とTFT11b2とをフレームごとに交互に切り替えてEL素子15に流す。しかし、本発明はこれに限定するものではない。たとえば、プログラム電流Iwを供給するTFTをTFT11a1とTFT11a2の1画素2個とし、EL素子15に電流を流すTFTをTFT11bの1個としてもよい。カレントミラーの関係にあるからである。

【0889】この場合も動作は図308と類似である。第1フレームで、ソースドライバ14にプログラム電流Iw=10(μA)を吸い込む。この電流Iwは、2つのTFT11a1、TFT11a2とから供給する。第

1フレームでは、第1番目のTFT11a1を選択し、このTFT11a1とTFT11bとでカレントミラーの関係を保ち、TFT11bの電流をEL素子15に流す。EL素子15は、このTFT11bの電流に応じて発光する。

【0890】第2フレームで、ソースドライバ14にプログラム電流 $I_w = 10 (\mu A)$ を吸い込む。この電流 $I_w$ は、2つのTFT11a1、TFT11a2とから供給する。第2フレームでは、第2番目のTFT11a2を選択し、このTFT11a2とTFT11bとでカレントミラーの関係を保ち、TFT11bの電流をEL素子15に流す。EL素子15は、このTFT11bの電流に応じて発光する。

【0891】以上の動作でEL素子15には2フレームを平均すると(2フレームトータルでは)、バラツキのない電流(正確にプログラム電流 $I_w$ に対応した電流)をながすことができる。

【0892】以上の実施例は、画素構成が電流プログラムの場合であるが、図316に図示するように電圧プログラムの画素構成でも、複数の駆動TFTの特性バラツキを吸収し面内均一表示を実現できることは言うまでもない。EL素子15に電流を流す駆動用TFT11a1と電流をオンオフするスイッチングTFT11f1が形成されている。また、EL素子15に電流を流す駆動用TFT11a2と電流をオンオフするスイッチングTFT11f2が形成されている。

【0893】動作は図308などを電流でプログラムすることと電圧でプログラムすることの差異を除けばほぼ同様である。図317に図示するように第1フレームで、ソースドライバ14からプログラム電圧が出力され、コンデンサ19に電圧がプログラムされる。第1フレームでは、図318(a)に図示するように第1番目の駆動TFT11b1を選択し、この電流をEL素子15に流す。EL素子15は、この第1の駆動TFT11b1の電流に応じて発光する。

【0894】第2フレームでも第1フレームと同様に、ソースドライバ14からプログラム電圧が出力され、コンデンサ19に電圧が保持される。第2フレームでは、第2番目の駆動TFT11b2を選択し、この電流をEL素子15に流す。EL素子15は、この第2の駆動TFT11b2の電流に応じて発光する。したがって、EL素子15は2つの駆動TFT11aの出力する電流を平均した明るさで点灯する。

【0895】図68で図示した電圧プログラムの画素構成でも同様である(図319を参照のこと)。EL素子15に電流を流す駆動用TFT11a1と電流をオンオフするスイッチングTFT11f1が形成されている。また、EL素子15に電流を流す駆動用TFT11a2と電流をオンオフするスイッチングTFT11f2が形成されている。動作も図316と同様であるので説明を

省略する。図320に図示するように、図309に逆バイアス電圧印加用のTFT11gを付加してもよいことは言うまでもない。

【0896】図1、図21、図43、図71、図40、図69、図70、図71などの電流プログラム方式で共通の事項であるが、電流プログラム方式で黒表示が困難という問題点がある(もちろん図87、88などの本発明を実施すれば大幅に改善できる。しかし、さらに、以下の実施例と組み合わせることは有効である。もちろん、図87、88の実施例と組合さず、以下の実施例を単独で実施しても良いことは言うまでもない)。たとえば、EL素子15に流す白ピーク電流が $2 \mu A$ であっても、64階調表示では1階調目は $2 \mu A / 64 \div 30 nA$ である。この微小な電流でソース信号線18などの寄生容量(浮遊容量)404を1H期間に充放電することはなかなか困難である。なお、画素16はマトリクス状に形成または配置されているが、図面では説明を容易にするために、1画素のみを図示している。

【0897】この課題に対応するため、本発明ではソース信号線18に黒レベルの電圧(電流)を書き込むための電圧源401を形成または配置している。具体的には電圧源401とはDCDCコンバータで所定電圧を発生させ、この電圧をアナログスイッチなどから構成される電源切り替え手段403で印加できるように構成している。

【0898】具体的なソース信号線18に印加する信号波形を図57に示す。電流プログラムを行う1H期間の最初の $t_2$ の期間に駆動用TFT11b(図1などではTFT11a)をオフまたはほぼ黒表示にする電圧( $V_b$ )をソース信号線18に印加する。この電圧は電圧源401で発生し、切り替え手段403によりソース信号線18に印加する。

【0899】プログラム期間ではTFT11c、11dがオン状態であるから、ソース信号線18に印加された電圧 $V_b$ はコンデンサ19の端子電圧、つまり、TFT11bのゲート(G)端子電圧となる。したがって、1H期間の最初に画素は黒表示(非点灯状態)となる。

【0900】本来、表示する画像が黒表示では、そのまま、コンデンサ19の端子電圧が保持される。実際に表示される画像が白表示では $V_b$ 電圧印加後に白表示の電圧 $V_w$ (なお、電流プログラムの場合は $I_w$ と表現すべきである)が印加されて、この電圧(電流)がコンデンサ19に保持されて1H期間が終了する。なお、ここでは説明を容易にするため、実際に表示される画像が白表示であるから白表示の電圧 $V_w$ (電流 $I_w$ )を印加するとした。しかし、当然のことながら、自然画の場合は、コンデンサ19に保持される電圧は $V_b$ から $V_w$ 間の電圧(電流)である。

【0901】図57に図示するようにソース信号線18に信号を印加し、また、ゲート信号線17a、17bを

10

20

30

40

50

駆動することにより、良好な黒表示を実現でき、また、図31などの画像表示を実施できる。

【0902】図1の画素構成でも図57の信号波形を印加することにより良好な黒表示を実現できる。電流プログラムを行う1H期間の最初のt2の期間に駆動用TF T11aをオフまたはほぼ黒表示にする電圧(Vb)をソース信号線18に印加する。この電圧は電圧源401で発生し、切り替え手段403によりソース信号線18に印加する。

【0903】プログラム期間ではTF T11b、11cがオン状態であるから、ソース信号線18に印加された電圧Vbはコンデンサ19の端子電圧、つまり、TF T11aのゲート(G)端子電圧となる。したがって、1H期間の最初に画素は黒表示(非点灯状態)となる。

【0904】先に説明したように表示する画像が黒表示では、そのまま、コンデンサ19の端子電圧が保持される。実際に表示される画像が白表示ではVb電圧印加後に白表示の電圧Vw(なお、電流プログラムの場合はIwと表現すべきである)が印加されて、この電圧(電流)がコンデンサ19に保持されて1H期間が終了する。

【0905】図40などで図示した電圧源401(ブリチャージ回路)は低温ポリシリコン技術などで、基板49上に直接形成してもよいことは言うまでもない。なお、EL素子15はR、G、Bで素子構成、材料が異なるので光の発生が生じる電圧(電流)が異なる(立ち上がり電圧(電流))場合が多い。この特性に対応するため、R、G、Bでブリチャージ電圧を個別に設定できるように構成することが好ましい。少なくとも3原色のうち1色は変化できるようにすることが好ましい。

【0906】なお、Vbを印加するブリチャージ時間t2は、1μ秒以上にする必要がある。また、Vbを印加するブリチャージ時間t2は1Hの1%以上10%以下にすることが好ましい。さらに好ましくは1Hの2%以上8%以下にすることが好ましい。

【0907】また、表示画像21の内容(明るさ、精細度など)で、ブリチャージする電圧を変化できるように構成しておくことが好ましい。たとえば、ユーザーが調整スイッチを押すことにより、あるいは調整ボリウムを回すことにより、この変化を検出しブリチャージ電圧(電流)の値を変更する。表示する画像の内容、データにより自動的に変化させるように構成してもよい。たとえば、ホトセンサで外部の外光の強さを検出し、検出された値で、ブリチャージ(ディスチャージ)電圧(電流)を調整する。他に、画像の種類(パソコン画像、屋の画面、星空など)に応じて、ブリチャージ(ディスチャージ)電圧(電流)を調整する。調整は画像の平均明るさ、最大輝度、最小輝度、動画、静止画、輝度分布を考慮して決定する。

【0908】図40などではブリチャージ回路などを簡

易に説明した。さらに、図122などを用いてさらに詳しく説明する。なお、ディスチャージとブリチャージは単に電位の印加方向であるので、以降は、ディスチャージとブリチャージを同義としてブリチャージとして説明する。

【0909】図122は電流駆動と電圧駆動とを組み合わせた回路構成である。切り替え回路1223は表示領域のあるソース信号線18に接続されている。切り替え回路1223はアナログスイッチから構成される。切り替え回路1223のa端子に電圧が印加され(ブリチャージ電圧)、b端子に画素にプログラムするプログラム電流が印加される。

【0910】電流出力回路1222は8ビット(256階調)のIDATAが入力され、このIDATAがDAコンバータ1226でDA変換されてアナログ電圧となる。このアナログ電圧がバイポーラトランジスタ(もしくはFET)1227のベース端子に印加され、オペアンプ1224bと抵抗1228の作用で、電流出力に変換される。なお、トランジスタ1227とオペアンプ1224などによる電圧-電流変換回路は一般的なもので、当該技術分野の技術者のとって公知であるのでこれ以上の説明は要さないであろう。

【0911】一方、電圧出力回路1221はボリウムVR1225とオペアンプ1224aによるバッファ回路から構成される。ボリウム1225は全ソース信号線に共通のものである。このボリウム1225を調整することにより、ブリチャージ電圧Vbが決定される。

【0912】1水平走査期間(1H)の最初のブリチャージ電圧Vbが印加される。この時、すべてのソース信号線に接続された切り替え回路1223は端子aと接続されている。したがって、すべてのソース信号線18はブリチャージ電圧Vbに設定される。その後、切り替え回路1223は端子bに切り替えられ、画像に対応した電流データ(256階調)がソース信号線18に印加される。この電流データが各画素16に書き込まれ、各画素のEL素子15に電流が流れて発光する。

【0913】図122では、ブリチャージ電圧Vbは固定値であった。図123は、ブリチャージ電圧を256値(8ビット)とれるようにした回路構成図である。図123において、電圧出力回路1221は、8ビットのVDATAが入力されDAコンバータ1226aでアナログ電圧に変換される。変換されたアナログ電圧はオペアンプ1224cの-端子に入力され、VR1225の基準電圧に対して所定の電圧に調整できるように構成されている。

【0914】オペアンプ1224cの出力はバッファアンプ1224aを介して、切り替え回路1223aのa端子に印加される。一方、切り替え回路1223aのb端子には電流出力が印加されている。

【0915】VDATAはIDATAに対応する電圧で



ある。1 水平走査期間 (1 H) の最初の 1 ~ 10  $\mu\text{sec}$  (1 H の 1/100 以上 1/5 以下の期間であることが好ましい) の期間に VDATA に対応したプリチャージ電圧 Vb が印加される。この時、すべてのソース信号線に接続された切り替え回路 1223 は端子 a と接続されている。したがって、各ソース信号線 18 は VDATA に対応するプリチャージ電圧 Vb に設定される。図 122 との差異は、各ソース信号線にプリチャージ電圧 Vb を設定できることである。つまり、各ソース信号線 18 にそれぞれ IDATA を DA 変換する DA コンバータと、VDATA を DA 変換する DA コンバータを具備している。ただし、各ソース信号線 18 にそれぞれ IDATA を DA 変換する DA コンバータと、VDATA を DA 変換する DA コンバータを具備することに限定するものではない。たとえば、DA 回路は 1 つでも、その出力を各ソース信号線でサンプルホールドすれば実現できるからである。

【0916】VDATA を変換した電圧を 1 H の最初の期間に印加するが、この電圧値は、以降に印加する IDATA に対応した電流値によるソース信号線電位とはほぼ等しくなる。したがって、VDATA の電圧を印加することによりソース信号線の電位はほぼ目標値となり、IDATA でわずかに目標値に補正するだけとなる。以上のように構成することにより、ソース信号線 18 への電流書き込み不足はなくなる。

【0917】なお、図 124 (a) において、切り替え回路 1223 a は a 端子と b 端子とを切り替えるとしたがこれに限定するものではない。たとえば、図 124

(b) ように、電圧出力回路 1221 の出力を a 端子に印加し、電流出力回路 1222 の出力はソース信号線 18 にたえず接続状態に構成してもよい。

【0918】DA コンバータ 1226 をリファレンス電圧に対応して出力変化できるものとするによりさらに回路構成の柔軟性が向上する。このリファレンス電圧に対応して出力変化できるとは、たとえば、リファレンス電圧 V が 2.54 (V) の時、0.01 (V) 間隔で出力を変化できるものをいう (8 ビット、256 階調の DA コンバータを採用した時)。リファレンス電圧 V が 5.08 (V) では 0.02 (V) 間隔で出力を変化できる。

【0919】つまり、リファレンス電圧を変更することにより、瞬時に DA コンバータの出力をリファレンス電圧に比例して変更することができる。図 124 はこのような DA コンバータを採用した場合の回路ブロック図である。

【0920】図 124 では、DA コンバータ 1226 a には Vref 電圧が印加されている。Vref 電圧は Vv 電圧を 4 分割する RV\* 抵抗とスイッチ回路 1223 b からなる回路から出力される。したがって、Vref 電圧は CVS 信号により 4 段階に切り替えられる。つま

り、DA コンバータ 1226 a の出力は瞬時に 4 段階で切り替えることができる。

【0921】一方、DA コンバータ 1226 b は Iref 電圧が印加されている。Iref 電圧は Vi 電圧を 4 分割する RV\* 抵抗とスイッチ回路 1223 c からなる回路から出力される。したがって、Iref 電圧は CIS 信号により 4 段階に切り替えられる。つまり、DA コンバータ 1226 b の出力は瞬時に 4 段階で切り替えることができる。

【0922】図 124 のように構成することにより、ソース信号線 18 に出力する電流 (電圧) は、1 H の期間に 4 段階に変化することができるようになる。この使用方法としては、最初に高い電圧 (電流) を一瞬印加し、印加により高速に目標値まで到達させ、その後、定常値の電圧 (電流) に変更し、目標値にするなどである。つまり、画素に書き込む電圧 (電流) を高速に変更することができる。

【0923】ただし、図 124 の構成は、回路規模はかなり大きなものになる。一般的には図 125 に図示する構成で十分である。図 124 の構成は、電圧出力回路 1221 は 2 つの電圧値を出力できるように構成されている。この 2 つの電圧とは、1 つが画像表示を黒にする電圧である。他の 1 つは画像表示を白にする電圧である。具体的には、図 1 の Vdd 電圧が 6 (V) とすれば、黒電圧は 3 (V) ~ 4 (V) であり、白電圧は 1 (V) ~ 2 (V) である。この白電圧と黒電圧は VR1225 で調整され、この電圧がバッファアンプ 1224 a、1224 c を介してスイッチ回路 1223 b に印加される。スイッチ回路 1223 b の出力は VSL 電圧で切り替えられる。

【0924】1 水平走査期間 (1 H) の最初のプリチャージ電圧 Vb (白電圧または黒電圧) が印加される。各ソース信号線は切り替え回路 1223 a の端子 c と接続されている。したがって、各ソース信号線 18 はまず、白電圧または黒電圧にプリチャージに設定される。その後、切り替え回路 1223 は端子 b に切り替えられ、画像に対応した電流データ (256 階調) がソース信号線 18 に印加される。この電流データが各画素 16 に書き込まれ、各画素の EL 素子 15 に電流が流れて発光する。

【0925】以上の実施例では、各ソース信号線 18 はまず、白電圧または黒電圧にプリチャージに設定されるとしたがこれに限定するものではない。表示データ (VDATA, IDATA) が所定値以上の時、あるいは所定値以下の時、プリチャージするように構成したほうが現実的である。

【0926】図 126 は説明を容易にするため、64 階調表示の場合を例示している。図 126 (a) では、57 階調目から 63 階調目の範囲 (KW) を白電圧でプリチャージする。つまり、図 125 の電圧出力回路 122

1から白電圧を出力する。また、0階調目から7階調目の範囲(KB)を黒電圧でプリチャージする。つまり、図125の電圧出力回路1221から黒電圧を出力する。8階調目から56階調目までは電圧出力回路1221の出力はハイインピーダンス状態とする(切り替え回路1223aのスイッチは端子aを選択しない)。

【0927】以上のように、白表示とすべき階調に白電圧を印加し、黒表示とすべき階調に黒電圧を印加する。また、中間調の箇所(KM)にはプリチャージしないことにより、階調表示を高速に、かつ良好に実現することができる。

【0928】電流プログラム方式の場合は、黒表示で、プログラム電流(画素に書き込む電流)が5nA以上20nA以下と小さいため、書き込み不足が発生する。黒電圧のプリチャージすることにより、本来の黒表示を実現することができる。しかし、暗い灰色の表示でも書き込み不足が発生することがある。この場合は、白と黒のプリチャージに加えて、第2の黒のプリチャージを行うことが効果的である。

【0929】図126(b)はこの実施例である。KB1の範囲を黒電圧のプリチャージすることにより、本来の黒表示を実現することができる。そして、KB2の範囲を第2の黒(灰色)のプリチャージすることにより黒に近い灰色の部分の十分な階調表示を実現できる。

【0930】ここで、より具体的には、図1画素構成において、Vdd電圧が6(V)とすれば、KB1の範囲のプリチャージを行う黒電圧は3(V)~3.5(V)であり、KB2の灰色のプリチャージを行う黒電圧は3.5(V)~4.0(V)である。KWの範囲の白電圧は1(V)~2(V)である。KMの範囲は電圧によるプリチャージは行わない。

【0931】図126(b)は説明を容易にするため、64階調表示の場合を例示している。図126(b)では、57階調目から63階調目の範囲(KW)を白電圧でプリチャージする。0階調目から7階調目の範囲(KB1)を黒電圧でプリチャージする。8階調目から15階調目の範囲(KB2)を第2の黒電圧でプリチャージする。16階調目から56階調目までは電圧出力回路1221の出力はハイインピーダンス状態とする(切り替え回路1223aのスイッチは端子aを選択しない)。

【0932】以上のように、黒の範囲を複数の範囲に分離し、それぞれ異なった電圧でプリチャージすることにより、より適正な階調表示を実現できる。なお、図126(b)は、黒の範囲を2つとしたがこれに限定するものではなく、3つ以上でもよい。また、プリチャージは全ソース信号線に一括しておこなってもよい。これらの回路構成は、図125においてバッファアンプ1224を3個以上配置し、スイッチ1223bを3つ以上選択できるように構成すればよいから容易である。

【0933】なお、図126において、階調0(黒表

示)にEL素子15に流す電流は0(A)ではない。EL素子15は所定電流以上流さないと発光しない。この発光しない範囲の電流を暗電流と呼ぶ。暗電流は画素サイズが10000平方 $\mu\text{m}^2$ で10nA以上50nA以下程度ある。この暗電流の範囲内において、画素は黒表示である。したがって、階調0でも電流が流れている。ドライバIC14の構成としては暗電流を加えた電流で駆動する必要がある。

【0934】以降、図122から図125に図示する回路構成を出力段回路1271と呼ぶ。出力段回路1271は図127に図示するように、各ソース信号線18に配置(形成)するのが一般的な構成例である。図127などでは、出力段回路1271はシリコンチップで形成したソースドライバIC14内に形成したように図示したがこれに限定するものではなく、ガラス基板82上に画素TFT11などと同時に直接に形成してもよい。つまり、高温ポリシリコン技術、低温ポリシリコン技術、シャープ(株)などが開発しているCGS(Continuous Grain Silicon)技術、富士通(株)などが開発している種結晶を基板に形成して成長させる方法、セイコーエプソン(株)が開発している石英基板に形成した半導体回路を転写によって、ガラス基板などに形成する技術で出力段回路1271を形成してもよい。また、基板82が金属基板あるいは半導体基板の場合は直接に、出力段回路1271を形成できることはいうまでもない。

【0935】また、ドライバIC14は、前記ICの信号端子電極部にメッキ技術またはネイルヘッドボンディング技術を用いて数 $\mu\text{m}$ から100 $\mu\text{m}$ の高さの金(Au)からなる突起電極(図示せず)が形成されている。前記突起電極と各信号線とが導電性接合層(図示せず)を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀(Ag)、金(Au)、ニッケル(Ni)、カーボン(C)、酸化錫( $\text{SnO}_2$ )などのフレイクを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術で突起電極上に形成する。

【0936】ドライブIC14(12)を基板上に積載するように図示または説明したが、これに限定するものではない。また、基板11上にIC14(12)を積載せず、フィルムキャリア技術を用いて、ICを積載したポリイミドフィルム等を用いて信号線と接続してもよい。

【0937】図127は表示領域21の一方端のみに出力段回路1271を配置したように図示したがこれに限定するものではない。たとえば、図128に図示するように、ドライバIC14aと14bを配置してもよい。図128ではゲートドライバIC12も2個形成している。つまり、表示領域は21aと21bから構成される。このように構成すれば表示領域21aと21bを別

個の画像を表示することができる。

【0938】図128の構成では画面21を2分割していることから、出力段回路1271から出力する映像信号は画面21が1つの場合に比較して1/2の動作周波数でよい。また、ソース信号線18などに発生する寄生容量は1/2となる。したがって、出力段回路1271の負担は $1/2 \times 1/2 = 1/4$ となる。そのため、出力段回路1271から出力する電流が微小であっても十分ソース信号線17の寄生容量を充放電できる。つまり、書き込み不足が発生しない。

【0939】図128の構成では表示領域21を画面21aと画面21bとを中央部で2分割するため、分割位置で境目がみえる場合がある。図129はこの課題を対処するものである。ソースドライバ14aは表示領域21の奇数画素行を駆動し、ソースドライバ14bは表示領域21の偶数画素行を駆動する。したがって、画面21の境目が発生しない。

【0940】さらに画素への書き込み電流不足を改善するためには、図130に図示するように、ドライバIC14aおよび14bにおいて各ソース信号線18に対応する出力段回路1271に2つの出力とするとよい。つまり、出力段回路1271aには2つの出力段（出力段A、出力段B）を具備し、出力段Aが表示領域21aの奇数画素行に接続され、出力段Bが表示領域21aの偶数画素行に接続されている。また、出力段回路1271bにも2つの出力段（出力段A、出力段B）を具備し、出力段Aが表示領域21bの奇数画素行に接続され、出力段Bが表示領域21bの偶数画素行に接続されている。このように構成することにより、さらに、微小電流でもソース信号線に十分な電流を流せることにつながり、良好な画像表示を実現できる。

【0941】なお、図130において出力段回路1271は各画素に1つのソース信号線18を接続するとしたがこれに限定するものではなく、画素を差動構成にし、各画素に2つのソース信号線（一方のソース信号線をバイアス電流用、他方のソース信号線をバイアス電流+信号電流用）で駆動するように構成してもよい。

【0942】図131はより具体的なモジュール構成図である。図131において、14bはソースドライバであり、14aはゲートドライバとソースドライバとが一体化されたチップである。14aが表示領域21のゲート信号線を駆動している。ドライバ14aは表示領域21aのソース信号線18aを駆動する。14bはソース信号線18bを駆動し表示領域21bを駆動する。

【0943】なお、図131は一例であって、チップ14bもゲートドライバ機能を有し、表示領域21bのゲート信号線17bを駆動するように構成してもよい。また、電源IC102とコントロールIC102はプリント基板103上に積載されているように図示したがこれに限定するものではなく、基板82に直接形成してもよ

い。以前に説明したポリシリコン技術などを用いてである。このことは図10、図11についても適用できることは言うまでもない。他の構成は図10、図11、図28、図130などと同様であるので説明を省略する。

【0944】コンとロールIC101はドライバ14aと14bの両方を駆動する。コントロールIC101からドライバ14aに供給する信号（電源配線、データ配線など）はフレキシブル基板104cを介して供給する。しかし、ドライバ14bはかなり距離が離れているため、まず、フレキシブル基板104aで基板82の裏面に接続する。

【0945】図132は基板82を裏面から観察した図である。基板82の裏面に信号配線（電源配線を含む）1321が形成されている。信号配線1321は、銅、アルミ（Al）、銀、銀-パラジウム、パラジウム、金、Al-Moなどの金属材料で形成される。信号配線1321は基板82の端から端まで信号を伝達する。基板82の一端にフレキシブル基板104bが接続されており、このフレキシブル基板104bからドライバ14bに信号などが供給される。なお、図133は図132のAから見たときの図面である。

【0946】図40、図57、図122から図126は、図1、図21、図43、図71のような電流プログラム方式の画素構成を例示して説明したが、これに限定するものではない。たとえば、図54、図67、図68、図103、図120、図121などの電圧プログラム方式の画素構成でも有効である。その場合は、図122の切り替え回路1223のb端子に印加される信号は電圧とする必要がある。この変更は容易であり、当該技術分野の人間であれば容易に対応することができるであろう。電圧駆動では、ソース信号線18の寄生容量による充電不足ということはないが、複数画素行に同時に電圧を印加する方式とすることにより、駆動回路、信号処理回路が簡略化され、また、良好な黒表示を実現できるからである。また、画像の隠逸表示を実現でき、TFT11のバラツキ吸収にも効果が発揮されるからである。

【0947】したがって、図122から図126で説明した事項は、本発明のすべての表示パネル、表示装置、情報表示装置などに適用することができることは言うまでもない。

【0948】図41は図1のTFT11のPチャンネルをNチャンネルにした実施例である。以上のように本発明は多種多様な画素構成に適用することができる。図41においても、ゲート信号線17を制御することによりTFT11dをオンオフすることができ、図31などの画像表示を実現できることは言うまでもないので説明を省略する。また、図33、図35などの駆動波形も同一または類似であるので説明を省略する。また、図1においてTFT11b、11cのみをnチャンネルTFTとすることも有効である。コンデンサ19への突き抜け電

10

20

30

40

50

圧が低下し、コンデンサの保持特性も改善されるからである。

【0949】なお、図41は電流源402のみを具備する構成である。つまり、プリチャージを実施する電圧源401は具備しない。しかし、寄生容量404が比較的小さく、または、1H期間は十分長い場合は、電圧源401がなくとも十分に黒表示を実現できる。また、図31などで説明したように、完全な非表示領域312を実施する場合は、電圧源401は必要でない場合がほとんどである。必要である場合は図42に図示するように構成すればよい。

【0950】また、図43は図21のTFT11のPチャンネルをNチャンネルにした実施例である。以上のように本発明は多種多様な画素構成に適用することができる。図43においても、ゲート信号線17を制御することによりTFT11eなどをオンオフすることができ、図31などの画像表示を実現できることは言うまでもないので説明を省略する。また、図33、図35などの駆動波形も同一または類似であるので説明を省略する。

【0951】以上、説明したように電圧源401でVb電圧(Ib電流)を印加することにより、良好な黒表示を実現できる。

【0952】なお、N=10以上とし、高い電流パルスでEL素子15に印加すると、EL端子電圧も高くなる。また、EL素子15はR、G、Bで立ち上がり電圧、ガンマカーブが異なる。特にBはガンマカーブが緩やかであるのでEL素子15の端子電圧が高くなる傾向にある。立ち上がり電圧が高く、ガンマカーブが緩やかな色(R、G、B色)のEL素子15に端子電圧をあわせると消費電力が大きくなる。

【0953】これを解決する方法の1つが図5に示すカソードをR、G、Bで分離する方式である。なお、R、G、Bでそれぞれ別のカソード電位にする必要はない。特にガンマカーブが他の色からはなれている1色のみのカソードのみを分離してもよい。その他の方法として、図58に示すようにVdd電源電圧を分離する構成も有効である。つまり、R色のVdd電源をVddRとし、G色のVdd電源をVddGとし、B色のVdd電源をVddBとする構成である。このように分離することにより、RGBそれぞれを別電源で調整することができ、RGBのEL素子15の端子電圧が異なっても消費電力の増加はわずかになる。

【0954】なお、R、G、Bでそれぞれ別のVdd電位にする必要はない。特にガンマカーブが他の色からはなれている1色のみVddのみを分離してもよい。また、図59に図示するように、図5の構成と組み合わせてもよい。つまり、R、G、Bで分離する方式であるR、G、Bでそれぞれ別のカソード電位(R画素はVsR、G画素はVsG、B画素はVsB)とする。特にガンマカーブが他の色からはなれている1色のみのカソー

ド電位のみを分離してもよい。さらに、Vdd電源電圧を分離する。R色のVdd電源をVddRとし、G色のVdd電源をVddGとし、B色のVdd電源をVddBとする構成である。この場合もR、G、Bでそれぞれ別のVdd電位にする必要はない。特にガンマカーブが他の色からはなれている1色のみVddのみを分離してもよい。

【0955】なお、図58、図59では画素16は図1の構成としたが、これに限定されるものではなく、図21、図22、図43、図44、図41、図42、図54、図67から図78などの構成でもよいことは言うまでもない。

【0956】本発明の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧Vmを印加することが有効である。

【0957】以下、逆バイアスを印加する方法について説明をする。逆バイアスを印加するためには図1の構成において、TFT11bとTFT11cのゲート(G)端子を個別に制御する必要がある。つまり、TFT11bとTFT11cを個別にオンオフさせる必要がある。この制御方法は図52を用いて説明する。

【0958】まず、図52(a)に示すように、TFT11cをオンし、TFT11dをオンさせる(図1もあわせて参照のこと)。そして、逆バイアス電圧VmとEL素子15のa端子に印加する。Vm電圧はVsよりも低い電圧である。Vm電圧はVsよりも5(V)以上15(V)以内の値の低い電圧である。

【0959】なお、逆バイアス電圧を供給する信号線17は、ソース信号線18と平行に形成することが好ましい。低抵抗配線で形成できるし、ソース信号線18とのクロスがないため、逆バイアス信号線とソース信号線18とのカップリングが発生しにくい。なお、もちろん、逆バイアス電圧を供給する信号線17をゲート信号線17と平行に形成してもよい。

【0960】EL素子15が点灯するときには、a端子にはVsに対し、5(V)以上15(V)以内の高い電圧が印加されている。つまり、Vm電圧とはEL素子15が点灯しているときに印加する電圧に対し、理想的には絶対値が等しく、かつ極性の逆の電圧を印加するのである。現実的には絶対値が等しく、かつ極性の逆の電圧を印加は困難であるから、逆極性で2-3倍の電圧を印加する。以上のように逆バイアスを印加することにより、EL素子15はほとんど劣化しなくなる。

【0961】次に、図52(b)に示すように、TFT11dをオフし、TFT11bをオンさせる。そして、黒電圧Vbをコンデンサ19に書き込む。この動作は図57で説明している。次に、図52(c)に示すよう

に、TFT11のオンオフ状態は図52(b)と同一の状態、電流源402からの画像表示電圧(電流)をコンデンサ19に書き込む。この動作も図57で説明している。最後に、図52(d)に示すように、TFT11b、11cをオフし、TFT11dをオンさせ、EL素子15に電流を流してEL素子15を点灯させる。

【0962】以上の動作を図15に示す。1H期間のt1時間に逆バイアス電圧Vmをソース信号線18に印加し、次のt2期間にVb電圧を印加し、そしてt3期間に画像データVw(Iw)を印加する。他の動作は、図52で説明し、また、駆動方法などの図31、図33などで説明しているので説明を省略する。

【0963】図119から図121図52の構成では、ソース信号線18の電流を画素16にとりこむ際に、EL素子15には逆方向電流が流れる。したがって、EL素子15が有機電界発光素子の場合、逆方向電圧を印加した場合のように、有機分子の酸化還元反応などによる電気化学的劣化を遅くすることが可能となる。

【0964】図102に陽極/正孔輸送層/発光層/電子輸送層/陰極からなる3層型有機発光素子のエネルギーダイアグラムを示す。発光時の正負キャリアの挙動は図102(a)で表わされる。電子は陰極(カソード)より電子輸送層に注入されると同時に正孔も陽極(アノード)から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

【0965】有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0966】図102(b)においては逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0967】なお、図102では3層型素子について説明を行ったが、4層型以上の多層型素子及び2層型以下の素子においても、電極から注入された電子及び正孔により有機膜の電気化学的劣化が起こることは同様である。したがって、層の数によらず本実施例により寿命を長くすることが可能となる。1つの層に複数の材料を混ぜ合わせた素子においても分子の電気化学的劣化は同様に生じるため効果がある。

【0968】本発明の特徴はこのように、有機分子の劣化を防ぐ機能を持たせ、かつソース信号線に寄生する浮遊容量による波形なまりを防ぐためのバイアス電流を

流す機能を持たせても、画素に必要なトランジスタ数を増加させることなく表示が可能であることである。つまり、逆方向電流を流すためのトランジスタの数を増やさなくてもよいことが、表示装置の各画素の開口率を下げなくて済むため利点となる。

【0969】図109に逆バイアス電圧Vmの印加効果について説明する。図109は所定電流で駆動した時のEL素子15の発光輝度、EL素子の端子電圧を示している。図109において、点線実線bは、EL素子15に逆バイアス電圧Vmを印加した時のEL素子15の端子電圧を示している。一点鎖線cは、EL素子15に逆バイアス電圧を印加しなかった時のEL素子15の端子電圧を示している。また、実線aは、EL素子15に逆バイアス電圧を印加した時(点線a)のEL素子15の発光輝度比(初期輝度を1とした時の比率)を示している。

【0970】図109において、具体的には、EL素子はR発光であり、電流密度100A/平方メートルで電流駆動した場合である。サンプルBは時間tの間、連続して電流密度100A/平方メートルの電流を印加している。点灯時間1500時間で端子電圧が高くなり、急激に輝度低下して2500時間経過後には、初期輝度に対して、約15%の輝度しか得られなかった。

【0971】サンプルAは30Hzのパルス駆動を実施し、半分の時間t2に電流密度200A/平方メートルの電流を流し、後半の半分の時間t1に逆バイアス電圧-14(V)を印加した(つまり、単位時間あたりの平均発光輝度はサンプルAとBでは同一である)。サンプルAは、点線bで示すようにEL素子15の端子電圧の変化はほとんどなく、また、輝度が50%となる点灯時間は4000時間であった。

【0972】このように、逆バイアス電圧Vmを印加することにEL素子15の端子電圧の増加はなく、発光輝度の低減割合も少なくなる。したがって、EL素子15の長寿命駆動を実現することができる。

【0973】図108は、逆バイアス電圧VmとEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図108はEL素子15に流す電流が電流密度100A/平方メートルの場合であるが、図108の傾向は、電流密度50~100A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0974】縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧が8(V)とし、経過時間2500時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧が10(V)とすれば、端子電圧比は、10/8=1.25で

ある。

【0975】横軸は、逆バイアス電圧 $V_m$ と1周期に逆バイアス電圧を印加した時間 $t_1$ の積に対する定格端子電圧 $V_0$ の比である。たとえば、60Hz（とくに60Hzに意味はないが）で、逆バイアス電圧 $V_m$ を印加した時間が $1/2$ （半分）であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧（定格端子電圧）が8（V）とし、逆バイアス電圧 $V_m$ を8（V）とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ となる。

【0976】図108によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 $V_m$ の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ （もしくは $t_2$ 、あるいは $t_1$ と $t_2$ との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ などを決定するとよい。

【0977】ただし、バイアス駆動を行う場合は、逆バイアス $V_m$ と定格電流とを交互に印加する必要がある。図109のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 $V_m$ を印加する場合（図109のサンプルA）のEL素子15の端子電圧も高くなる。

【0978】しかし、図108では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 $V_0$ とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度200A/平方メートルの電流の印加した時の端子電圧である。ただし、 $1/2$ デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる）。

【0979】以上の事項は、EL素子15を、白ラスター表示（画面全体のEL素子に最大電流を印加している場合）を想定している。しかし、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流）が流れているのではない。

【0980】一般的に、映像表示を行う場合は、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流）の約0.2倍である。

【0981】したがって、図108の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は0.2以上にするように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ （もしくは $t_2$ 、あるいは $t_1$ と $t_2$ との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ などを決定するとよい。

【0982】つまり、図108の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が0.2よりも大きくなるように、逆バイアス電圧 $V_m$ を所定時間 $t_1$ 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、図108で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が1.75以下を満足するようにすればよい。

【0983】以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧 $V_m$ （電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧 $V_m$ を印加してもよい。なお、この場合は、結果としてEL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 $V_m$ を印加することを中心として説明するがこれに限定するものではない。たとえば、図103においてTFT11eをオフさせ、図90と同様に逆バイアス電圧 $V_m$ をEL素子15のアノードに印加する構成にすれば、電圧プログラム方式の画素構成でも、以下に説明する逆バイアス電圧 $V_m$ の印加を容易に実現することができる。したがって、図108などで説明した効果を発揮することができる。

【0984】図90は図1（a）の画素構成に逆バイアス電圧 $V_m$ を印加するスイッチングTFT11gを配置あるいは形成している。TFT11gのゲート（G）端子は制御用のゲート信号線17dに接続されている。T

F T 1 1 g をオンさせることにより V m 電圧が E L 素子 1 5 のアノードに印加される。

【0985】図90は、本発明の逆バイアス電圧印加方式の駆動方法の説明図である。まず、図107(a1)に示すようにゲート信号線17aに電圧Vg1が印加されると、TFT11b、11cがオンする。すると、図107(a2)で示すように、ソースドライバ14からプログラム電流IwがTFT11cなどに流れ、コンデンサ19に電流プログラムされる。なお、N倍に限定するものではないが、ここでは説明を容易にするため、N倍の電流をプログラムし、E L 素子 1 5 に 1 F / N の期間だけ、電流 I d を流すものとする。

【0986】次に、図107(b1)に図示するように、ゲート信号線17bに電圧Vghが印加され、TFT11b、11cがオフする。同時(同時に限定するものではない)にゲート信号線17bに電圧Vg1が印加されると、TFT11dがオンする。すると、図107(c2)で示すように、電源VddがTFT11aを介して、電流プログラムされた電流IdがE L 素子 1 5 に流れる。したがって、図107(c1)に図示するようにE L 素子 1 5 が発光する。この発光輝度は、プログラムの変換効率が100%であれば、約N倍の輝度で発光する。

【0987】発光期間は1F/Nである。残りの1F(1-1/N)の期間はTFT11dがオフ状態であり、E L 素子 1 5 は非点灯(黒表示)となる。黒表示はE L 素子 1 5 に全く電流が流れないため、完全な黒表示を実現できる。また、発光時は白ピーク電流が大きいいため、発光輝度も高い。そのため、本発明の駆動方法では、非常に高コントラスト表示を実現できる。

【0988】1Fの期間のすべてに、1倍の電流をE L 素子 1 5 に流した場合(従来の駆動方式)は、黒表示を実現使用すると、黒表示電流をコンデンサ19にプログラムする必要がある。しかし、電流駆動方式では黒表示時の電流値が小さいため、寄生容量の影響と大きく受け十分な解像度がでないという課題が発生する。また、黒浮きが発生するという課題も発生する。その上、ゲート信号線17からの突き抜け電圧の影響も受ける。これらの課題により、黒表示部でもE L 素子 1 5 が微点灯状態となる。したがって、コントラストは非常に悪くなる。

【0989】本発明の方式では、1F(1-1/N)の期間は完全にE L 素子 1 5 に電流が流れない。したがって、完全な黒表示を実現できる。つまり、黒浮きが発生しない。そのため、図52などで説明した黒表示のためのブリチャージを行わなくとも高コントラスト表示を実現できる。

【0990】なお、もちろん、図90などで説明する方式に図52などの方式を加えて実施してもよいことは言うまでもない。また、高コントラスト表示を実現できる

ことは図54、図67、図103などの電圧プログラム画素構成でも同様に効果がある。1F/Nパルス駆動を実施することにより、1F(1-1/N)の期間はE L 素子 1 5 に全く電流が流れず、高コントラスト表示を実現できるからである。もちろん、画像表示を間欠にすることによる良好な動画表示を実現できる。

【0991】また、画素構成によっては、突き抜け電圧がE L 素子 1 5 に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

【0992】図107(d1)に図示するように、ゲート信号線17dにオン電圧を印加し、TFT11gをオンさせる。この時、TFT11dはオフ状態とする。TFT11gをオンさせることにより、E L 素子 1 5 のアノード(なお、画素構成によっては、逆バイアス電圧VmをE L 素子 1 5 のカソードに印加する場合もある。また、逆バイアス電圧Vmは正極性の電圧の場合もある)に逆バイアス電圧Vm(逆バイアス電流Imが流れるとも表現できる。E L 素子 1 5 は回路的にはコンデンサとみなすことができるため、逆バイアス電圧の印加により交流的に電流が流れるからである。また、蓄積された電荷が放電されるからである。)が印加される。印加する時間t1は図108の状態を満足するように構成する(図107(d2))。

【0993】逆バイアス電圧Vmを印加する期間はE L 素子 1 5 に電流Idが流れていない期間とすることが好ましい。Idが流れていると、逆バイアス電圧とショート状態が発生するからである(できないことはない)。

【0994】なお、図107(d1)では逆バイアス電圧Vmを印加する期間は1Fのうちの1箇所としたがこれに限定するものではなく、複数の分割(たとえば、1Fの期間に、2回以上あるいは3回以上に分けてE L 素子 1 5 に逆バイアス電圧Vmを印加するなど)してもよい。

【0995】この制御は容易である。ゲート信号線17bにオフ電圧を印加している期間のうち、任意のタイミングでゲート信号線17dにオンオフ電圧を印加すればよいからである。これらのオン時間の総和が図108で説明したt1時間となるようにすればよい。

【0996】また、E L 素子 1 5 に電流を流さない期間1F(1-1/N)の期間が複数の期間に分割される場合もある。分割することにより、フリッカの発生が抑制される。E L 素子 1 5 に電流を流さない期間1F(1-1/N)の期間が複数の期間に分割された場合においては、その期間に逆バイアス電圧Vmを印加すればよい。ただし、分割されたE L 素子 1 5 に電流を流さない期間1F(1-1/N)のすべてに逆バイアス電圧Vmを印加する必要はない。

【0997】図109のように逆バイアス電圧を印加せ

10

20

30

40

50

ず、かつ、EL素子15にも電流が流れていない駆動方法では、図108で説明した内容を補正（もしくは補足）する必要がある。つまり、図108で説明した時間 $t_1$ とは逆バイアス電圧 $V_m$ を印加した時間である。また、時間 $t_2$ とはEL素子15に電流を印加した時間である。

【0998】なお、逆バイアス電圧 $V_m$ は直流的に固定値である必要はない。 $V_m = -8$  (V) 固定で印加することである。つまり、逆バイアス電圧 $V_m$ はのこぎり歯波形の信号としてもよく、パルスのな波形の信号としてもよい。また、サイン波の信号波形でもよい。この場合では逆バイアス電圧とは、波形を積分したもの、あるいは実効値とする。また、印加時間 $t_1$ も不明確となるが、 $V_m$ 電圧を積分したもの実効値を矩形波形とし、この矩形波形が印加されたとする時間を $t_1$ とすればよい。

【0999】たとえば、逆バイアス電圧の波形が、図115(a)に図示する電圧波形（三角形波）であるとすると、最大振幅値が16 (V)、印加時間が $t_1 = 100$  ( $\mu\text{sec}$ ) であるとすると、この場合は、図115(b)に図示するように、最大振幅値が8 (V)、印加時間が $t_1 = 100$  ( $\mu\text{sec}$ ) の電圧波形と等価である。また、図115(c)に図示するように、最大振幅値が16 (V)、印加時間が $t_1 = 50$  ( $\mu\text{sec}$ ) の電圧波形と等価と見なし処理を行ってもよい。以上の事項は、EL素子15に印加する正方向の電圧についても同様である。

【1000】同様の事項はEL素子15に流す電流 $I_d$ についても該当する。つまり、EL素子15に流す電流（電圧）も直流ではなく、サイン波形の電流波形などにする場合もあるからである。この場合も直流の実効値に変換し、その矩形波の印加期間 $t_2$ に換算すればよい。

【1001】逆バイアス電圧 $V_m$ を印加する期間は、図91(a)に図示するように、ゲート信号線17aにオン電圧を印加する期間（通常、1H期間；プログラム期間）以外のすべての期間を逆バイアス電圧 $V_m$ の印加期間としてもよい。

【1002】また、EL素子15に電流 $I_d$ を印加していない期間に逆バイアス電圧を印加すればよいのであるから、図91(b)に図示するように、ゲート信号線17aにオン電圧を印加する期間（プログラム期間）を含む期間に逆バイアス電圧 $V_m$ を印加するように構成してもよい（図91(b)はEL素子15に電流 $I_d$ を印加している期間（ゲート信号線17bにオン電圧を印加している期間）以外に逆バイアス電圧 $V_m$ を印加している）。

【1003】なお、図91、図107などで説明した逆バイアス電圧 $V_m$ の印加時間、印加方式、印加タイミングなどに関する事項は他の実施例にも適用される。

【1004】以上のように、本発明では、1F期間に非

点灯期間312を有している。この非点灯期間を設けることにより動画表示性能が向上する。また、非点灯時間を設けているために、非点灯期間にEL素子15に逆バイアス電圧を印加できる。したがって、EL素子15が劣化することがなく、端子電圧の上昇もない。そのため、電源電圧 $V_{dd}$ も低く設定できる。

【1005】図91はEL素子15の直前に逆バイアス電圧を印加するように構成したものであった。他の構成として、図92に図示するように、TFT11dを介してEL素子15に逆バイアス電圧 $V_m$ （電流 $-I_m$ ）を印加する構成も例示される。

【1006】ゲート信号線17dにオン電圧を印加することにより、TFT11gがオンし、逆バイアス $V_m$ が印加される。同時にTFT11dもオンさせることにより、EL素子15に逆バイアス電圧を印加することができる。図92の構成では、逆バイアス電圧 $V_m$ の印加は、TFT11gとTFT11dの両方で制御することができる。そのため、制御が容易になり、柔軟性が向上する。

【1007】ゲート信号線17に印加される電圧は、該当画素が選択されている時にオン電圧が印加される。非選択の期間はオフ電圧が印加される。したがって、ゲート信号線に印加される電圧は1Fの期間のうち、ほとんどの期間にオフ電圧が印加されている。したがって、オフ電圧を逆バイアス電圧として使用することができる。

【1008】オフ電圧はTFTを完全にオフさせるため、通常、カソード電圧よりも低い電位である（もちろん、TFTがPチャンネルの場合は逆である）。特にTFTがアモルファスシリコンの場合は、オフ電圧はかなり低く設定されることが通常である。

【1009】図93の構成では、ゲート信号線17aに接続されたTFT11b、11cをnチャンネルTFTとしている。したがって、電圧 $V_{gh}$ でTFT11b、11cはオンし、電圧 $V_{gl}$ でオフ状態となる。1Fのほとんどの期間はゲート信号線17bには電圧 $V_{gl}$ が印加されている。この電圧 $V_{gl}$ を逆バイアス電圧 $V_m$ とする（ $V_{gl} = V_m$ ）。

【1010】TFT11gも先の実施例と同様にゲート信号線17dに印加する電圧で制御する。なお、断っておくが、ゲート信号線17dに印加する電圧はTFT11gのオンオフを制御するものであるから、印加する電圧は $V_{gh}$ 、 $V_{gl}$ に特定されるものではなく、他の任意の電圧を使用することができる。

【1011】TFT11gがオンすると、ゲート信号線17aに印加されている電圧 $V_{gl}$ がEL素子15に印加される。したがって、EL素子15に逆バイアス電圧 $V_m$ を印加することができる。図93の構成では、図92のように逆バイアス電圧 $V_m$ を供給する信号線が不要であるため、画素開口率を向上できる。なお、図93において、ゲート信号線17bに印加する電圧をEL素子



15に印加するように構成してもよい(TFT11dはnチャンネルにするなど構成に考慮する必要はある)。

【1012】図93はゲート信号線17の電圧を逆バイアス電圧にする構成であった。図94はソース信号線18に印加された電圧をEL素子15の逆バイアス電圧とする構成である。TFT11gがオンするタイミングで、ソース信号線18に逆バイアス電圧 $V_m$ を印加する。ソース信号線18に印加されている電圧 $V_m$ がEL素子15に印加される。したがって、EL素子15に逆バイアス電圧 $V_m$ を印加することができる。タイミング

などは図52で説明しているので省略する。  
【1013】逆バイアス電圧 $V_m$ を印加する時間が、EL素子15に電流を印加している期間に比較して長いときは、図95に図示するように、EL素子15のアノードとカソード端子間をショートすることも効果がある。EL素子15にチャージされた電圧が放電されるからである。

【1014】図95において、TFT11gがオンすると、EL素子15のアノードとカソード端子間がショートされる。ショートによりEL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれる。したがって、EL素子の劣化を抑制できる。なお、図91、図107などで説明した逆バイアス電圧 $V_m$ の印加時間、印加方式、印加タイミングなどに関する事項は図95の実施例などにも適用されることは言うまでもない。

【1015】図95は各TFTがpチャンネルで構成されていた。図96は図95の構成をnチャンネルに変化させたものである。図96において、TFT11gがオンすると、EL素子15のアノードとカソード端子間がショートされる。アノードおよびカソード端子に $V_{dd}$ 電圧が印加される。この期間にEL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれる。したがって、EL素子の劣化を抑制できる。なお、図95と同様に、図91、図107などで説明した逆バイアス電圧 $V_m$ の印加時間、印加方式、印加タイミングなどに関する事項は図96の実施例などにも適用されることは言うまでもない。

【1016】電流の流れる制御方向を変化させることによって、EL素子15に逆バイアス電圧 $V_m$ を印加することができる。図97はその構成図である。図97において、402は定電流源である。

【1017】図97において、TFT11gがオンしているときには、TFT11gには定電流源402と同一方向の電流が流れる。したがって、EL素子402には順方向電圧が印加される。TFT11gがオフの時には、EL素子15と電流源402とでループを構成するためEL素子15に流れる電流の向きが逆になる。つまり、定電流源402を配置または形成することにより、TFT11gの制御でEL素子15に容易に逆バイアス

電圧 $V_m$ を印加することができる。この時の、信号線17のタイミングを図98に示す。ゲート信号線17aが選択されている期間以外の期間にゲート信号線17dにオン電圧が印加されている。

【1018】したがって、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれる。したがって、正孔輸送材料の酸化および電子輸送材料の還元による劣化を抑制できる。

【1019】図99はTFT11gをnチャンネルとし、TFT11dがオンしているときはTFT11gをオフ状態にし、TFT11dがオフしているときはTFT11gをオン状態にした構成である。したがって、TFT11dがオンしているときはEL素子15が点灯し、TFT11gがオンしているときにはEL素子15に逆バイアス電圧 $V_m$ が印加される。

【1020】逆バイアス電圧 $V_m$ はカソード電圧 $V_k$ よりも低い電圧にすることが有効である。しかし、逆バイアス電圧 $V_m$ を別途発生させようとする、発生回路が必要である。この課題に対して、図100ではフライングコンデンサを形成している。フライングコンデンサ回路1001は画素ごとに配置(形成)するほか、パネルに1回路を配置(形成)してもよい。

【1021】フライングコンデンサ1001はゲート信号線17e、17fを制御することにより動作させる。ゲート信号線17eとゲート信号線17fとは逆位相で動作させる。

【1022】まず、ゲート信号線17eにオン電圧を印加し、TFT11i、11jをオンさせ、コンデンサ19bに $V_{dd}$ 電圧を印加する。この時、ゲート信号線17fにはオフ電圧を印加し、コンデンサ19bに充電後、TFT11h、11kをオフさせておく。

【1023】次に、ゲート信号線17eにオン電圧を印加し、TFT11i、11jをオフさせ、ゲート信号線17fにはオン電圧を印加し、TFT11h、11kをオンさせる。すると、コンデンサ19bに充電された電圧 $V_{dd}$ は逆位相となってEL素子15に、 $-V_{dd}$ 電圧が印加される。

【1024】以上のように構成することにより、逆位相の $V_m$ 電圧( $V_m = -V_{dd}$ )を発生させることができる。したがって、 $V_m$ 電圧の供給配線は不要となる。

【1025】以上の実施例は、主として図1で説明した電流プログラム方式の画素構成を例示して説明したが、これに限定するものではなく、図101に図示するように、カレントミラーの画素構成でも、逆バイアス電圧 $V_m$ を印加できるように構成できることは言うまでもない。なお、動作は図90で説明した構成をそのまま準用できるので省略する。また、図89に図示するように、電圧プログラムの画素構成であっても、逆バイアス電圧を印加できることは言うまでもない。図54、図67、

図103などでも同様である。したがって、電圧プログラムの画素構成でも非点灯時にEL素子15に逆バイアス電圧を印加するという構成あるいは方式を適用することができる。

【1026】なお、以上の実施例では、本発明は、非点灯時にEL素子15に逆バイアス電圧を印加するという構成あるいは方式であるとして説明をした。これは、表示21を表示し、EL素子15を非点灯時に、EL素子15に逆バイアス電圧 $V_m$ を印加することに限定されるものではない。アクティブマトリックス型EL表示パネルにおいて、たえず、非点灯時に逆バイアスを印加する構成でも本発明の範疇である。

【1027】たとえば、EL表示パネルの使用を終了し、終了してから所定期間の間、全画面21のEL素子15に逆バイアス電圧 $V_m$ を印加するように構成してもよい。また、EL表示パネルの使用を終了してから所定期間の間、全画面21のEL素子15を順次走査して逆バイアス電圧 $V_m$ を印加するように構成してもよい。また、EL表示パネルの使用の際（たとえば、電源on時）、所定の時間の間、全画面21のEL素子15を順次走査して逆バイアス電圧 $V_m$ を印加するように構成してもよい。また、EL表示パネルを使用していないとき、所定時間間隔（例えば、1時間ごとに10秒間のように）ごとに、逆バイアス電圧を印加するように構成してもよい。逆に、EL表示パネルを使用している時、所定時間間隔（例えば、1時間ごとに10秒間のように）ごとに、逆バイアス電圧を印加するように構成してもよい。

【1028】以上の実施例は、EL素子15に電流を流さない期間に逆バイアス電圧 $V_m$ を印加するという構成であった。しかし、逆バイアスを印加する構成はこれに限定されない。たとえば、本発明の表示パネルを携帯電話に使用した構成で例示すると、携帯電話を使用していない時に、逆バイアスを印加するという構成がある。

【1029】たとえば、携帯電話の電源スイッチが押された後、所定期間の間は、EL素子15に逆バイアス電圧 $V_m$ を印加するという構成が例示される。また、携帯電話を使用後、所定期間はEL素子15に逆バイアス電圧を印加するという構成も例示される。あるいは、折りたたみ式の携帯電話の場合、折りたたみ状態から使用状態にした時、所定期間の間、EL素子15に逆バイアス電圧を印加するという構成、逆に、使用状態から折りたたみ状態にした時、所定期間の間、EL素子15に逆バイアス電圧を印加するという構成が例示される。

【1030】図321は、上記の実施例である。図321は説明を容易にするため、1画素を図示しているが、実際は、画素が176RGB×220などのようにマトリックス状に配置されている。

【1031】図321において、3211は電圧検出回路である。電圧検出回路3211は電源ボタンが押され

たことを検出する。電圧検出回路3211は電圧を検出すると、ゲートドライブ回路14bに信号を出力し、ゲートドライブ回路14bを動作させる。

【1032】ゲートドライブ回路14bはゲート信号線17dにオン電圧を出力し、TFT11gをオンさせる。TFT11gのオンにより逆バイアス電圧 $V_m$ がEL素子15のアノードに印加される。

【1033】以上のように、図321の構成では、電圧検出を行い、一定の期間の間、EL素子15に逆バイアス電圧 $V_m$ を印加する。逆バイアス電圧を印加している時は、ソースドライブ回路14などは動作させないようにする。

【1034】図400は図1の画素構成に、逆バイアス電圧印加用のPチャンネルTFT11g（P）を付加（形成）した構成である。逆バイアス線4001に逆バイアス電圧を印加する。逆バイアス電圧を印加する有無は、ゲート電位制御線4002に印加する電圧で行う。

【1035】ゲート電位制御線4003に印加する電圧を逆バイアス線4001に印加している電圧よりも低くすることにより、TFT11g（P）がオンし、EL素子15のアノード電極に逆バイアス電圧 $V_m$ が印加される。逆バイアス線4001はソース信号線18と平行方向に引き出すと、ゲート信号線17との交点がなくなり、ゲート信号線17とゲート電位制御線4003とのクロスショートが減少する。また、ゲート電位制御線4003に印加した信号がゲート信号線17に突き抜け、ゲート信号線17の電位変動を引き起こし、TFT11bなどにリークが発生するという課題を減少させることができる。

【1036】逆バイアス線4001は、常時、逆バイアス電圧 $V_m$ を印加する構成でもよい。しかし、常時、逆バイアス電圧 $V_m$ を印加しておくと、TFT11のゲート（g）端子とソース（S）端子間に常時、大きな電位差が印加される。そのため、TFT11gが劣化する場合がある。この課題に対しては、逆バイアス電圧 $V_m$ を印加する時に、逆バイアス線4001に逆バイアス電圧 $V_m$ を印加し、他の期間は逆バイアス線4001をハイインピーダンス状態にする方法がある。つまり、オープンにしておく。

【1037】なお、図400ではTFT11gはPチャンネルとしたが、これに限定するものではなく、図401に図示するように、TFT11gをNチャンネルとしてもよい。図401では、ゲート電位制御線4003に印加する電圧を逆バイアス線4001に印加している電圧よりも高くすることにより、TFT11g（N）がオンし、EL素子15のアノード電極に逆バイアス電圧 $V_m$ が印加される。

【1038】また、図401の画素構成などにおいて、ゲート電位制御線4003を常時、電位固定して動作させてもよい。たとえば、図401において $V_k$ 電圧が0

(V)とする時、ゲート電位制御線4003の電位を0(V)以上(好ましくは2(V)以上)にする。なお、この電位を $V_{sg}$ とする。この状態で、逆バイアス線4001の電位を逆バイアス電圧 $V_m$ (0(V)以下、好ましくは $V_k$ より-5(V)以上小さい電圧)にすると、TFT11g(N)がオンし、EL素子15のアノードに、逆バイアス電圧 $V_m$ が印加される。逆バイアス線4001の電圧をゲート電位制御線4003の電圧(つまり、TFT11gのゲート(G)端子電圧)よりも高くすると、TFT11gはオフ状態であるため、EL素子15には逆バイアス電圧 $V_m$ は印加されない。もちろん、この状態の時に、逆バイアス線4001をハイインピーダンス状態(オープン状態など)としてもよいことは言うまでもない。

【1039】また、図446に図示するように、逆バイアス制御線4001を制御するゲートドライバ回路12cを別途形成または配置してもよい。ゲートドライバ回路12cは、ゲートドライバ回路12aと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

【1040】以上の駆動方法では、TFT11gのゲート(G)端子は電位固定し、逆バイアス線4001の電位を変化させるだけで、EL素子15に逆バイアス電圧 $V_m$ を印加することができる。したがって、逆バイアス電圧 $V_m$ の印加制御が容易である。また、TFT11gのゲート(G)端子とソース(S)端子間に印加される電圧を低減できる。このことは、図400のようにTFT11gがPチャンネルの場合も同様である。

【1041】また、逆バイアス電圧 $V_m$ の印加は、EL素子15に電流を流していない時に行うものである。したがって、TFT11dがオンしていない時に、TFT11gをオンさせることにより行えばよい。つまり、TFT11dのオンオフロジックの逆をゲート電位制御線4003に印加すればよい。たとえば、図401では、ゲート信号線17bにTFT11dおよびTFT11gのゲート(G)端子を接続すればよい。TFT11dはPチャンネルであり、TFT11gはNチャンネルであるため、オンオフ動作は反対となる。

【1042】以上の実施例は、図1の画素構成の場合であったが、他の構成においても、図401などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図403が電流プログラム方式の画素構成である。図403ではゲート信号線17に $V_{gh}$ 電圧を印加することにより、TFT11c、TFT11bがオンし、ソース信号線18の電圧(あるいはソース信号線18に流れる電流)をコンデンサ19に書き込む。一方、TFT11dはオフ状態となるため、この画素プログラム状態の時には、EL素子15には電流が流れない。このEL素子15に電流が流れていない期間に、逆バイアス線4001に $V_m$ 電圧を印加する。

【1043】ゲート信号線17に $V_{g1}$ 電圧を印加する(画素非選択)と、TFT11c、TFT11bがオフする。一方、TFT11dはオン状態となるため、EL素子15に電流が流れ、EL素子15が点灯する。

【1044】図404は、図21などで説明したカレントミラーの画素構成である。TFT11cは画素選択素子である。ゲート信号線17a1にオン電圧を印加することにより、TFT11cがオンする。TFT11dはリセット機能と、駆動用TFT11aのドレイン(D)ーゲート(G)端子間をショート(GDショート)する機能を有するスイッチ素子である。TFT11dはゲート信号線17a2にオン電圧を印加することによりオンする。

【1045】TFT11dは、該当画素が選択する1H(1水平走査期間、つまり1画素行)以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にTFT11dがオンし、TFT11aのゲート(G)端子とドレイン(D)端子がショートされる。そのため、TFT11aはオフする。したがって、TFT11bには電流が流れなくなり、EL素子15は非点灯となる。

【1046】EL素子15が非点灯状態の時、TFT11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、TFT11dがオンされている期間、印加されることになる。そのため、ロジック的にはTFT11dとTFT11gとは同時にオンすることになる。

【1047】TFT11gのゲート(G)端子は $V_{sg}$ 電圧が印加されて固定されている。逆バイアス線4001を $V_{sg}$ 電圧より十分に小さな逆バイアス電圧を逆バイアス線4001に印加することによりTFT11gがオンする。

【1048】その後、前記該当画素に映像信号が印加(書き込まれる)される水平走査期間がくると、ゲート信号線17a1にオン電圧が印加され、TFT11cがオンする。したがって、ソースドライバ回路14からソース信号線18に出力された映像信号電圧がコンデンサ19に印加される(TFT11dはオン状態が維持されている)。

【1049】TFT11dをオンさせると黒表示となる。1フィールド(1フレーム)期間に占めるTFT11dのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても1フィールド(1フレーム)の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にEL素子15に流す電流と大きくする必要がある。この動作は、本発明のN倍パルス駆動である(このN倍パルス駆動については、後ほど説明をする。図31、図33、図62、図63、図87、図88などを参照のこと)。したがって、以降に説明するN倍パルス駆

動と、TFT11dをオンさせて黒表示とする駆動とを組み合わせることが本発明の1つの特徴ある動作である。また、EL素子15が非点灯状態で、逆バイアス電圧をEL素子15に印加することが本発明の特徴ある構成(方式)である。

【1050】以降に説明するN倍パルス駆動は、1フィールド(1フレーム)期間内において、1度、黒表示をしても再度、EL素子15に所定の電流(プログラムされた電流(コンデンサ19に保持されている電圧による))を流すことができる。しかし、図404の構成では、一度、TFT11dがオンすると、コンデンサ19の電荷は放電(減少を含む)されるため、EL素子15に所定の電流(プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

【1051】なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図405に図示するような電圧プログラムの画素構成でも適用することができる。

【1052】図405は一般的に最も簡単な電圧プログラムの画素構成である。TFT11bが選択スイッチング素子であり、TFT11aがEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のTFT(スイッチング素子)11gを配置(形成)している。

【1053】図405の画素構成では、EL素子15に流す電流は、ソース信号線18に印加され、TFT11bが選択されることにより、TFT11aのゲート(G)端子に印加される。

【1054】逆バイアス電圧VmをEL素子15に印加するためには、TFT11aがオフさせる必要がある。TFT11aをオフさせるためには、TFT11aのVdd端子とゲート(G)端子間をショートすればよい。この構成については、後に図458を用いて説明をする。

【1055】また、ソース信号線18にVdd電圧またはTFT11aをオフさせる電圧を印加し、TFT11bをオンさせてTFT11aのゲート(G)端子に印加させてもよい。この電圧によりTFT11aがオフする(もしくは、ほとんど、電流が流れないような状態にする(略オフ状態:TFT11aが高インピーダンス状態))。その後、TFT11gをオンさせて、EL素子15に逆バイアス電圧を印加する。この逆バイアス電圧Vmの印加は、全画素同時に行ってもよい。つまり、ソース信号線18にTFT11aを略オフする電圧を印加し、すべての(複数の)画素行のTFT11bをオンさせる。したがって、TFT11aがオフする。その後、TFT11gをオンさせて、逆バイアス電圧をEL素子15に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

【1056】図406の電圧プログラム(図67なども参照のこと)の画素行でも逆バイアス電圧駆動を実施できることは言うまでもない。

【1057】図406の画素構成では、まず、ソース信号線18にVdd電圧が印加され、TFT11c、11eがオンする。したがって、TFT11aに電流がながれ、TFT11aのドレイン(D)端子の電位がVk電圧の方向にシフトする。次に、TFT11bがオンし、また、TFT11eがオフして、コンデンサ19aにTFT11aのVtが保持される。その後、TFT11bがオフし、ソース信号線18に映像信号電圧が印加され、この電圧がコンデンサ19bに印加された後、TFT11cがオフして、前記映像信号電圧がコンデンサ19bに保持される。

【1058】TFT11gのオンオフ制御は、後に説明するが、N倍パルス駆動方式にしたがって制御される。TFT11eがオンすれば、駆動TFT11aからの電流がEL素子15に流れる。TFT11eがオフの時には、TFT11gがオンし、逆バイアス電圧がEL素子15に印加される。したがって、TFT11eのオンオフ制御とTFT11gのオンオフ制御とはロジック的に逆ロジックとすればよい。

【1059】図407は逆バイアス電圧駆動を実現する表示パネルの回路構成である(ドライバを含む構成である)。図407では図400の画素構成を例示して説明をするが、これに限定するものではない。例えば、図401、図406などであっても同様あるいは当業者であれば簡単な変更を加えるだけで適用することができることは言うまでもないであろう。

【1060】ゲート信号線17a、ゲート信号線17bの制御およびドライバ回路12aの構成は、すでに説明したので省略する。ゲートドライバ12cは逆バイアス線4001を制御する信号(電圧、電流)を出力(制御)する。

【1061】ゲートドライバ12cはゲートドライバ12aと同様に、クロック(CLK3N、CLK3P)、スタートパルス(ST3)などの制御信号で制御される。このスタートパルスは、ゲートドライバ12aと同様にシフトレジスタ22c内をシフトしていき、逆バイアス電圧の選択位置と選択する。また、3271cの機能、動作はゲートドライバ12aの機能あるいは動作と同様であるので説明を省略する。

【1062】ゲートドライバ12cはVsh電源(電圧)とVsl電源(電圧)で制御される。また、逆バイアス線4001には、Vsh電圧またはVsl電圧が印加される。つまり、図400などにおいて、逆バイアス電圧VmとはVsl電圧である。したがって、Vsg電圧よりもVsh電圧は高い。また、Vsg電圧よりもVsl電圧が低い。そのため、TFT11gがNチャンネルの場合は、逆バイアス線4001にVsh電圧が印加

されている場合は、TFT11gはオフ状態である。また、逆バイアス線4001にVs1電圧が印加されている場合は、TFT11gはオン状態となる。

【1063】ゲートドライバ12cはゲートドライバ12aと同期を取り、EL素子15に電流が流れていない期間にEL素子15に逆バイアス電圧を印加する。基本的には、ゲート信号線17bにオフ電圧が印加されている画素行が該当する逆バイアス線4001に逆バイアス電圧Vs1が印加される。なお、基本的には、ゲート信号線17bにオン電圧が印加されている画素行が該当する逆バイアス線4001には、Vgh電圧が印加される。しかし、EL素子15に電流が流れていなければ、必ず前記EL素子15に逆バイアス電圧を印加すること

に限定されるものではない。つまり、前記画素行の逆バイアス線4001にVgh電圧が印加されていてもよい。

【1064】また、逆バイアス電圧の印加期間は連続している必要はない。例えば、間欠的でも良く、ゲート信号線17bの動作と同期をとる必要はあるが、ランダムであってもよい。また、画像表示を開始する前に、全画素あるいは所定の画素領域に一括に逆バイアス電圧を印加してもよい。

【1065】しかし、基本的には、図151、図157、図215などで説明した（する）ように非表示領域312に逆バイアス電圧を印加するように制御することが構成の回路容易で、また、制御も容易である。したがって、本発明のN倍パルス駆動と図407などの回路構成（逆バイアス駆動）とを組み合わせる用いることが好ましい。

【1066】図408は逆バイアス駆動のタイミングチャートである。なお、チャート図において（1）（2）などの添え字は、画素行を示している。説明を容易にするため、（1）とは、第1画素行目とし、（2）とは第2画素行目を示すとして説明をするが、これに限定するものではない。（1）がN画素行目を示し、（2）がN+1画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図408などの実施例では、図400あるいは図1などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図21、図67、図103などの画素構成においても適用できるものである。

【1067】第1画素行目のゲート信号線17a（1）にオン電圧（Vg1）が印加されている時には、第1画素行目のゲート信号線17b（1）にはオフ電圧（Vgh）が印加される。つまり、TFT11dはオフであり、EL素子15には電流が流れていない。

【1068】逆バイアス線4001（1）には、Vs1電圧（TFT11gがオンする電圧）が印加される。したがって、TFT11gがオンし、EL素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲ

ート信号線17bにオフ電圧（Vgh）が印加された後、所定期間（1Hの1/200以上の期間、または、0.5μsec）後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧（Vg1）が印加される所定期間（1Hの1/200以上の期間、または、0.5μsec）前に、逆バイアス電圧がオフされる。これは、TFT11dとTFT11gが同時にオンとなることを回避するためである。

【1069】次の水平走査期間（1H）には、ゲート信号線17aにはオフ電圧（Vgh）が印加され、第2画素行が選択される。つまり、ゲート信号線17b（2）にオン電圧が印加される。一方、ゲート信号線17bにはオン電圧（Vg1）が印加され、TFT11dがオンして、EL素子15にTFT11aから電流が流れEL素子15が発光する。また、逆バイアス線4001（1）にはオフ電圧（Vsh）が印加されて、第1画素行（1）のEL素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線4001（2）にはVs1電圧（逆バイアス電圧）が印加される。

【1070】以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図407の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動や、図87、図88などで説明した複数画素行を同時に選択する駆動方式とも組み合わせることができることは明らかである。

【1071】図409と図408の差異は、ゲート信号線17bが選択時を含む複数水平走査期間でオフ電圧（Vgh）が印加され、この期間に逆バイアス線4001に逆バイアス電圧Vs1が印加されていることである。つまり、複数水平走査期間にわたり、EL素子15に逆バイアス電圧が印加されている。

【1072】以上の図409のように、複数水平走査期間にわたって、逆バイアス電圧を印加するように駆動してもよい。また、間欠的に複数水平走査期間に逆バイアス電圧を印加してもよい。たとえば、奇数画素行は第2、4、6、8……水平走査期間に逆バイアス電圧を印加し、偶数画素行は第1、3、5、7……水平走査期間に逆バイアス電圧を印加してもよい。また、第1フレームは第1、5、8、9……水平走査期間に逆バイアス電圧を印加し、第2フレームでは、残りの第2、3、4、6、7、10……水平走査期間に逆バイアス電圧を印加してもよい。ただし、EL素子15が点灯している画素行には逆バイアス電圧を印加することができないのでこれを考慮して駆動することは言うまでもない。

【1073】図410は1水平走査期間（1H）を2つの期間に分割し、前半の期間はEL素子15を点灯さ

せ、後半の期間に逆バイアス電圧を印加する駆動方式である。もちろん、後半の期間はEL素子15を点灯させ、前半の期間に逆バイアス電圧を印加してもよい。また、1H期間を3つ以上の期間に分割し、EL素子15に電流または逆バイアスを印加するように駆動してもよいことは言うまでもない。

【1074】図410では、第1画素行目のゲート信号線17a(1)にオン電圧(Vg1)が印加されている時には、第1画素行目のゲート信号線17b(1)にはオフ電圧(Vgh)が印加される。つまり、TFT11dはオフであり、EL素子15には電流が流れていない。

【1075】また、逆バイアス線4001(1)には、Vsh電圧(TFT11gがオフする電圧)が印加される。もちろん、この期間は、EL素子15には電流が流れていないため、この期間にEL素子15に逆バイアス電圧を印加してもよい。

【1076】次の水平走査期間(1H)には、ゲート信号線17aにはオフ電圧(Vgh)が印加され、第2画素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17bには1水平走査期間の前半部にオン電圧(Vg1)が印加され、TFT11dがオンして、EL素子15にTFT11aから電流が流れEL素子15が発光する。1水平走査期間の後半部には、逆バイアス線4001(1)にはオン電圧(Vs1:逆バイアス電圧)が印加されて、第1画素行(1)のEL素子15に逆バイアス電圧が印加される。

【1077】したがって、1水平走査期間の前半部では、EL素子15が発光し、この時、TFT11gはオフ状態である。1水平走査期間の後半部ではTFT11gがオンし、EL素子15には逆バイアス電圧が印加されている。この時、EL素子15は消灯状態である。逆バイアス電圧は、ゲート信号線17bにオフ電圧(Vgh)が印加された後、所定期間(1Hの1/200以上の期間、または、0.5μsec)後に、逆バイアス電圧が印加されるようにすることが好ましい。また、ゲート信号線17bにオン電圧(Vg1)が印加される所定期間(1Hの1/200以上の期間、または、0.5μsec)前に、逆バイアス電圧がオフされるように駆動することが好ましい。これは、TFT11dとTFT11gが同時にオンとなることを回避するためである。以上の動作を、順次、画素行に実施していくことにより、1画面の画像が書き換えられ、また、逆バイアス電圧がEL素子15に印加される。この駆動状態を図411に図示している。

【1078】図410では、1水平走査期間を前半部と後半部に分割し、EL素子15に電圧を印加する期間と逆バイアス電圧を印加する期間とを設けている。ゲート信号波形は、図410でも明らかなように、ゲート信号

線17bと逆バイアス線4001とが逆位相となるように動作している。逆バイアス線4001をゲート信号線17bと平行に形成(配置)した場合、以上のように逆位相とすることにより、ゲート信号線17bがソース信号線18に与えるカップリングと、逆バイアス線4001が前記ソース信号線18に与えるカップリングとが打ち消しあう。そのため、ゲート信号線17b、逆バイアス線4001の駆動によるソース信号線18へのカップリングが発生しない。したがって、画像ノイズのない良好な画像表示を実現できる。

【1079】また、図410などの駆動方法では、1水平走査期間の一部の期間にEL素子15が点灯する。したがって、EL素子15が1フレーム(1フィールド)期間連続して点灯する駆動方式に比較して、平均輝度が低くなる(表示輝度は、1フレーム(1フィールド)内の点灯期間に比例する。))。

【1080】したがって、EL素子15が1フレーム(1フィールド)期間連続して点灯する駆動方式と同一にするには、単位時間あたりにEL素子15に流す電流を大きくする必要がある。この駆動方法は、本発明のN倍パルス駆動である。つまり、図410の駆動方法は、N倍パルス駆動と逆バイアス駆動とを組み合わせた駆動方法である。なお、このN倍パルス駆動については、後ほど説明をする(図31、図33、図62、図63、図87、図88などを参照のこと)。

【1081】ただし、図410において、逆バイアス線4001とゲート信号線17bとを逆位相にするとしたが、信号波形の立ち上がりと立下りが完全に一致させる必要はない。ゲート信号線17bと逆バイアス線4001の変化位置がずれていても、ソース信号線18の電位変動を抑制する効果が発揮されるからである。このことは、電流プログラム方式のパネル構成で顕著である。実験によれば、変化位置は1H(1水平走査期間)の20%以内(たとえば、1Hが100(μsec)であれば、20(μsec)以内)であれば、変化位置が一致している場合を差異はない。

【1082】また、図410において、ゲート信号線17bの変化は1H周期としているがこれに限定するものではない。全ゲート信号線17bが所定期間でオン電圧が印加させる期間(T1)が一致すればよい。したがって、HD(水平同期信号)と同期をとる必要はない。各画素のゲート信号線17bがフリーランで動作させてもよい。ゲート信号線17bにオン電圧を印加し、また、オフ電圧を印加する周期が、水平同期信号(HD)と全く非同期でもよい。また、垂直同期信号(VD)と同期を取っても良い。また、ソースドライバ回路14のクロックと同期を取るように構成してもよい。逆バイアス線4001は、EL素子15に電流が流れていない期間に逆バイアス電圧を印加するように構成すればよい。

【1083】図412は1H期間を単位として、逆バイ

アス線4001とゲート信号線17bに逆位相の信号を印加した駆動方法である。図410、図411などと同様に、ゲート信号線17bと逆バイアス線4001は平行に、かつ、両信号線がソース信号線18と直交するように形成（配置）した場合に、有効である。

【1084】なお、図412では1水平走査期間（1H）を単位として、逆バイアス電圧あるいは、ゲート信号線17bにオン電圧を印加するとしたがこれに限定するものではなく、2Hあるいはそれ以上の水平走査期間を単位として逆バイアス電圧またはオン電圧を印加しても良いことは言うまでもない。

【1085】また、逆バイアス電圧が印加されていないときに、EL素子15に電流が流れるように構成すればよい。もしくは、EL素子に電流が流れない期間に逆バイアス電圧を印加するという関係が保たればよい。したがって、1水平走査期間を単位とする必要はない。つまり、1水平走査期間のクロック（HD）の同期を取ることなく、EL素子15への印加電流をオンオフ制御してもよい。この際に、逆バイアス線4001に印加する信号の極性と、ゲート信号線17bに印加する信号の極性とが略逆極性となる関係を維持できるように駆動する。もちろん、N倍パルス駆動と組み合わせや、ブロック駆動などと組み合わせてもよいことは言うまでもない。つまり、以前から何度も記載しているように、本明細書で記載された実施例は相互に組み合わせることができる。

【1086】図413は、ブロックで逆バイアス電圧を印加する駆動方式である。図413では説明を容易にするため、表示画面を21aから211の12のブロックに分割したように図示している。しかし、これに限定するものでなく、分割数は12以下でもよく、また12以上でもよい。

【1087】図413（a）は書き込み画素行871位置を図示している。図413（a）では、表示画面21bに書き込み画素位置871があることを示している。もちろん、書き込み画素行871位置は、水平同期信号に同期して、1画素行（もちろん、インターレース駆動のように、飛び飛びの画素行に書き込み画素行871が発生する駆動方式もある。また、場合によっては、2画素行飛ばしあるいはそれ以上の間隔で画素行に画像を書き込む駆動方式もある。また、画面の上半分と下半分とを分離し、独立してあるいは交互に画像を書き込む駆動方式もある。この場合も本発明に含まれることは言うまでもない）。

【1088】図413（b）は表示ブロック311と非表示ブロック312とを示している。表示ブロック311とは、EL素子15に電流がながれ画像が表示されているブロックである（映像表示で黒表示も含まれる）。非表示領域312とは、図1ではTF T11dがオフとなり（つまり、駆動TF TとEL素子15間に電流経路

がない状態）、EL素子15が非点灯状態である。ここで重要なのは、書き込み画素行871が存在するブロックは、非表示領域312であるという点である。

【1089】また、図413（c）は、逆バイアス電圧が印加されているブロック（逆バイアス電圧印加ブロック4131）と、逆バイアス電圧が印加されていないブロック（逆バイアス電圧非印加ブロック4132）を図示している。ここで、重要なのは、図413（b）の非点灯ブロック312が逆バイアス電圧ブロック4131としている点である。なお、図413（b）の非点灯ブロック312のすべてが逆バイアス電圧ブロック4131にする必要はない。少なくとも、非点灯ブロック312のうち、1つは逆バイアス電圧を印加するブロックとすればよい。

【1090】以上の駆動状態では、書き込み画素行871があるブロックは非点灯状態にする。しかし、書き込み画素行871があるブロックを逆バイアス電圧非印加ブロック4132とする必要はない。つまり、図1の画素構成では、各表示ブロックでゲート信号線17bにオフ電圧が印加されていれば、EL素子15には電流が流れていない。したがって、該当ブロックのEL素子15には逆バイアス電圧を印加することができるからである。

【1091】以上のように、図413の駆動方法では、書き込み画素行871の位置に応じて、非点灯ブロック312と逆バイアス電圧印加ブロック4131を制御する。したがって、書き込み画素号871が順次走査（画像が書き換えられる）されるごとに、非表示領域312が移動し、また、逆バイアス電圧印加ブロック4131が移動する。

【1092】図413のように、表示ブロックごとに逆バイアス電圧を印加する構成では、図407のように、逆バイアス電圧印加位置を制御するゲートドライバ12cは必要でなくなる。たとえば、図414に図示するように、複数の逆バイアス線4001と逆バイアス共通線4141で共通にする。ただし、4画素行ずつに限定されるものではない。4画素行以上でも以下でもよい。しかし、1ブロックの画素数をあまりに多くするとブロックの境目が目立つようになる。また、4画素行の組みなどの一定値に限定されるものではない。たとえば、比較的人間の解像度の高い画面中央部は、1つのブロックの画素行数を少なくし、画面の上下部は1つのブロックの画素行数を多くしてもよい。一例としては、画面の中央部のブロックは、8画素行／1ブロックとし、画面の上下部は32画素行／1ブロックとし、画面の上下部と中央部は、16画素行／1ブロックあるいは24画素行／ブロックとしてもよい。もちろん、各ブロックにおいて逆バイアス共通線4141で共通にされる画素行数はランダムとしてもよい。

【1093】一例としての図414では、隣接した4画

素行の逆バイアス線4001を逆バイアス共通線4141でショートしている。つまり、4本の逆バイアス共通線4141(4141a、4141b、4141c、4141d)を具備している。また、N(Nは1以上の整数)画素行、N+1画素行、N+2画素行、N+3画素行は逆バイアス共通線4141dで共通化されている。N+4画素行、N+5画素行、N+6画素行、N+7画素行は逆バイアス共通線4141cで共通化されている。N+8画素行、N+9画素行、N+10画素行、N+11画素行は逆バイアス共通線4141bで共通化され、N+12画素行、N+13画素行、N+14画素行、N+15画素行は逆バイアス共通線4141aで共通化されている。また、N+16画素行、N+17画素行、N+18画素行、N+19画素行は逆バイアス共通線4141dで共通化されている。

【1094】以上のように、4本の逆バイアス共通線4141で順番に共通化されている。もちろん、4本以上の逆バイアス共通線4141を形成し、順番に共通化してもよい。

【1095】以上の逆バイアス共通線4141を用いて、複数の画素行に逆バイアス電圧を印加するように構成すれば、逆バイアス線4001に個別にTFT11gを形成する必要がない。そのため、画素構成が簡略化される。もしくは、逆バイアス線4001制御用のゲートドライバ回路12cが不要になる。つまり、1画素行ごとに制御するゲートドライバ12cは必要でなく、逆バイアス共通線4141の本数分の制御回路(逆バイアス電圧を印加するか否かを制御する)を配置または形成しておけばよい。そのため、ゲートドライバ回路12cを形成または配置する構成に比較して、大幅に構成の簡略化を実現できる。

【1096】図415は図414のように、逆バイアス共通線4141を用いて、逆バイアス電圧を印加するブロックに区切って駆動する本発明の駆動方法である。図415(c)の4151は逆バイアス電圧印加画素行を示しており、4152は逆バイアス電圧非印加画素行を示している。図415でわかるように逆バイアス電圧は、1ブロック飛ばし(1ブロックは1画素行以上である。図415では作図を容易にするため、あるいは理解を容易にするため、1ブロック=1画素行としている。しかし、本発明はこれに限定するものではない。)印加している。この状態では、逆バイアス共通線4141は2本(4141a、4141b)でよい。つまり、1本目の逆バイアス共通線4141aは奇数番目に位置するブロックと接続されており、2本目の逆バイアス共通線4141bは偶数番目に位置するブロックと接続されている(1本目の逆バイアス共通線4141aは奇数番目に位置する画素行と接続されており、2本目の逆バイアス共通線4141bは偶数番目に位置する画素行)と接続されている)。この構成を図416に例示している。

【1097】もちろん、逆バイアス共通線4141は2本に限定されるものではない。3本以上であってもよい。また、すべての画素行に逆バイアス電圧を印加するように構成することに限定されるものではない。つまり、偶数画素行にのみ逆バイアス電圧を印加できるように構成したり、画面の上半分のみに逆バイアス電圧を印加できるように構成してもよい。また、逆バイアス共通線4141を形成するとしたが、これに限定されるものではなく、逆バイアス信号線4001に電圧を直接印加するドライバ回路を形成または積載してもよいし、また、TAB技術を用いて逆バイアス電圧を印加できるように構成してもよい。また、逆バイアス電圧の走査方向は、ゲートドライバ回路12aと同一方向にすることに限定されるものではない。たとえば、逆方向に走査してもよいし、ランダムでもよい。また、インターレース走査を実施してもよい。以上の事項は本発明の他の実施例にも適用されることはいうまでもない。

【1098】また、図415(a)(b)でわかるように、書き込み画素行871を含むブロックは非表示領域312としている。つまり、黒表示状態である。図1の画素構成では、この画素行のTFT11dはオフ状態である。また、図415(c)でわかるようにこのブロックには逆バイアス電圧が印加されている(TFT11gがオン状態)。

【1099】以上のように、本発明は、書き込み画素行を含むブロックは、非表示領域312とする。また、非表示領域312には、逆バイアス電圧を印加する(ただし、必ずしも印加することに限定するものではない。このことは以前にも説明をした)。

【1100】ただし、図21のようにカレントミラーの画素構成では、書き込み画素行を含むブロックは、表示ブロック311としてもよい。つまり、書き込み画素行が電流を書き込むと同時にEL素子15に電流を流して点灯させてもよい。

【1101】図415(c)のように、1本目の逆バイアス共通線4141aは奇数番目に位置する画素行と接続されており、2本目の逆バイアス共通線4141bは偶数番目に位置する画素行に接続されている状態では、1画素行ごとに逆バイアス電圧印加画素行4151と逆バイアス電圧非印加画素行4152とが繰り返される。もちろん、1画素行ごとに、逆バイアス電圧印加画素行4151と逆バイアス電圧非印加画素行4152とが繰り返される状態に限定されるものではない。複数の画素行が連続して逆バイアス電圧非印加画素行4152となるように電圧を印加してもよい。

【1102】以上の実施例は、逆バイアス電圧位置をゲートドライバ回路12と同期をとり変化させる構成(方式)を想定していたが、本発明はこれに限定されるものではない。たとえば、図417、図418は、1F(フィールドあるいはフレーム)の一定期間に集中して逆バ



イアス電圧を印加する方式である。なお、説明あるいは理解を容易にするため、画素構成は逆バイアス共通線 4141 を 2 本有する図 416 の構成とする。なお、図 417 などの添え字 (1) (2) などは以前からの説明と同様に画素行を示すものとする。また、各図の最上段の数字も以前からの説明と同様に 1 H の回数を示すものとする。

【1103】まず、図 417 において、VD (垂直同期信号) は立ち上がりで 1 F の最初を示す。VD から 16 H の期間、逆バイアス共通線 4141 a、4141 b に逆バイアス電圧が印加される。この際、逆バイアス共通線 4141 a と逆バイアス共通線 4141 b とは、交互に逆バイアス電圧が印加される。このように複数の逆バイアス共通線 4141 に交互に逆バイアス電圧を印加するのは、隣接した逆バイアス制御線 4001 に逆極性の信号を印加し、ソース信号線 18 あるいはゲート信号線 17 へのカップリングの影響を少なくするためである。

【1104】図 417 で明らかなように逆バイアス共通線 4141 a に印加する信号の立上がり位置と逆バイアス共通線 4141 b に印加する信号の立下り位置とが一致するように信号を印加している。したがって、この信号が伝達される逆バイアス制御線 4001 は、隣接画素行で逆極性となっている。そのため、この逆バイアス制御線 4001 と交差するソース信号線へのカップリングは打ち消しあう。そのため、逆バイアス電圧を印加してもソース信号線 18 への信号変動は発生しない。つまり、本発明は、表示パネルの表示領域 12 で異なる信号極性の逆バイアス電圧を印加するものである。図 416 の画素構成では、隣接した画素行で逆極性の逆バイアス電圧 (信号) を印加すると良好な結果を得られる。しかし、隣接した画素行に逆極性の信号を印加することに限定するものではなく、複数の画素行からなるブロックごとに逆極性の信号を印加しても効果は高く、また、複数画素行ごとに逆極性の信号を印加してもよい。

【1105】図 417 では、逆バイアス共通線 4141 に逆バイアス電圧が印加されている時 (いずれかの) 画素に逆バイアス電圧が印加されている時、各ゲート信号線 17 a にはオフ電圧が印加されている。つまり、非プログラム状態である。同時に、EL 素子 15 に流す電流のオンオフを制御するゲート信号線 17 b にもオフ電圧を印加し、EL 素子 15 への電流を遮断しておくことが望ましい。逆バイアス電圧の印加により、EL 素子 15 の発光輝度が急激に変化する場合があり、視覚的にちらつきとして見える場合があるからである。

【1106】図 417 では VD から 16 H 後、画素行 (1) のゲート信号線 17 a にオン電圧が印加され、画素 16 に電流がプログラムされる。その後、ゲート信号線 17 b (1) にオン電圧が印加され、対応する EL 素子 15 が点灯する。以降は、同様に画素行 (2) のゲート信号線 17 a にオン電圧が印加され、画素 16 に電流

がプログラムされる。その後、ゲート信号線 17 b

(2) にオン電圧が印加され、対応する EL 素子 15 が点灯するという動作が順次実施される。この動作は、以前に説明したので省略する。

【1107】図 417 では 16 H の期間、1 H ごとに逆バイアス共通線 4141 a、4141 b の信号極性を反転させる構成であった。これに限定するものではない。たとえば、図 418 に図示するように、16 H の期間、8 H ごとに逆バイアス共通線 4141 a、4141 b の信号極性を反転させる構成でもよい。

【1108】なお、図 417、図 418 において、逆バイアス共通線 4141 a への信号の立ち上がりと逆バイアス共通線 4141 b への信号の立下り (逆バイアス共通線 4141 b への信号の立ち上がりと逆バイアス共通線 4141 a への信号の立下り) 位置とを一致させとしたが、これに限定するものではない。実験によれば、変化位置は 1 H (1 水平走査期間) の 20% 以内 (たとえば、1 H が 100 ( $\mu\text{sec}$ ) であれば、20 ( $\mu\text{sec}$ ) 以内) であれば、変化位置が一致している場合と差異はない。

【1109】図 417、図 418 では 1 F の一定期間に集中して各画素に逆バイアス電圧を印加するとしたがこれに限定するものではない。複数 F に一度、逆バイアス電圧を印加するという構成にしてもよい。また、1 F に複数回、逆バイアス電圧を印加するという構成でもよい。また、F に限定するのではなく、定期的あるいは不定期的に逆バイアス電圧を印加する構成 (方式) としてもよい。たとえば、表示パネルを有する装置の電源オンした直後あるいは電源オフした直後に、逆バイアス電圧を印加するように構成してもよい。また、装置を使用していない時に、搭載タイマーを定期的に動作させて、表示パネルの EL 素子 15 に逆バイアス電圧を印加するように構成してもよい。

【1110】なお、本明細書の逆バイアス電圧を印加するという発明 (装置、駆動方法、方式) では、逆バイアス電圧の電圧は固定値のように説明してきたが、これに限定するものではない。複数の逆バイアス電圧を印加してもよい (たとえば、 $-15\text{ (V)}$ 、 $-10\text{ (V)}$ 、 $-5\text{ (V)}$  など)。また、各画素行もしくは各画素に印加する逆バイアス電圧の値を変化させてもよい (たとえば、隣接した画素に異なる逆バイアス電圧を印加する方式が例示される。もちろん、隣接した画素に逆バイアス電圧を必ず印加することに限定するものではない。電圧無印加状態でもよい)。また、R、G、B などの色に対応する画素ごとに印加する逆バイアス電圧の絶対値あるいは印加時間などを変化させてもよい。各色に対応する EL 材料の構成あるいは駆動電圧が異なるからである。また、経過時間とともに、印加する逆バイアス電圧を変化させてもよい (たとえば、各画素に逆バイアス電圧を印加した直後は、印加する逆バイアス電圧の絶対値を小さ

くし、少しずつ印加する逆バイアス電圧の絶対値を大きくする方式などが例示される)。また、逆バイアス電圧は矩形波状に印加してもよい。たとえば、1F(フィールド、フレーム)の一定の期間のみに逆バイアス電圧を印加する方式である。

【1111】図417、図418などの逆バイアス電圧駆動方式(図417などに限定されるものではない)は、図1の電流プログラムの画素構成について述べたが、これに限定するものではなく、図21などにも適用できることは言うまでもなく、また、図54、図67、図103などの電圧プログラムの画素構成にも適用できることは言うまでもない。

【1112】図415は逆バイアス共通線4141が2本の構成であった。図419は逆バイアス共通線4141が16本の構成である(逆バイアス共通線4141(0:15))。逆バイアス共通線4141(0:15)は図349で説明したデコード回路3491で選択するように構成することにより、制御回路からの逆バイアス共通線を選択する制御線数を減少させることができる(たとえば、図419のように逆バイアス共通線が16本の場合は、選択制御線は4本でよい。逆バイアス共通線が256本の場合は、選択制御線は8本である)。

【1113】図419の構成では、逆バイアス共通線が16本である。したがって、1つの逆バイアス共通線(たとえば、逆バイアス共通線4141(0)は16画素行ごとに接続されている)。

【1114】図419の構成において、図415と同様に、偶数番目の逆バイアス共通線(4141(0)、4141(2)、4141(4)、4141(6)、4141(8)...)と、奇数番目の逆バイアス共通線(4141(1)、4141(3)、4141(5)、4141(7)、4141(9)...)との信号極性を逆極性の関係となるように駆動してもよい。また、逆バイアス共通線(4141(0)、4141(1)、4141(4)、4141(5)、4141(8)、4141(9)...)と、逆バイアス共通線(4141(2)、4141(3)、4141(6)、4141(7)、4141(10)、4141(11)...)というように2本(もちろん、複数本の組本数でよい)の共通線を連続して組とし、この組の信号極性を逆極性の関係となるように駆動してもよい。

【1115】図419の構成においても、逆バイアス共通線4141(0:15)を、ゲートドライバ回路12aと同期をとって、順次走査してもよい。また、図417などと同様に、一定期間に集中して逆バイアス電圧を印加してもよい。この方法(1方式)を図420に図示する。

【1116】図420では、VD信号の立ち上がり後、

まず、逆バイアス線4141(0)に逆バイアス電圧を印加(逆バイアス電圧が印加されるような信号を印加)が印加される。したがって、逆バイアス線4141(0)が画素行(1)、画素行(17).....に接続されていれば、この画素行(1)、(17).....に逆バイアス電圧が印加される。次の1Hでは、逆バイアス線4141(1)に逆バイアス電圧を印加(逆バイアス電圧が印加されるような信号を印加)が印加される。したがって、逆バイアス線4141(1)が画素行(2)、画素行(18).....に接続されていれば、この画素行(2)、(18).....に逆バイアス電圧が印加される。また、次の1Hでは、逆バイアス線4141(2)に逆バイアス電圧を印加(逆バイアス電圧が印加されるような信号を印加)が印加される。したがって、逆バイアス線4141(2)が画素行(3)、画素行(19).....に接続されていれば、この画素行(3)、(19).....に逆バイアス電圧が印加される。以上の動作が、逆バイアス線4141(15)まで繰り返される。また、必要の応じて、逆バイアス線4141(0)から順次、同様の動作が実施される。

【1117】図420ではVDから16H後、画素行(1)のゲート信号線17aにオン電圧が印加され、画素16に電流がプログラムされる。その後、ゲート信号線17b(1)にオン電圧が印加され、対応するEL素子15が点灯する。以降は、同様に画素行(2)のゲート信号線17aにオン電圧が印加され、画素16に電流がプログラムされる。その後、ゲート信号線17b(2)にオン電圧が印加され、対応するEL素子15が点灯するという動作が順次実施される。この動作は、以前に説明したので省略する。

【1118】なお、図419において逆バイアス共通線(逆バイアス線)4141は16本としたが、これに限定するものではなく、16本以上でも以下でも良い。また、1つの逆バイアス線4141に連続した複数の画素行の逆バイアス制御線4001と接続してもよい。また、図420では、逆バイアス線4141は0番目から15番目まで順次1Hに同期して逆バイアス電圧が印加されたとしたが、これに限定するものではなく、逆バイアス線4141に逆バイアス電圧を印加(逆バイアス電圧が印加されるような信号を印加)する順番はランダムでもよい。また、1Hと同期する必要もない。また、逆バイアス線4141に1回の逆バイアス電圧を印加することに限定されるものでもない。ただし、各逆バイアス線4141の信号の立下りと立ち上がりが打ち消しあうように駆動することに注意を払うことが好ましいことは言うまでもない。このことは以前に説明したので省略する。つまり、他の事項は図417などで説明した事項が適時適用されることは言うまでもない。

【1119】図421は図349と同様に図327、図

333の回路を拡張したものである。図421とすれば逆バイアス電圧制御が容易となる。ゲートドライバ12bのシフトレジスタ22bの入力信号(CLK2、ST2)はゲートドライバ12aのシフトレジスタ22aの入力信号(CLK1、ST1)と同一にされる。したがって、STデータはシフトレジスタ22a、22b内の同一位置で保持され、保持位置がクロックに同期を取ってシフトされる。したがって、図326で図示するように、ゲート信号線17aが選択している画素行は必ず、ゲート信号線17bにはオフ電圧(Vgh)が出力されるように制御される。

【1120】いずれの期間に逆バイアス線4141(0:15)に逆バイアス電圧を出力するかは、SEL(0:3)端子に印加するロジック信号で決定される。コントローラからは4本のSEL(0:3)端子がデコーダ回路3491に接続されている。このSEL端子のデータをデコーダ回路3491がデコードし、どの逆バイアス線4141(0:15)にオン電圧またはオフ電圧を出力されるかが決定される。

【1121】OR回路3272の出力は、シフトレジスタ22bがデータを保持している箇所に該当するゲート信号線17bは必ず、オフ電圧が出力される(この画素行はゲートドライバ14aにより選択され、画素に電流がプログラムされている)。選択されている画素行のゲート信号線17bはドライバ12cの出力信号線のロジックにより、オンオフ状態が切り替えられる。

【1122】逆バイアス電圧を印加する画素構成(図406、図405、図404、図403、図402、図401、図400などが例示される)では、逆バイアス電圧の印加と非印加とを切り替えるため(逆バイアス電圧のオンオフ制御をするため)にTFT11gなどの制御TFT(制御スイッチング素子)を各画素に形成(構成)する必要がある。このTFT11g(なお、TFTのみに限定するものではない。電流(電圧)経路を形成(作成)できるものであればいずれのものでもよい)は逆バイアス電圧の印加だけでなく、画素TFT(画素を構成するスイッチング素子)の検査にも使用することができる。

【1123】以下、TFT11gを用いて実施する画素の検査方法について説明をする。なお、説明を容易するため、図401の構成を例示して説明をする。また、図443などでは、TFTはスイッチとして記載する。つまり、各TFT11のゲート(G)端子にオフ電圧が印加されている時は、TFTとしてのスイッチはオープン(非導通状態)である。各TFT11のゲート(G)端子にオン電圧が印加されている時は、TFTとしてのスイッチはクローズ(導通状態)である。もちろん、図1、図401の電流プログラムの画素構成に限定するものではなく、図21などにも適用できることは言うまでもなく、また、図54、図67、図103などの電圧ブ

ログラムの画素構成にも適用できることは言うまでもない。また、図401のTFT11gの構成は図403のTFT11gの構成としてもよいことは言うまでもない。また、TFT11bとTFT11cとは個別にオンオフ制御できるようにしているとする(図1(b)を参照のこと)。また、本発明はEL素子15が形成されていない状態で検査を行うことを前提とする(EL素子15が形成されてからは検査できないというものではない)。説明を容易にするためである。

【1124】以上のように、逆バイアス駆動は電流プログラムの画素構成だけでなく、たとえば、図447に図示するような電圧プログラムの画素構成にも適用できる(図67、図68も参照のこと)。まず、図447の構成を説明するために、基本動作について図448を用いて説明をする。図447(図67)の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

【1125】水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、TFT11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、TFT11cがオンする。この時、ソース信号線18にはVdd電圧が印加される。したがって、コンデンサ19bのa端子にはVdd電圧が印加されることになる。この状態で、駆動用TFT11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用TFT11aのドレイン(D)端子は少なくともTFT11aの動作点よりも大きな絶対値の電圧値となる。

【1126】次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、TFT11eがオフする。一方、ゲート信号線17cにT1の期間、オン電圧が印加され、TFT11bがオンする。このT1の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T1は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20μsec以上160μsec以下の時間とすることが好ましい。また、コンデンサ19b(Cb)とコンデンサ19a(Ca)の容量の比率は、Cb:Ca=6:1以上1:2以下とすることが好ましい。

【1127】リセット期間では、TFT11bのオンにより、駆動用TFT11aのゲート(G)端子とドレイン(D)端子間がショートされる。したがって、TFT11aのゲート(G)端子電圧とドレイン(D)端子電圧が等しくなり、TFT11aはオフセット状態(リセット状態:電流が流れない状態)となる。このリセット状態とはTFT11aのゲート(G)端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ19bのb端子

に保持される。したがって、コンデンサ 19 には、オフセット電圧（リセット電圧）が保持されていることになる。

【1128】次のプログラム状態では、ゲート信号線 17c にオフ電圧が印加され TFT11b がオフする。一方、ソース信号線 18 には、Td の期間、DATA 電圧が印加される。したがって、駆動用 TFT11a のゲート（G）端子には、DATA 電圧 + オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用 TFT11a はプログラムされた電流を流せるようになる。

【1129】プログラム期間後、ゲート信号線 17a にはオフ電圧が印加され、TFT11c はオフ状態となり、駆動用 TFT11a はソース信号線 18 から切り離される。また、ゲート信号線 17c にもオフ電圧が印加され、TFT11b がオフし、このオフ状態は 1F の期間保持される。一方、ゲート信号線 17b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 31、図 37、図 108、図 142、図 147、図 152、図 198 などの N 倍パルス駆動などと組み合わせること、図 39、図 154、図 156 のインターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【1130】図 448 の駆動方式では、リセット状態でコンデンサ 19 には、TFT11a の開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧が TFT11a のゲート（G）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 18 と画素 16 とのカップリング、コンデンサ 19 への突き抜け電圧あるいは TFT の突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図 448 で説明した駆動方法では、表示コントラストを高くすることができない。この課題を解決する駆動方法を図 449 に示す。基本的な動作は図 448 と同一であるので、差異部を中心にして説明をする。

【1131】水平同期信号（HD）後、初期化動作が実施される。ゲート信号線 17b にオン電圧が印加され、TFT11g がオンする。また、ゲート信号線 17a にもオン電圧が印加され、TFT11c がオンする。この時、ソース信号線 18 には Vd 電圧よりも低い Vc 電圧が印加される（図 449 の DATA 欄を参照のこと）。この Vc 電圧は Vd 電圧に対して、0.1（V）以上 2.5（V）以下低い値に設定することが好ましい。さらに好ましくは 0.2（V）以上 1.5（V）以下の低い値に設定することが好ましい。ただし、これは、駆動用 TFT11a が P チャンネルの場合である。基本的には、絶対値が最大もしくは最小の電位がデータ電圧の絶対値が最大として、データ電圧が小さい方に 0.2（V）以上 1.5（V）以下の大きさで絶

対値を小さい電圧をソース信号線 18 に印加する。

【1132】したがって、コンデンサ 19b の a 端子には Vc 電圧が印加されることになる。この状態で、駆動用 TFT11a はオンし、EL 素子 15 に僅かな電流が流れる（電流が流れるというよりは、TFT11a を動作させるという方が的確である）。この電流により駆動用 TFT11a のドレイン（D）端子は少なくとも TFT11a の動作点よりも大きな絶対値の電圧値となる（電流が流せる状態となる）。

【1133】次にリセット動作が実施される。ゲート信号線 17b にオフ電圧が印加され、TFT11e がオフする。一方、ゲート信号線 17c に T1 の期間、オン電圧が印加され、TFT11b がオンする。この T1 の期間がリセット期間である。また、ゲート信号線 17a には 1H の期間、継続してオン電圧が印加される。この期間中は DATA 電圧が Vc 電圧に維持される。

【1134】図 448 と同様に、リセット期間では、TFT11b のオンにより、駆動用 TFT11a のゲート（G）端子とドレイン（D）端子間がショートされる（動作は図 448 を差異がない）。したがって、TFT11a のゲート（G）端子電圧とドレイン（D）端子電圧が等しくなり、TFT11a はオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とは TFT11a のゲート（G）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 19b の b 端子に保持される。したがって、コンデンサ 19b には、オフセット電圧（リセット電圧）が保持されていることになる。

【1135】次のプログラム状態では、ゲート信号線 17c にオフ電圧が印加され TFT11b がオフする。一方、ソース信号線 18 には、Td の期間、DATA 電圧が印加される。したがって、駆動用 TFT11a のゲート（G）端子には、DATA 電圧 + オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用 TFT11a はプログラムされた電流を流せるようになる。Td 期間は 1H の 3% 以上 20% 以下の期間もしくは  $3\mu\text{sec}$  以上  $20\mu\text{sec}$  以下とする。このことは、図 448 でも同様である。

【1136】プログラム期間後、ゲート信号線 17a にはオフ電圧が印加され、TFT11c はオフ状態となり、駆動用 TFT11a はソース信号線 18 から切り離される。また、ゲート信号線 17c にもオフ電圧が印加され、TFT11b がオフし、このオフ状態は 1F の期間保持される。

【1137】図 449 では、基本的にはソース信号線 18 に Vc 電圧が印加されている時、黒表示状態となる。しかし、図 449 の駆動方法では、先にも記載したように、突き抜け電圧の影響などにより Vc 電圧の印加では黒浮きが発生する。したがって、完全な黒表示とするた

めには、ソース信号線18にV<sub>c</sub>電圧以上の電圧を印加する必要がある。一方で、V<sub>d</sub>電圧はソースドライバ回路14の電源電圧であるから、V<sub>d</sub>電圧以上の電圧をソース信号線18に出力することはできない。この問題から、リセット状態には、ソース信号線18にDATA電圧として、V<sub>d</sub>電圧以下のV<sub>c</sub>電圧を印加し、リセットさせたのである。

【1138】図449では画素行(N)は第(N)Hでプログラムされる。次の画素行(N+1)は第(N+1)Hでプログラムされる。図449で記載しているように第(N+1)HではDATAとしてV<sub>d</sub>電圧を印加している(Aの記号で示す)。つまり、リセットのV<sub>c</sub>電圧よりもV<sub>d</sub>側に大きな電圧を印加している。つまり、黒表示としている。以上のように、V<sub>c</sub>電圧よりも大きな電圧を印加することにより、駆動用TFT11aをより電流が流れないようにすることができる。そのため、良好な黒表示を実現できる。

【1139】以上のように、図449の駆動方法は、コンデンサ19bを介して交流的に印加する駆動用TFT11aのゲート(G)端子電圧を、リセット電圧よりもTFT11aが電流の流れない方向に制御できるようにリセット時のソース信号線18電位を設定するものである。駆動用TFT11aがPチャンネルの場合は、V<sub>c</sub>電圧はV<sub>d</sub>電圧(TFT11aのソース(S)端子電圧)よりも低く設定する。プログラム時は、ソース信号線18にV<sub>c</sub>電圧よりも大きな電圧を印加できるようにし、TFT11aのゲート(G)端子電圧をよりTFT11aが電流の流れない方向の電圧に設定する。駆動用TFT11aがNチャンネルの場合は、逆に、TFT11aのゲート(G)端子電圧を低くして、よりTFT11aに電流が流れない方向の電圧に設定する。

【1140】なお、図449においても、ゲート信号線17bには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、図39、図154、図156のインターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【1141】図448、図449の駆動方式では、1H(1水平走査期間)のうち、T1の期間内にリセット状態を完了させる必要がある。しかし、駆動用TFT11aのゲート(G)端子とドレイン(D)端子間をショートして行うリセットは、自然放電であるため、比較的長時間を必要とする。そのため、コンデンサ19aの容量が大きい場合など、1H期間内の完全にリセットされない場合がある。もちろん、コンデンサ19aなどの容量を小さくすれば解決するが、容量を小さくすると、プログラムされた電荷の保持率が1F期間維持されないという問題が発生する。

【1142】この課題を解決するためには、複数の水平

走査期間を用いて、リセット状態を維持すればよい。この駆動方法を図450に示す。注意すべき点は、ソース信号線はHDに同期してTFT11aを初期状態にする電圧(図448ではV<sub>d</sub>電圧、図449ではV<sub>c</sub>電圧)が印加されている点である。この電圧がリセット期間の途中で画素に印加されないようにする必要がある。以下、図450を参照しながら、本発明の駆動方法について説明する。なお、プログラム対象の画素行は第(N)画素行とし、この画素行は水平走査期間の第(N)H番目で電圧プログラムが完了するものとする。また、図450の実施例では、2H期間を用いて電圧プログラムを実施する。したがって、第(N)番目の画素行は第(N-1)Hから、プログラム動作が開始される。

【1143】なお、図450では2H期間(2水平走査期間)で電圧プログラムされるとして説明をするが、本発明は2H期間に限定されるものではない。複数水平走査期間を用いて画素行が電圧プログラムされるものであればいずれでもよい。また、本発明はリセット状態を長くすることを目的とする。したがって、リセットの期間はHDに同期している必要は何らない。そのため、複数H期間という事項は限定事項ではない。ただ、ハード的に制御回路を構成する場合、HDに同期するように構成する方が構成は容易であるからにすぎない。したがって、他のクロックに同期するように構成してもよい。また、非同期動作に構成してもよい。また、基本的な動作は図448または図449と同様あるいは類似であるので、差異を中心として説明をする。

【1144】第(N-1)Hの水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、TFT11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、TFT11cがオンする。この時、ソース信号線18にはV<sub>d</sub>電圧よりも低いV<sub>c</sub>電圧が印加される。もちろん、図448と同様にV<sub>d</sub>電圧としてもよい。

【1145】したがって、コンデンサ19bのa端子にはV<sub>c</sub>電圧が印加されることになる。この状態で、駆動用TFT11aはオンし、EL素子15に僅かな電流が流れる(電流が流れるというよりは、TFT11aを動作させるという方が的確である)。この電流により駆動用TFT11aのドレイン(D)端子は少なくともTFT11aの動作点よりも大きな絶対値の電圧値となる(電流が流せる状態となる)。

【1146】次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、TFT11eがオフする。一方、ゲート信号線17cにT1の期間、オン電圧が印加され、TFT11bがオンする。本来、リセット期間は約2Hの期間連続して印加することが好ましいが、第(N-1)H期間には、第(N-1)番目の画素行がプログラムされる。したがって、ソース信号線18

10

20

30

40

50

にはTdの期間、第(N-1)番目の画素のDATA電圧が出力される。この第(N-1)番目の画素のDATA電圧が、第(N)番目の画素に書き込まれることを防止する必要がある。そのため、ソース信号線18に第(N-1)番目の画素のDATA電圧が出力されている第(N-1)H期間のTd期間は以下のように制御する。

【1147】まず、第(N-1)H期間のTd期間、ゲート信号線17aにはオフ電圧を印加し、TFT11cをオフ状態にして、ソース信号線18に印加されている第(N-1)番目のDATA電圧が書き込まれないようにする。また、ゲート信号線17cにもオフ電圧を印加してTFT11bをオフ状態にする。このゲート信号線17cにもオフ電圧を印加するという事項は、必ずしも必須の事項ではないが、カップリングなどの影響により、TFT11aのリセット動作に影響がおよぶのを回避するためである(図451を参照のこと。図451では第(N-1)H期間ではゲート信号線17cにオフ電圧を印加していない)。

【1148】次の第(N)H期間では、初期状態は実施しない。ゲート信号線17aにオン電圧を印加し、TFT11cをオンさせる。また、ゲート信号線17cにもオン電圧を印加し、TFT11bをオンさせて、TFT11aをリセットさせる。

【1149】図448、図449と同様に、リセット期間では、TFT11bのオンにより、駆動用TFT11aのゲート(G)端子とドレイン(D)端子間がショートされる。したがって、TFT11aのゲート(G)端子電圧とドレイン(D)端子電圧が等しくなり、TFT11aはオフセット状態(リセット状態:電流が流れない状態)となる。リセット状態を維持するゲート電圧はコンデンサ19bのb端子に保持される。したがって、コンデンサ19bには、オフセット電圧(リセット電圧)が保持されていることになる。

【1150】第(N)H期間では、電圧プログラムが実施される(プログラム状態)。ゲート信号線17cにオフ電圧が印加されTFT11bがオフする。一方、ソース信号線18には、Tdの期間、DATA電圧が印加される。したがって、駆動用TFT11aのゲート(G)端子には、DATA電圧+オフセット電圧(リセット電圧)が加えられたものが印加される。そのため、駆動用TFT11aはプログラムされた電流を流せるようになる。Td期間は1Hの3%以上20%以下の期間もしくは3 $\mu$ sec以上20 $\mu$ sec以下とする。このことは、図448でも同様である。

【1151】プログラム期間後、ゲート信号線17aにはオフ電圧が印加され、TFT11cはオフ状態となり、駆動用TFT11aはソース信号線18から切り離される。また、ゲート信号線17cにもオフ電圧が印加され、TFT11bがオフし、このオフ状態は1Fの期

間保持される。

【1152】図450では、複数の水平走査期間を用いて、TFT11aをリセット状態とするため、リセット状態を十分長くすることができる。そのため、良好な黒表示を実現できる。

【1153】図447では、図401などと同様に、逆バイアス電圧印加用のTFT11gを付加している。したがって、EL素子15に逆バイアス電圧を印加することができ、EL表示装置を長寿命化できる。もちろん、EL素子15に逆バイアス電圧を印加するか、EL素子15に駆動用TFT11aからの電流を印加するかは、TFT11eとTFT11gを制御することによって実施できることは言うまでもない。このことは、図401などで説明した事項を適用すればよいから説明を省略する。また、TFT11g、TFT11eを制御することにより、電流Ivの経路を形成することができる。したがって、以降に説明する図443、図444などの検査方法を実施することができる。

【1154】図443は検査方法の説明図である。4431は電流検出手段である。電流検出手段4431としては、nA程度まで測定できる微小電流計の他、ピックアップ抵抗と電圧計の組み合わせ、電流入力型オペアンプなどが例示される。つまり、電流が流れていることをいずれかの手段で検出できるものであれば何でも良い。また、電流(電圧)検出は、画素構成によりTFT11gに流れ込む方向と流れ出す方向のいずれでも検出できるように構成する(電流あるいは電圧の極性が変化するだけである)。

【1155】また、複数の逆バイアス制御線4001を共通(ショート)し、共通にした一端に電流検出手段4431を接続(配置)してもよいことはいうまでもない。つまり、複数の逆バイアス制御線4001に接続されたいずれかの画素に欠陥が発生していると、前記電流検出手段4431に電流が流れ、欠陥検出を行うことができる。また、電流検出手段4431を1つ用い、この電流検出手段4431の測定端子はプローブなどを用いて逆バイアス制御線4001に順次接続して検査を行っても良い。

【1156】図443(a)では、TFT11bとTFT11gをオンさせ、他のTFT11c、11dをオフさせている。なお、EL素子15が形成されていないから、画素電極48上には何も形成されていない(つまり、アレイ状態での検査である)。電流検出手段4431の一端子は逆バイアス制御線4001と接続され、他端子はVs1電圧とされる。Vs1電圧を印加することにより、図403のTFT11gの構成ではTFT11gがオンする。図401の構成では、信号線4003および逆バイアス制御線4001にVs1電圧を印加すればよい。もちろん、Vs1電圧でなくともよい。たとえば、図401の画素構成では、信号線4003にTFT

11gをオンさせる電圧を印加してTFT11gをオンさせ、逆バイアス制御線4001にはVdd電圧よりも十分に低い電圧を印加すればよい。ここでは説明を容易にするため、Vs1電圧を印加するとして説明をする。

【1157】図443(a)ではTFT11bがオンのため、TFT11aのドレイン(D)端子とゲート(G)端子の電位が等しくなる。そのため、TFT11aはオフ状態となる(電流が流れない状態)。この状態で電流検出手段4431に電流が検出されれば、TFT11dのソース(S)ードレイン(D)端子間ショート(SDショート)が発生している可能性がある。

【1158】次に図443(b)に図示するように、TFT11bをオフ状態にし、また、TFT11dをオン状態にする。図443(a)でTFT11aをオフ状態としているから、図443(b)の状態としても電流は流れないか、もしくは小さな電流しか流れない。もし、図443(a)後の図443(b)の状態で大きな電流が検出されれば、TFT11aのSDショート欠陥が発生している可能性が高い。TFT11aのSDショート欠陥は致命的な欠陥であるから、この欠陥が検出されたアレイは不良である。

【1159】以上のように、本発明の検査方法は、EL素子に電流を供給するTFT11aをオフ状態(電流が流れない状態)にする動作と、EL素子15に逆バイアス電圧を印加するTFT(EL素子とEL素子に電流を供給するTFT11aの電流経路以外の経路から、EL素子に電流または電圧を印加(供給)する経路を形成するスイッチング素子)に流れる電流を検出する動作とを行うことにより、画素欠陥を検出するものである。以上のように、本発明は逆バイアス電圧制御用スイッチング素子を用いて画素の欠陥検査を行うことができる。

【1160】図443は主としてTFT11aの検査を行う方法であった。図444はTFT11cとTFT11dの検査を行う方法である。図444の電圧源4441としては、直流電源の他、シグナルジェネレータなどの信号発生源などが例示される。つまり、一定の電圧あるいは信号を出力できるものであればいずれでも良い。

【1161】また、電流(電圧)検出は、画素構成によりTFT11gに流れ込む方向と流れ出す方向のいずれでも検出できるように構成する(電流あるいは電圧の極性が変化するだけである)。

【1162】また、複数のソース信号線18を共通(ショート)し、共通にした一端に電圧源4441を接続(配置)してもよいことはいうまでもない。つまり、複数の逆バイアス制御線4001に接続されたいずれかの画素に欠陥が発生していると、前記電圧源4441から電流が流れ、欠陥検出を行うことができる。したがって、電圧源4441に電流検出手段を設けることにより、別途電流検出手段4431を設ける必要はなくなる。また、電圧源4441を1つ用い、この電圧源44

41の接続端子に、プローブなどを用いてソース信号線18に順次接続して検査を行っても良い。なお、電流検出手段4431は図443で説明したので構成、方法、動作などの説明を省略する。

【1163】図444(a)では、TFT11gをオンさせ、他のTFT11b、TFT11c、TFT11dをオフさせている。なお、EL素子15が形成されていないから、画素電極48上には何も形成されていない(つまり、アレイ状態での検査である)。電流検出手段4431は図443で説明したのと同様に、電流検出手段4431の一端子は逆バイアス制御線4001と接続され、他端子はVs1電圧とされる。

【1164】図444(a)ではTFT11bがオフのため、コンデンサ19の電荷は放電し、TFT11aのゲート(G)端子はVddで電位と等しくなる。そのため、TFT11aはオフ状態となる(電流が流れない状態)。また、TFT11b、TFT11cと一度オンし、電圧源4441からVdd電圧を出力して、TFT11aのゲート(G)端子をVdd電圧としてもよい。

【1165】図444(a)の状態では電流検出手段4431に電流が検出されれば、TFT11dのソース(S)ードレイン(D)端子間ショート(SDショート)が発生している可能性がある。

【1166】次に、図444(b)に図示するように、TFT11c、TFT11dをオン状態にする。また、電圧源4441からVdd電圧または、信号をソース新ごう線18に印加する。図444(a)でTFT11aをオフ状態としているから、この検査状態ではTFT11aからの電流の供給はない。電圧源4441から供給された電圧は、TFT11c、TFT11dが正常であれば、電流検出手段4431で検出できるはずである。もし、検出できないのであれば、TFT11c、TFT11dのいずれかのSDオープン不良が発生している可能性が高い。TFT11c、TFT11dのSDオープン(オンしない不良)欠陥は致命的な欠陥であるから、この欠陥が検出されたアレイは不良である。

【1167】以上のように、図444で説明した本発明の検査方法は、EL素子に電流を供給するTFT11aをオフ状態(電流が流れない状態)にする動作と、ソース信号線18に電流あるいは電圧を印加する動作と、逆バイアス制御TFT11gとソース信号線間のバス間において前記電圧源(信号源)から流れ出すあるいは流れ込む電流を検出する動作を行うものである。以上のように、本発明は逆バイアス電圧制御用スイッチング素子11gを用いて画素の欠陥検査を行うことができる。また、図443と図444の2つのモードの検査を行うことにより、画素の欠陥の検出を確実に行うことができる。

【1168】以上の実施例は図401の画素構成(基本的には図1の画素構成)の検査方法の実施例であった。

しかし、本発明は図401などに限定されるものではなく、図21、図22、図404などのカレントミラーの画素構成についても適用することができる。以下、この実施例について説明をする。

【1169】図445はカレントミラーの画素構成における検査方法の説明図である。なお、図445などにおいても図443などと同様に、複数の逆バイアス制御線4001を共通（ショート）し、共通にした一端に電流検出手段4431を接続（配置）してもよいことはいうまでもない。つまり、複数の逆バイアス制御線4001に接続されたいずれかの画素に欠陥が発生していると、前記電流検出手段4431に電流が流れ、欠陥検出を行うことができる。また、電流検出手段4431を1つあるいは少数個用い、この電流検出手段4431の測定端子にプローブなどを用いて逆バイアス制御線4001に順次接続して検査を行っても良い。

【1170】図445（a）では、TFT11dとTFT11gをオンさせ、他のTFT11c、11eをオフさせている。電流検出手段4431の一端子は逆バイアス制御線4001と接続され、他端子はV<sub>s1</sub>電圧とされる。V<sub>s1</sub>電圧を印加することにより、図403のTFT11gの構成ではTFT11gがオンする。

【1171】図445（a）ではTFT11dがオンのため、TFT11aのドレイン（D）端子とゲート（G）端子の電位が等しくなる。そのため、TFT11aはオフ状態となる（電流が流れない状態）。この状態で電流検出手段4431に電流が検出されれば、TFT11eのソース（S）ードレイン（D）端子間ショート（SDショート）が発生している可能性がある。

【1172】次に図445（b）に図示するように、TFT11dをオフ状態にし、また、TFT11eをオン状態にする。図445（a）でTFT11aをオフ状態としているから、図445（b）の状態としても電流は流れないか、もしくは小さな電流しか流れない（TFT11bのキंक現象は考慮すべきである）。もし、図445（a）後の図445（b）の状態で大電流が検出されれば、TFT11bのSDショート欠陥が発生している可能性が高い。また、TFT11aが以上の可能性もある。TFT11bのSDショート欠陥は致命的な欠陥であるから、この欠陥が検出されたアレイは不良である。

【1173】以上のように、本発明の検査方法は、図443と同様に、EL素子15（図443、図445ではEL素子15は形成されていない）に電流を供給するTFT11bをオフ状態（電流が流れない状態）にする動作と、EL素子15に逆バイアス電圧を印加するTFT（EL素子15とEL素子15に電流を供給するTFT11bの電流経路以外の経路から、EL素子15に電流または電圧を印加（供給）する経路を形成するスイッチング素子）に流れる電流を検出する動作とを行うことに

より、画素欠陥を検出するものである。以上のように、本発明は逆バイアス電圧制御用スイッチング素子11gを用いて画素の欠陥検査を行うことができる。なお、図443の検査を行う方法についても、図445のカレントミラーの画素構成に適用することができる。

【1174】本発明の画素構成あるいはドライバIC（12、14）などではスイッチング素子はTFTのPチャンネルあるいはNチャンネルで構成するとしたがこれに限定するものではない。たとえば、TFT11gをPチャンネルとNチャンネルのTFTを並列に形成することにより、スイッチング素子を形成（構成）してもよい。このことは、本発明の他の実施例においても適用される。

【1175】図43において画素を構成するTFT11は5個となっている。しかし、図1（a）では4個で構成されている。そのため、図1（a）の構成のほうが画素16を構成するTFT11数が1個少ないため、開口率を高くでき、また、画素欠陥の発生割合が少ないという利点がある。

【1176】図44も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【1177】図44の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、EL素子15に流す電流を制御することができ、図31などに図示した駆動方法あるいは表示状態を実現できる。

【1178】なお、図44ではTFT11eを付加したが、このTFT11eを削除し、ゲート信号線17bを操作し、TFT11dのオンオフ状態を制御することによっても、図31などの画像表示などを実現できることは言うまでもない。

【1179】図53も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【1180】図53の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、TFT11dのオンオフを実現できるから、EL素子15に流す電流を制御することができる。したがって、図31などに図示した駆動方法あるいは表示状態を実現できる。

【1181】なお、図54は電圧プログラムの画素構成の例である。本発明は、1フィールドあるいは1フレーム（1F、もちろん2Fあるいはそれ以上を1区切りとすることも考えられる）の所定時間にEL素子15に流



す電流の印加時間を制御することにより所定の発光輝度を得る方法である。ELに流す電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法である。

【1182】図103も電圧プログラムによる画素構成である。図103において、19aはしきい値検出用容量、19bは入力信号電圧保持用容量（コンデンサ）である。

【1183】ステップ1（区間1）では、前記TFT11aからTFT11eをすべてONにして一旦前記駆動トランジスタをON状態にしているので、しきい値のばらつきによる電流値のずれが発生する。

【1184】ステップ2（区間2）では、前記TFT11b、TFT11dはONのまま前記TFT11c、TFT11eをOFFにすることにより、前記駆動トランジスタ11aの電流値が0になるので、前記駆動トランジスタ11aのしきい値が前記しきい値検出用容量19aに検出される。

【1185】ステップ3（区間3）では、前記TFT11b、TFT11dをOFFにして前記TFT11c、TFT11eをONにすることにより、前記データ信号線の入力信号電圧を前記入力信号電圧保持用容量19bに保持すると同時に、前記駆動トランジスタ11aのゲートに前記入力信号電圧にしきい値を加えた信号電圧を印加して前記EL素子15を電流駆動して発光される。

【1186】駆動トランジスタ11aは飽和領域で動作しているので、ゲート電圧からしきい値を引いた電圧値の2乗に比例した電流が流れるが、ゲート電圧には前記しきい値検出用容量11aによりしきい値がすでに印加されているので、結果的にしきい値はキャンセルされる。従って、駆動トランジスタ11aのしきい値がばらついてシミュレーション結果に示すように、常に一定の電流値がEL素子15に流れることになる。

【1187】ステップ4（区間4）では、画素16が非選択期間に入ったとき、TFT11b、TFT11dはOFF、TFT11eはONのまま、TFT11cをOFFにしても、入力信号電圧保持用容量19bに保持された入力信号電圧と前記しきい値検出用容量により保持されたしきい値電圧が駆動トランジスタ11aのゲートに印加されているので、EL素子15には電流が流れ続けて発光し続ける。

【1188】以上のように、より正確に前記駆動トランジスタのしきい値を検出するためには、第1ステップの期間として2 $\mu$ sec以上10 $\mu$ sec以下に設定し、第2ステップの期間として2 $\mu$ sec以上10 $\mu$ sec以下に設定することが必要である。書き込みあるいは動作時間を十分に確保するためである。しかし、あまりに長いと本来の電圧プログラム時間が短くなり安定性がなくなる。

【1189】したがって、図54の電圧プログラム方式でも、本発明の駆動方法あるいは表示装置を実施するこ

とは効果がある。図54において、ゲート信号線17bを制御することにより、TFT11dをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。また、図54、図67、図103においても、ゲート信号線17cの制御により、TFT11eをオンオフ制御することができる。そのため、図31、図32などの表示状態を実現できる。

【1190】また、EL素子15に流れる電流をN倍し、TFT11eのオンオフ状態を制御することにより、1/Nの期間点灯させるという駆動方式（なお、N倍あるいは1/Nに限定されるものではない）を実現できることは明らかである。つまり、本発明は、図1の電流プログラムの画素構成のみに限定されるものではなく、図54、図67、図103、図121などの電圧プログラムの画素構成でも、本発明の駆動方式を実現することができる。したがって、本明細書で記載した事項は本明細書で記載あるいは図示した画素構成あるいは装置などに適用することができる。

【1191】同様に図54、図67、図68も電圧プログラムの画素構成である。図54、図67、図68において、ゲート信号線17bを制御することにより、TFT11eをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。そのため、図31、図32などの表示状態を実現できる。したがって、容易にアニメーション効果を実現できる。また、多彩な画像表示を実現できる。他の事項、あるいは動作は図103と同様あるいは類似するので説明を省略する。

【1192】なお、以上の事項は図52、図90などで説明した逆バイアス電圧Vm印加方式に関しても適用することができることは言うまでもない。また、逆バイアス電圧VmはR、G、B画素ごとに電圧値を異ならせてもよい。その場合は、逆バイアス電圧を制御するTFTのゲート信号線の本数が増加する。各R、G、BのEL素子15は、それぞれ、端子電圧、印加電流が異なるからである。たとえば、R画素のEL素子には、-15（V）を印加し、GとB画素のEL素子には-12（V）を印加するという方式である。

【1193】また、各R、G、BのEL素子15に印加する逆バイアス電圧（電流）の印加時間を異ならせてもよい。それぞれ、RGB画素ごとに、端子電圧、印加電流が異なるからである。たとえば、R画素のEL素子には、1Fの1/2の時間だけ逆バイアス電圧Vmを印加し、GとB画素のEL素子には1Fの1/3の時間だけ逆バイアス電圧Vmを印加するという方式である。

【1194】また、表示領域21の部分ごとに、逆バイアス電圧（電流）の印加時間あるいは印加電圧を異ならせてもよい。たとえば、表示領域の中央部を明るくするガウス分布方式を採用した場合、中央部のEL素子は周辺部に比較して流す電流値が大きいからである。

【1195】N倍のパルス電圧を印加する方式の課題として、EL素子15に流れる電流が大きくなり、EL素子15が劣化し易くなるという課題がある。また、 $N=10$ 以上となると、電流が流れる時に必要となるEL素子15の端子電圧が高くなり、電力効率が悪くなるという課題がある。ただし、この課題は白表示時のようにEL素子に流れる電流が大きい時に発生する課題である。この課題に対処を図1の画素構成を例にして、図70(a)を参照しながら説明する。

【1196】図70(a)に図示するようにEL素子15への電流 $I_{dd}$ が流れている時、 $V_{dd}$ 電圧(電源電圧)は駆動用TFT11aのソースドレイン間電圧( $V_{sd}$ )とEL素子15の端子電圧( $V_d$ )で分圧される。 $I_{dd}$ 電流が大きいと $V_d$ 電圧も高くなる。

【1197】 $V_{dd}$ 電圧が十分に高いとTFT11aにプログラムされた電流 $I_w$ に等しい電流( $I_{dd}$ )がEL素子15に流れる。したがって、図81の実線に図示するように $I_w$ と $I_{dd}$ は等しいかばりニアの関係(比例の関係)になる。リニアの関係になるというのは、ゲート信号線17などに印加された信号などによりコンデンサ19に突き抜けが発生し、 $I_{dd}=I_w$ とはならないからである。

【1198】本発明では、 $V_{dd}$ 電圧は $I_{dd}$ と $I_w$ がリニア(比例)の関係を維持できないような低い電圧で用いる。つまり、必要な $V_{sd}+V_d > V_{dd}$ の関係にしている。さらに好ましくは、 $V_d > V_{dd}$ とすることが好ましい。

【1199】たとえば、一例として、 $N=10$ で、最大白表示に必要な $I_w$ 電流が $2\mu A$ とする。この状態では、 $I_{dd}$ 電流が $2\mu A$ とすると、G色のEL素子では $V_d=14(V)$ である。この時の $V_{dd}$ 電圧を $14(V)$ 以下とするのである。もしくは、この時、 $V_{sd}=7(V)$ とすると $V_d+V_{sd}=14(V)+7(V)=21(V) < V_{dd}=21(V)$ とするのである。

【1200】この状態で駆動すると、 $I_{dd}$ と $I_w$ の関係は図81の点線で示すような関係となる。最大白表示では $I_w$ と $I_{dd}$ の関係はリニアの関係でなくなる(非線形の関係、図81のAの範囲)。しかし、黒表示あるいは灰色表示(表示輝度が比較的低い領域)ではリニアの関係(図81のBの範囲)が維持される。

【1201】Aの領域ではEL素子15に流れる電流が制限され、EL素子15を劣化されるような大きな電流が流れることはない。また、Aの領域で、 $I_w$ 電流を増加させると、変化割合は少ないが $I_{dd}$ 電流は増加する。したがって、階調表示を実現できる。ただし、Aの領域では非線形となるからガンマ変換が必要である。たとえば、画像表示が64階調表示であれば、入力画像データ64階調データをテーブル変換し128階調あるいは256階調に変換してソースドライバIC14に印加

する。

【1202】Aの領域ではTFT11aの $V_{sd}$ 電圧とEL素子15の $V_d$ 電圧とが分圧され、EL素子15のアノード電圧 $V_a$ 電圧が決定される。この際、注目すべき事項として、EL素子15は蒸着で形成する(あるいはインクジェット技術などによる塗布で形成する)ため、均一に形成されている点である。そのため、EL端子電圧 $V_a$ は表示画面21の面内で均一な値となる。したがって、TFT11aの特性がばらついて、EL素子15の端子電圧 $V_a$ で補正される。結果的に $V_{dd}$ 電圧を本発明のように低くすることにより、TFT11aの特性がばらつきを吸収できるとともに、 $V_{dd}$ 電圧の低減により低消費電力化を実現できる。また、Nが大きい時にも、EL素子15には高い電圧が印加されることがない。

【1203】EL素子15は蒸着技術、インクジェット技術だけでなく、インクを付けたスタンプを紙に当てて印刷するようにするスタンプ技術でも形成できる。

【1204】まず、スタンプとなる部分を形成する。Si基板上に半導体プロセスによって有機EL素子の発光領域と同じ形の溝のパターンを形成し、その溝の中を有機EL材料にドーピングする材料を埋めることで、スタンプとする。一方、有機EL素子を形成するほうのガラス基板には、電極や発光層となる有機EL材料を形成しておく。

【1205】次に、スタンプと有機EL素子となる材料をつけたガラス基板をぴったりと重ね合わせる。この状態を保ちながら $+100^{\circ}C \sim +200^{\circ}C$ で約10分間にわたって熱処理する。こうすることで、スタンプの溝の中に埋め込んだドーピング材料が蒸発し、有機EL素子の発光層に拡散する。あとは、色に応じたドーピング材料を埋め込んだスタンプを順次有機EL素子に当てて、RGBを塗り分ける。このスタンプ技術を用いて、 $10\mu m$ の矩形パターンや、線幅 $10\mu m$ のパターンのEL素子15を容易に形成できる。

【1206】なお、1Fの期間の $1/N$ に、EL素子15に電流を印加し、その印加する電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法であるとした。しかし、本発明は一定の期間内の輝度の平均を所定値にする方法である。したがって、1F(1フィールドあるいは1フレーム)に限定されるものではない。たとえば、図32(c1)の表示状態が2F連続し、図32(c2)の表示状態が3F連続し、この図32(c1)と図32(c2)の状態が交互に繰り返されても良い。つまり、5Fで所望の平均輝度となりように駆動する。

【1207】したがって、本発明の技術的思想は、一定の期間内に、EL素子15をオン状態とオフ状態とを発生させ、このオン状態とオフ状態とを交互に繰り返し、この繰り返しにより、所定の表示輝度を得る方式であ

る。また、制御はゲート信号線17のオンオフ電圧を制御することにより実現する。

【1208】なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である（ただし、図81で説明する駆動方法も実施するので限定は難しい）。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

【1209】また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【1210】また、図1を例示すれば（図54、図57、図67、図68、図89、図103などの電圧プログラム画素構成でも有効であることは言うまでもない）、駆動トランジスタ11aと、この駆動トランジスタにプログラムをする信号（電流、電圧）経路を設定（構成、配置、接続）する第1のスイッチング素子11cと、駆動トランジスタ11aからの電流がEL素子15に流れる経路を設定（構成、配置、接続）する第2のスイッチング素子11dとを具備する画素構成において、前記第1のスイッチング素子11cをオン（経路を設定）する。また、第2のスイッチング素子11dをオフ（経路を切断）した第1の状態と、前記駆動トランジスタに電流（電圧）プログラムする第1の状態と、前記第1のスイッチング素子11cをオフ（経路を切断）し、第2のスイッチング素子11dをオン（経路を設定）する第2の状態と、前記第1のスイッチング素子11cをオフ（経路を切断）し、第2のスイッチング素子11dをオフ（経路を切断）する第3の状態とを実施するものである。

【1211】また、アクティブマトリックス型表示パネルにおいて、駆動トランジスタ11aからEL素子15にながれる電流経路を1フレーム（1フィールド）の期間のうち所定期間の間、切断あるいは減少（EL素子15に流れる電流波形は矩形あるいはDCに限定されるものではなく、サイン波形などもある。また、DC振幅値

を変化させる場合もある）させ、少なくとも1フレーム（1フィールド）のEL素子15の発光輝度を減少させるものである。

【1212】また、駆動トランジスタ11aに所望値よりも高い輝度でEL素子15が発光するようにプログラムを行う動作と、EL素子15に前記プログラムされた信号（電流）を流し、少なくとも1フレーム（1フィールド）の期間のうち所定期間に前記EL素子15に流れないように動作を行うものである。

【1213】あるいは、駆動トランジスタ11aにプログラムされた電流に対応する輝度以下となるように、EL素子15に流れる電流を制限するものである。

【1214】また、所望値よりも高い輝度でEL素子15が発光するようにプログラムを行う動作と1フレーム（1フィールド）の平均輝度（所望輝度）が、所望輝度か、少なくとも前記所望輝度（プログラムされた輝度（電流））以下となるように、前記プログラム電流が前記EL素子15に流れないように動作を行うものである。また、EL素子15に流れる電流を完全にオンオフさせることに限定されるものではない。

【1215】たとえば、図1においてTFT11dを高抵抗オン状態とすることにより（つまり、所定値よりも小さい電流がEL素子15に流れている）、EL素子15をオフあるいは低輝度発光を実施することができる。EL素子15が低輝度発光の時は、表示領域21の非点灯領域312とは、完全黒表示ではなく、ダーク（灰色または黒表示に近い輝度）と置き換えて理解する必要がある。つまり、非点灯領域312とは、通常表示よりも低輝度表示であればよい。低輝度表示とは画像が認識できる表示状態も含む。

【1216】なお、以上の実施例は、EL素子15の非点灯時間に逆バイアス電圧を印加する（図107、図108などを参照）ことを組み合わせることが有効である。また、図54、図67、図103などの電圧プログラム画素構成にも有効であることは言うまでもない。

【1217】なお、図31などにおいて、非表示領域312は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域311よりも表示輝度が低い領域と解釈するべきである。また、非表示領域312とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

【1218】なお、各画素構成において（たとえば、図54、図53（a）、図42）、駆動用TFT11dのゲート（G）端子を直接に、オンオフ電圧を印加できるように構成しても、EL素子15に流す電流を間欠動作させることができる。また、図43においてはTFT11e、図21においてはTFT11a、図22においてはTFT11bのゲート（G）端子を直接に、オンオフ電圧を印加できるように構成しても、EL素子15に流

す電流を間欠動作させることができる。つまり、EL素子15に電流を印加するTFTのゲート(G)端子を制御することによって、図31などの表示状態を実施できることは言うまでもない。

【1219】以上のように、本発明はEL素子15に印加する電流をオンオフすることにより、EL素子15を間欠表示させるものである。間欠表示させるためには、図1の例ではTFT11dをオンオフ制御する必要がある。したがって、TFT11dをオンオフするためのゲート信号線が必要となる。つまり、EL素子15を間欠表示させるためには、コンデンサに、EL素子15に流す電流をプログラムするための経路を形成する第1のスイッチング素子と、この第1のスイッチング素子のオンオフ制御するための第1のゲート信号線が必要である。また、EL素子15に流れる電流経路を形成する第2のスイッチング素子と、この第2のスイッチング素子をオンオフするための第2のゲート信号線が必要となる。つまり、ゲート信号線は1画素あたり2本必要となる。

【1220】しかし、1画素あたり2本以上のゲート信号線が必要となると、図27などで説明した3辺フリーの画素構成では課題となる。ゲートドライバ12を低温ポリシリコン技術などで形成しても、シフトレジスタ数が多くなり、回路構成が複雑となるからである。特に、アモルファスシリコン技術で3辺フリーの構成を実現しようするとさらに課題は大きくなる。なぜならば、アモルファスシリコン技術ではドライバ回路12(14)を基板82上に直接、形成することができないからである。

【1221】したがって、アモルファスシリコン技術で表示パネルを構成しようすると、ソースドライバ14とゲートドライバIC12を表示領域21の一辺に配置する必要がある。そして、ゲート信号線17aとゲート信号線17bのすべてを、表示領域の左右にふりわけて配線する必要がある。ゲート信号線17の本数が少ない場合はまだ、対応できる可能性がある。しかし、QCIFでも垂直画素数は220ドットであるから、ゲート信号線17は $220 \times 2 = 440$ 本にもなる。

【1222】以上はアモルファスシリコン技術で表示パネルを構成した場合であるが、低温ポリシリコン技術でゲートドライバ12を内蔵した場合でも、ゲート信号線17の配線数が多いと、狭額縁化できない。したがって、商品力を失ってしまう。

【1223】以下の本発明は以上の課題を解決するものである。簡単に記載すれば、EL素子15をオンオフするゲート信号線17bを複数本、共通にするのである。この共通にしたブロックごとにEL素子15に流れる電流をオンオフするのである。

【1224】図87、図142の実施例においても、EL素子15のオンオフは1画素行ずつ制御する必要はない。ブロックごとにオンオフしても非点灯領域312を

形成できるし、点灯領域311も形成できる。以上のようにブロックでオンオフ制御する方式をブロック駆動と呼ぶ。ただし、隣接した画素行でブロックにする実施例もあるので、通常ブロックという概念よりは広義である。ただし、図1の画素構成では、電流プログラムを行っている画素行は非点灯状態にする必要がある。そのため、電流プログラムのために選択された画素行を含むブロックは非点灯領域312とする必要がある。しかし、図1の場合であっても多少の画像にみだれを許容する場合は、電流プログラムを行っている画素行であっても、非点灯領域312とする必要はない。また、図21、図43、図71のカレントミラーの画素構成では、電流プログラムを行っている画素行であっても、非点灯領域312とする必要はない。

【1225】なお、本発明は、主として図1に図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図21、図43、図71などで説明した他の電流プログラム構成(カレントミラーの画素構成)であっても適用できることは言うまでもない。また、ブロックでオンオフする技術的概念は、図54、図68、図103などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、EL素子15に流れる電流を間欠にする方式であるから、図89などで説明した逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせ実施することができる。

【1226】図179はブロック駆動の実施例である。まず、説明を容易にするため、ゲートドライバ回路12は基板49に直接形成したか、もしくはシリコンチップのゲートドライバIC12を基板49に積載したとして説明をする。また、ソースドライバ14およびソース信号線18は図面が煩雑になるため省略する。

【1227】図179において、ゲート信号線17aはゲートドライバ回路12と接続されている。一方、各画素のゲート信号線17bは点灯制御線1791と接続されている。図179では4本のゲート信号線17bが1つの点灯制御線1791と接続されている。

【1228】なお、4本のゲート信号線17bでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域21は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線1791の本数が多くなり、制御線1791のレイアウトが困難になる。

【1229】したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があ

り、好ましくは、 $220/10=11$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

【1230】図179の実施例では、点灯制御線1791a、1791b、1791c、1791dと順次、オン電圧(Vg1)を印加するか、もしくはオフ電圧(Vgh)を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

【1231】なお、図179の実施例では、ゲート信号線17bと点灯制御線1791とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線1791とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線1791とが容量結合することがないため、点灯制御線1791からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線1791を駆動しやすい。

【1232】図180は、図179の接続状態をさらに詳細に図示している。ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のTF T 11 b、11 cはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のTF T 11 dのゲート(G)端子と接続されている。したがって、点灯制御線1791にオン電圧(Vg1)が印加されたとき、駆動TF T 11 aとEL素子15との電流経路を形成し、逆にオフ電圧(Vgh)が印加された時は、EL素子15のアノード端子をオープンにする。

【1233】なお、点灯制御線1791に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路12がゲート信号線17aに出力する画素行選択電圧(Vg1)のタイミングは1水平走査クロック(1H)に同期していることが好ましい。しかし、これに限定するものではない。点灯制御線1791に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線1791に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

【1234】図181は、画素構成が図21などに図示したカレントミラーの画素構成の場合である。ただし、以前の実施例でも説明したように、EL素子15に流れる電流を制御するために、TF T 11 eを形成し、ま

た、TF T 11 eを制御するためのゲート信号線17bを付加している。

【1235】なお、図181において、スイッチングTF T 11 cと11 dを制御(オンオフ)するゲート信号線は共通(ゲート信号線17a)としたが、これに限定するものではなく、別個のゲート信号線17としてもよい。この場合は、TF T 11 cを制御する第1のゲート信号線17と、TF T 11 dを制御する第2のゲート信号線17はゲートドライバ回路12に接続する。

【1236】図181において、ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択される。

【1237】なお、図180などでも同様であるが、選択される画素行は1画素行に限定されるものではない。たとえば、図141、図144、図146では複数画素行が選択される。以上のように、本発明は、選択される画素行数に制約されるものではない。

【1238】図181において、ゲート信号線17aに選択電圧(Vg1)が印加されると、1選択された各画素のTF T 11 b、11 dはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログラムする。つまり、ソースドライバ回路14は画素16に書き込む電流(電圧)を出力(吸収)する。一方、ゲート信号線17bは各画素のTF T 11 eのゲート(G)端子と接続されている。したがって、点灯制御線1791にオン電圧(Vg1)が印加されたとき、駆動TF T 11 bとEL素子15との電流経路を形成し、逆にオフ電圧(Vgh)が印加された時は、EL素子15のアノード端子をオープンにする。

【1239】図182は、画素構成が電圧プログラムの画素構成である。ただし、以前の実施例でも説明したように、EL素子15に流れる電流を制御(間欠動作できるように)するために、TF T 11 dを形成し、また、TF T 11 dを制御するためのゲート信号線17bを付加している。このゲート信号線17bは複数画素行ごとに点灯制御線1791に接続されている。

【1240】図182において、ゲートドライバ12はゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、TF T 11 bがオンし、所定の画素行が選択される。

【1241】図182において、ゲート信号線17aに選択電圧(Vg1)が印加されると、1選択された各画素のTF T 11 bはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログラムする。つまり、ソースドライバ回路14は画素16に書き込む電流(電圧)を出力(吸収)する。一方、ゲート信号線17bは各画素のTF T 11 dのゲート(G)端子と接続されている。したがって、点灯制御線1791にオン電圧(Vg1)が印加されたとき、駆動

TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧(Vgh)が印加された時は、EL素子15のアノード端子をオープンにする。

【1242】図183は、他の電圧プログラムの画素構成である、EL素子15に流れる電流の間欠動作はTFT11dを用いて行う。TFT11dを制御するためのゲート信号線17dは複数画素行ごとに点灯制御線1791に接続されている。

【1243】図183の画素構成では、オフセット電圧を測定し、1フレームの期間、かきこまれた電圧をコンデンサ19に保持させるためには、2本のゲート信号線17aと17cが必要である。そのため、この2本のゲート信号線17a、17cはゲートドライバ回路12に接続されている。この構成を図184に図示している。

【1244】ゲートドライバ回路12はゲート信号線17aとゲート信号線17cにオンオフ電圧を印加することにより、TFT11c、TFT11bをオンオフ制御し、ソースドライバ14から出力された電圧を画素にプログラムする。一方、ゲート信号線17dは各画素のTFT11dのゲート(G)端子と接続されている。したがって、点灯制御線1791にオン電圧(Vg1)が印加されたとき、駆動TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧(Vgh)が印加された時は、EL素子15のアノード端子をオープンにする。

【1245】以上のように本発明は、画素構成が、電流プログラム方式であっても、電圧プログラム構成であっても、適用することができる。なお、以上の実施例はアクティブマトリックス型表示パネルを例示して説明したが、これに限定するものではなく、単純マトリックス型表示パネルにも適用することができる。なぜならば、ブロックごとにEL素子15を点灯あるいは非点灯させることは、単純マトリックス型表示パネルでも実現できるからである。

【1246】図185は他の実施例である。以下の実施例では以前に実施例との差異を中心に説明する。したがって、図185以降の実施例でも画素構成などは図180から図183などで説明したいずれでも適用できる。

【1247】図185は、ゲート信号線17bを2画素行ずつ共通にし、かつ4ブロックごとに点灯制御線1791で共通にした構成である。第1番目と第2番目の画素行のゲート信号線信号線17bと、第9番目と第10番目の画素行のゲート信号線17bとを点灯制御線1791aで共通にしている。したがって、点灯制御線1791aにオン電圧(Vg1)を印加すると、少なくとも第1番目、第2番目、第9番目および第10番目の画素行が点灯する。

【1248】また、第3番目と第4番目の画素行のゲート信号線信号線17bと、第11番目と第12番目の画素行のゲート信号線17bとを点灯制御線1791bで共通にしている。したがって、点灯制御線1791bに

オン電圧(Vg1)を印加すると、少なくとも第3番目、第4番目、第11番目および第12番目の画素行が点灯する。

【1249】同様に、第5番目と第6番目の画素行のゲート信号線信号線17bと、第13番目と第14番目の画素行のゲート信号線17bとを点灯制御線1791cで共通にしている。したがって、点灯制御線1791cにオン電圧(Vg1)を印加すると、少なくとも第5番目、第6番目、第13番目および第14番目の画素行が点灯する。また、第7番目と第8番目の画素行のゲート信号線信号線17bと、第15番目と第16番目の画素行のゲート信号線17bとを点灯制御線1791dで共通にしている。したがって、点灯制御線1791dにオン電圧(Vg1)を印加すると、少なくとも第7番目、第8番目、第15番目および第16番目の画素行が点灯する。

【1250】図185のようにゲート信号線17bを点灯制御線1791と接続すると、小さな点灯ブロックが、分散して表示される。したがって、低レートでもフリッカの発生が少なくなる。

【1251】図186は、ゲート信号線17bを4画素とばして共通にして点灯制御線1791に接続した構成である。第1番目、第5番目、第9番目、第13番目の画素行のゲート信号線信号線17bが点灯制御線1791aで共通にされている。したがって、点灯制御線1791aにオン電圧(Vg1)を印加すると、少なくとも第1番目、第5番目、第9番目および第13番目の画素行が点灯する。

【1252】また、第2番目、第6番目、第10番目、第14番目の画素行のゲート信号線信号線17bが点灯制御線1791bで共通にしている。したがって、点灯制御線1791bにオン電圧(Vg1)を印加すると、少なくとも第2番目、第6番目、第10番目および第14番目の画素行が点灯する。

【1253】同様に、第3番目、第7番目、第11番目、第15番目の画素行のゲート信号線信号線17bが点灯制御線1791cで共通にしている。したがって、点灯制御線1791cにオン電圧(Vg1)を印加すると、少なくとも第3番目、第7番目、第11番目および第15番目の画素行が点灯する。また、第4番目、第8番目、第12番目、第16番目の画素行のゲート信号線信号線17bが点灯制御線1791dで共通にしている。したがって、点灯制御線1791dにオン電圧(Vg1)を印加すると、少なくとも第4番目、第8番目、第12番目および第16番目の画素行が点灯する。

【1254】図186のようにゲート信号線17bを点灯制御線1791と接続すると、図185よりも点灯する画素行が分散される。したがって、低レートでもフリッカの発生が少なくなる。

【1255】図187は、奇数画素行のゲート信号線1

7bを点灯制御線1791aに接続し、偶数画素行のゲート信号線17bを点灯制御線1791bに接続した構成である。

【1256】図187では1画素行ごとにEL素子15を点灯制御できるので低レートでもフリッカの発生が少なくなる。また、点灯制御線1791が2本と本数も少なくなる。

【1257】図188は、4画素行ごとにゲート信号線17bを点灯制御線1791aまたは点灯制御線1791bに接続した構成である。図188では、画素への電流（電圧）プログラムのタイミングと同期を取りやすい。

【1258】以上の実施例は、点灯制御線1791に印加する電圧により、画素行ごとにオンオフ制御を行うものであった。本発明は、EL素子15を間欠動作させることを目的としている。したがって、点灯制御線1791の有無に限定されるものではない。

【1259】たとえば、図189では点灯制御ドライバ回路1891を表示領域の1辺に形成（配置）している。つまり、表示領域の1辺にゲートドライバ回路12を形成（配置）し、この辺の対面に点灯制御ドライバ回路1891を配置（形成）している。

【1260】点灯制御ドライバ回路1891は、低温ポリシリコンあるいは高温ポリシリコン技術をもちいて、基板49に直接形成してもよいし、シリコンチップで構成し、基板49にCOG技術などを用いて積載してもよい。ただし、図189のように、複数のゲート信号線17bを共通（ブロック化）することにより、回路構成は極めて簡易になる。したがって、基板49に直接形成しても、シリコンチップで構成し基板49に積載しても、ほとんど面積を占有しない。したがって、表示パネルの狭額縁化を実現できる。なお、点灯制御ドライバ回路1891をソースドライバ回路14と同一辺に配置して、3辺フリー構成を実現してもよいことは言うまでもない。

【1261】図189までの実施例では、基板49に、ゲートドライバ回路12は、低温ポリシリコンあるいは高温ポリシリコン技術をもちいて、基板49に直接形成するか、シリコンチップで構成し、基板49にCOG技術などを用いて積載するとして説明した。しかし、本発明はこれに限定するものではない。たとえば、図190に図示するように、ソースドライバ回路14が配置された辺から、ゲート信号線17aを配線してもよい。つまり、点灯制御線1791とゲート信号線17aの両方を表示領域21の端に形成するのである。他の構成は図179などと同様であるので説明を省略する。

【1262】また、図191に図示するように、表示領域の2つの辺にソースドライバ回路14、ゲートドライバ回路12をそれぞれ配置（形成）し、表示領域21の中央部でそれぞれのゲートドライバ回路12とソースド

ライバ回路14と接続するように構成してもよい。このように構成することにより、ゲート信号線17aの引き回しが減少する（1/2になる）。したがって、狭額縁化を実現できる。

【1263】図192はソースドライバ回路14とゲートドライバ回路12などをパネルに配置した説明図である。図192では、ソースドライバ回路14をシリコンチップで作製し、基板49の1辺に配置している。ゲートドライバ回路12は、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、基板49に直接に形成している。点灯制御線1791へのオンオフ電圧はソースドライバ14より出力している。

【1264】図193は点灯制御ドライバ回路1891を基板49に低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、基板49に直接に形成した実施例である。もちろん、点灯制御ドライバ回路1891をシリコンチップで作製し、基板49にCOG技術などを用いて積載してもよい。

【1265】図194は、点灯制御線1791へのオンオフ信号はコントローラ101などから出力した例である。このように点灯制御線1791のオンオフデータをマイコンなどのコントローラ103などから出力するように構成することにより、ソースドライバ14の仕様が簡易となり、また、駆動方式に変更があっても、ソースドライバ14の変更が不要となる。

【1266】図195は表示領域21aを駆動するゲートドライバ回路12aとソースドライバ回路14a、および表示領域21bを駆動するゲートドライバ回路12bとソースドライバ回路14bを用いた構成である。他の構成は、以前の実施例と同様であるので説明を省略する。

【1267】図196は点灯制御線1791へのオンオフ信号はコントローラ101などから出力し、ゲートドライバ回路12およびソースドライバ回路14を、低温シリコン、CGS技術あるいは高温ポリシリコン技術を用いて、基板49に直接に形成した実施例である。もちろん、ソースドライバ回路14、点灯制御ドライバ回路1891などをシリコンチップで作製し、基板49にCOG技術などを用いて積載してもよい。

【1268】図197は点灯制御線1791へのオンオフ信号はコントローラ101などから出力し、ゲート信号線17aへの制御信号およびソース信号線18への画像データをドライバ回路14aで実現した構成である。ドライバ回路14aを、低温シリコン、CGS技術あるいは高温ポリシリコン技術を用いて、基板49に直接に形成してもよい。また、ドライバ回路14aなどをシリコンチップで作製し、基板49にCOG技術などを用いて積載してもよい。

【1269】図92から図101などにおいて、逆バイアス電圧V<sub>m</sub>の印加する方式について説明を行った。逆

バイアス電圧 $V_m$ は基本的にはEL素子15に電流を印加していない時に、印加する方式であった。一方、図180などで説明したブロック駆動方式は、ブロックごとに非点灯領域312と点灯領域311を形成するものであった。

【1270】したがって、ブロック駆動で非点灯領域312のEL素子15に逆バイアス電圧 $V_m$ と印加することができる。つまり、ブロックごとに逆バイアス電圧（電流）を印加するのである。ただし、逆バイアス電圧はブロック312のすべてに印加することに限定するものではない。例えば、任意のブロックを複数に分割し、分割されたブロックごとに逆バイアス電圧を印加する構成でもよい。もちろん、ブロックごとに非点灯領域312制御を実施し、逆バイアス電圧の印加制御は1画素行ずつ行ってもよい。

【1271】以上のように、ブロックごとに逆バイアス電圧 $V_m$ を印加するように構成することにより、図92などで説明した画素構成などは簡略される。また、制御も容易となる。特に、非点灯領域312に逆バイアス電圧 $V_m$ を印加するのであるからロジックも簡単である。

【1272】図211はブロック駆動と逆バイアス電圧駆動とを組み合わせた場合の本発明の実施例である。図211の画素構成は図92の画素構成である。この画素構成は、図180で説明したブロック駆動とを組み合わせている。なお、ブロック駆動は図180から図197のいずれで説明した構成であっても適用できることは言うまでもない。

【1273】図211において、点灯制御線1791にオフ電圧 $V_{gh}$ を印加することにより、該当ブロックが非点灯領域312となる。同時に（同時に限定するものではない。該当点灯制御線1791に $V_{gh}$ 電圧が印加されている期間であれば、いずれの期間でもよい）、逆バイアス制御線2111にオン電圧（ $V_{gl}$ ）を印加する。すると、該当ブロックのEL素子15に逆バイアス電圧 $V_m$ が印加される。つまり、ロジック的には、点灯制御線1791の逆位相の信号を逆バイアス制御線2111とすればよい。

【1274】同様に、図212は図181の構成に、逆バイアス駆動方式を追加した構成である。また、図213は図182の構成に、逆バイアス駆動方式を追加した構成であり、図214は図183の構成に、逆バイアス駆動方式を追加した構成である。動作は、容易であるから、あえて説明を要さないであろう。

【1275】なお、先にも記載したが、逆バイアス電圧 $V_m$ の印加とブロック駆動とは、完全に同期を取る必要はない。また、走査周期も完全に一致させる必要はない。

【1276】以下、本発明のブロック駆動の説明を引き続き行う。図198は、本発明のブロック駆動方法の説明図である。以降の説明図においても、説明を容易する

ため、画素構成は図1で図示した画素構成として説明する。しかし、これに限定するものではなく、図21、図43、図71、図22、図54、図68、図103、図121などの他の画素構成もよいことは言うまでもない。

【1277】図1の画素構成の場合、電流プログラムを行っている画素行のTFT11dはオフ状態にする必要がある。つまり、選択画素行にはEL素子15がソース信号線18から見えないよう（ソース信号線18にEL素子15が接続されていない）に駆動する。これは、ソース信号線18からのプログラム電流がEL素子15に流れ込むことを防止するためである。EL素子15でプログラム電流が流れ込むと正規の電流をコンデンサ19にプログラムできなくなるからである。

【1278】したがって、ブロック駆動を実施する時は、選択画素行を含むブロックは非点灯状態312とする必要がある。つまり、該当ブロック内の画素行が選択されている時は、このブロックはたえず、非点灯領域312とする。逆に他のブロックは点灯状態311でも、非点灯状態311のいずれでもよい。フリッカを抑制するには、選択画素行以外のブロックをオンオフ制御することにより行う。

【1279】図198(a)はブロック1981bの1本の画素行871aが選択されている。そのため、ブロック1981bは非点灯状態に制御されている。もし、ブロック1981が6画素行で構成されるのであれば、選択されたブロック1981は6Hの期間、非点灯表示に制御される。

【1280】図198(b)は図198(a)から1H後の表示状態である。選択画素行871aは1画素行シフトされている。図198(a)において、非点灯表示312のブロックは、1981b、1918d、1981f、1981h、1981jである。図198(b)では、非点灯表示312のブロックは、1981a、1918b、1981e、1981g、1981iとなっている。つまり、図198(a)と(b)では選択画素行871aを含むブロック1981b以外は反転（非点灯領域312と点灯領域311とが逆転）している。

【1281】なお、選択画素行が1画素行に限定されるものではない。複数本でもよい。例えば、図87、図88、図146などで説明したように複数本の画素行を選択する方式と図198のブロック駆動あるいは図211の逆バイアス駆動などと組み合わせることができる。

【1282】また、図198では、選択画素行のTFT11dをオフ状態とし、EL素子15は点灯させないとしたが、図21、図43、図71のようにカレントミラー構成の場合は、ソース信号線18とEL素子15とは接続されていない。したがって、選択画素行も表示状態としてもよい。ただし、選択画素行は、プログラム中であって、その期間の画像はみだれるので、非点灯状態に



制御することが好ましい。

【1283】図198では、非点灯領域312と点灯領域311との反転は、1H周期で行うとしたが、これに限定するものではなく、2Hであったり、それ以上であったりしてもよい。また、比較的ランダムに点灯制御を行ってもよい。また、当然のことながら、非点灯のブロックに逆バイアス電圧Vmを印加してもよい。

【1284】なお、非点灯領域312と点灯領域311との制御は、RGBの画素を同時に行う必要はない。たとえば、R、G、Bで点灯制御を異ならせても良い。これは、FSC（フレームシーケンシャルコントロール）の場合も含まれる。

【1285】図198は1ブロックごとにオンオフ制御を行うとしたが、これに限定するものではない。たとえば、図199のように、2つのブロック（たとえば、図199（a）ではブロック1981bと1981cとを非点灯領域312としている。また、ブロック1981dと1981eとを点灯領域311としている。）で制御を行ってもよい。また、1H後に図199（b）のように点灯制御を行ってもよい。図199（a）と（b）では1ブロックをづつづらせて点灯制御をおこなっている。なお、図198、図199などでは図示を容易にするため、ブロック数1981を非常に少なくしている。以上の事項は他の実施例においても同様である。

【1286】図200はブロックの点灯制御により、表示画面21に明るさ分布を形成する方式である。説明を容易にするため、図200（a）を1H目の状態とし、図200（b）を図200（a）の次の1H後であるとして説明する。もちろん、図200（a）と（b）は所定期間はなれた状態であればよい。

【1287】明るさ分布を構成するとは、ガウス分布が例示される。つまり、表示画面の中央部を明るくし、周辺部を暗くすることにより、視覚的には明るくし、消費電力を低減する手法である。

【1288】本発明では、画面の左右方向は、映像信号の変調により、データ自身を変更して明るさ分布を形成する。たとえば、1画素行のラインメモリを搭載し、このメモリに演算に必要な係数を保持させておく。例えば、画面の端が中央部に比較して50%であれば、50%に相当する係数を保持させておく。以下、ラインメモリには中央部が100%になるように、かつガウス分布を満足するように係数を保持させておく。印加された画像データはこのラインメモリの係数と演算され、演算された結果が、各ソース信号線に印加される。

【1289】なお、画面の縦方向にも非点灯領域312をオンオフできるように、画素構成すれば、画面の左右方向は、映像信号の変調により、データ自身を変更して明るさ分布を形成する必要はなくなることはいうまでもない。たとえば、1画素列のTF T11dをオンオフ制御できるように信号線を形成すればよい。つまり、TF

T11dを表示画面でマトリックス状に制御できるようにする。

【1290】また、ガウス分布とは一実施例である。つまり、画面21の中央部近傍を明るくする輝度の分布状態を発生するものである。したがって、ガウス分布に限定するものではなく、サインカーブ状の明るさ分布であったり、円錐状の明るさ分布であったりしてもよい。また、本発明はTF T11dなどを制御して明るさ分布を発生させるものであるから、画面21の中央部を明るくするというように限定されるものではない。たとえば、画面の中央部が最も暗い状態であってもよいし、画面の上部が最も明るい状態でもよい。これらの明るさ分布状態もTF T11dなどを制御することのより、容易に実現することができる。単に、ゲート信号線17bの制御タイミング、オン時間を調整（変化）させることにより実現できるからである。

【1291】また、画像の種類にあわせて、明るさの分布状態をユーザーが自由にあるいは、自動的に変更することができる。たとえば、バーチャル表示の時は、バーチャル表示位置を特に明るく表示することができる。

【1292】また、明るさはR、G、Bの3原色を同時に、かつ同一位置に変化させて発生させる（白色が移動する）ことに限定されるものではない。たとえば、Rのみの最大輝度位置を移動させることもできる。以上のように、各色の最大輝度（最小輝度）位置を変化させることの表示画面21で色模様を発生させることができる。

【1293】画面21の上下方向における明るさの分布の形成は、ブロック1981のオンオフ制御により実現する。つまり、画面の中央部のブロック1981のオフ回数を少なくし、画面の上または下はオフ回数を多くする。オフ回数が多いほど画面は暗くなり、少なくなるほど明るくなる。このオンオフを制御することのより、画面の上下方向にガウス分布を形成できる。したがって、画面の左右方向には映像データの演算（もしくはアナログ変調で振幅値を変調する場合もあるであろう）などにより、明るさを調整（制御）し、画面の上下方向はブロック1981のオンオフ制御により、表示画面の明るさ調整（制御）を行う。

【1294】なお、図200などにおいて、ブロック1981のオンオフ制御により、明るさ分布を形成するとしたが、これに限定するものではない。ブロック1981に限らず、画素行ごとにオンオフ制御することによって明るさ分布を形成できることはいうまでもない。また、複数画素行ごとにオンオフ制御することでも実現できる。つまり、ブロック1981でオンオフ制御するというのは、複数の画素行の集まりとしてオンオフ制御しているに過ぎない。したがって、図200などは、本発明の技術的範囲の限定された1つの実施例である。

【1295】図200（a）では非点灯領域312はブロック1981b、1981d、1981h、1981

10

20

30

40

50

j である。図 200 (b) では非点灯領域 312 はブロック 1981a、1981c、1981i、1981k である。したがって、中央部のブロック 1981e、1981f、1981g は図 200 (a) (b) とともに点灯している。したがって、中央部は明るくなる。

【1296】一方、図 200 (a) では、ブロック 1981a、1981c、1981i、1981k は点灯状態 311 であるが、図 200 (b) では逆に非点灯状態 312 となっている。したがって、表示画像の上下部は暗くなる。

【1297】以上のことから、ブロック 1981 ごとにオンオフ制御することにより、表示画像に明るさ分布を形成できる。なお、図 200 において、中央部のブロック 1981e、1981f、1981g は図 200 (a) (b) とともに点灯しているが、次の 1H で非点灯状態とするなどの制御を行うことにより、自由に明るさの制御を実現でき、また、フリッカの発生も抑制できる。

【1298】図 200 では、ブロック 1981 の幅はすべて同一であった。しかし、視覚的には、画面 21 の中央部を細かくし、周辺部を荒くしてもよい。図 201 のように実施する。これは、人間の視覚は、画面の中央部の解像度が高いことによる。

【1299】図 201 において、オンオフ制御は、図 201 (a) と (b) とを交互に行う。図 201 では、画面 21 の中央部のブロック 1981f ~ 1981n は細かいブロック単位 (1 単位) でオンオフ制御を行い、前記中央部の上下は 2 ブロック単位でオンオフ制御を行い、画面の上下は 3 ブロック単位でオンオフ制御を行う。なお、画素書き込み行 871a のオフ制御は図 198 で説明した方式で行う。つまり、画素書き込み行 871a は非点灯表示 312 とする。

【1300】図 201 は点灯ブロック 1981 の幅を変化させることにより、画面の中央部のオンオフ制御を行い、視覚的にあわせた表示を実現するものであった。図 202 は複数単位周期でオンオフさせる回数を制御することにより、画面のガウス分布を実現するものである。図 202 は 6 周期 (図 202 (a) → (b) → (c) → (d) → (e) → (f) → (a) → (b) → (c) → (d) → (e) → (f) → (a)) で画面の明るさ分布を形成するものである。もちろん、6 周期に限定するものではなく、2 周期や、8 周期以上であってもよい。また、周期の単位は、1H、1F、あるいは、他のクロックに同期させればよい。なお、図 202 においても、画面の左右方向にガウス分布を行うのは、映像信号などで行う。このことは図 198 などで説明をしているので省略する。また、以上の事項は他の本発明にも適用される。

【1301】図 202 でわかるように、図 202 (b) (e) で画面の中央部に点灯表示領域 311 を発生し、

図 202 (c) (f) でも、画面の中央付近に点灯表示領域を多く発生させている。このように制御することにより、画面の中央部が明るくなる。したがって、良好なガウス分布を発生させることができる。

【1302】図 207 は、ガウス分布を発生させるものではなく、複数の期間で点灯ブロック 1981 の位置を変化させることにより、フリッカの発生を抑制するものである。図 207 において図 207 (a) では、2 ブロックごとに非点灯領域 312 を発生させ、次のブロックの図 207 (b) では、3 ブロックごとに非点灯領域 312 を発生させている。また、次のブロックの図 207 (c) では、4 ブロックごとに非点灯領域 312 を発生させている。以上のように、非点灯領域 312 もしくは点灯領域 311 の位置を複数の周期で変化させることにより、フリッカの発生を抑制できる。また、図 201、図 202 で説明した方式を組み合わせることにより、ガウス分布も発生できる。

【1303】なお、以上の実施例は、図 208 に図示するようにブロック 1981 単位で点灯位置を変化させるものであった。しかし、本発明はこれに限定するものではない。たとえば、図 209 に図示するように 1/2 ブロックずつ点灯位置を変化させてもよい。つまり、以上の実施例は、ブロック単位でオンオフ制御することを主として説明したが、これに限定するものではない。ガウス分布の発生、フリッカの抑制は、ブロック 1981 単位でなくとも実現できるからである。以前に説明したように、1 画素行単位で非点灯制御を実施すればよい。もちろん、複数画素行単位で非点灯制御あるいは点灯制御を実施すればよい。

【1304】また、画素行に限定するものではなく、画素列でオンオフ処理を実施してもよく、また、画素行と画素列の両方でオンオフ処理を実施してもよい。また、オンオフする画素行などは順次処理をすることに限定するものではなく、ランダム処理を実施してもよい。ランダムに画素行 (画素列) をオンオフ制御することにより、画像 21 を見えにくくしたり、フリッカを発生させたりすることもできる。また、特定画素行 (画素列) を常時、非点灯表示 312 にすることもできる。また、画面全体あるいは一部を低フレームレートでオンオフ表示 (非点灯表示 312 と点灯表示 311 を交互に繰り返す) することにより、画面をフラッシングさせたりすることもできる。これらは画像のスクランブル処理あるいは特殊効果処理として応用できる。

【1305】ただし、以上の表示状態は、ブロック 1981 単位で制御を行うことにより、回路構成は容易になり、パネル構成、画素構成も容易となることは言うまでもない。

【1306】画像の種類にあわせて、明るさの分布状態をユーザーが自由にあるいは、自動的に変更することができる。たとえば、パーシャル表示の時は、パーシャル

10

20

30

40

50

表示位置を特に明るく表示することができる。また、任意の表示部分の色を容易に変化させることができる。また、屋外では、必要な部分のみが明るく見えるように表示することができる。

【1307】図215に図示するように点灯領域311を画面21の上から下へ走査することにより画像を表示する((a)→(b)→(c)→(d)→(e)→(a)→(b)→(c)→)。この時、走査クロックを制御することにより、画面の上下方向に明るさ分布(ガウス分布など)を実現できる。

【1308】図215では(c)の表示状態で、点灯領域311が走査されるときに、点灯領域311の走査速度を遅くする。(a)(e)の部分に点灯領域311が走査されるときに、点灯領域311の走査速度を速くする。(b)(d)の部分に点灯領域311が走査されるときには、点灯領域311の走査速度は(a)と(c)の中間の速度にする。走査速度は図2などで説明したゲートドライバ12のシフトレジスタ22に印加するCLK\*を制御することにより実現できる。また、図179などで説明した点灯制御線1791を制御することにより実現できる。

【1309】以上のように点灯領域(画像表示領域)311を制御することにより、画面21の中央部がもっとも高輝度となり、画面の上下部分が最も暗くなる。したがって、画面21の上下方向にガウス分布などを形成できる。もちろん、画素列方向に制御して、画面の左右方向にガウス分布などを形成してもよい。また、映像信号の演算処理でも実現できる。

【1310】なお、図215では、点灯領域311の走査スピードを画面位置で変化させることにより、画面にガウス分布などの輝度分布を形成するとした。しかし、この技術的思想はEL表示装置に限定されるものではない。たとえば、LED表示装置でも適用できることは明らかである。また、自己発光型の表示パネル(表示装置)に限定されるものではない。たとえば、液晶表示装置でも適用することができる。

【1311】液晶表示装置では、バックライトを改良して実現する。バックライトは、画素行方向に沿ってストライプ状の発光領域が複数配置されたものを用いる。たとえば、ストライプ状の白色EL素子が画素行方向に沿って形成されたものである。ストライプ上の白色EL素子は、少なくとも10本以上形成したものを用いる。このストライプ状の発光素子を上から順に点灯していけばよい。つまり、ストライプ状のELを点灯させるときに、画面21の中央部に該当するストライプ状EL素子15の点灯時間を長くする。すると、バックライトの発光状態が図215の状態にすることができる。

【1312】したがって、液晶表示装置では、そのもの自身では点灯表示状態を図215のようにすることはできないが、バックライトの点灯領域を走査状態とするこ

とにより、図215で説明した画像表示を実現できる。以上の事項は図218、図219、図220、図198などにおいても適用できることは言うまでもない。

【1313】図216はゲート信号線17aの駆動波形を図示している。なお、説明を容易にするため、MCLKの周期は1H(1水平走査期間)としている。しかし、これに限定するものではない。1Hよりももっと高速のクロックを用いることにより柔軟性のある制御を実現できる。

10 【1314】図216の'a'で示す部分が図215(a)の表示状態に該当する。同様に、図216の'b'で示す部分が図215(b)の表示状態に該当し、図216の'c'で示す部分が図215(c)の表示状態に該当する。また、図216の'd'で示す部分が図215(d)の表示状態に該当し、図216の'e'で示す部分が図215(e)の表示状態に該当する。

20 【1315】なお、画素構成は図1の構成を例示して説明をする。したがって、ゲート信号線17aにVgl電圧が印加された時に、該当画素行が選択される。しかし、本発明の実施例は、図1の画素構成に限定されるものではなく、図21、図43、図71などのカレントミラー構成、図54、図68、図103などの電圧プログラムの画素構成にも適用できることは言うまでもない。

30 【1316】図216に図示するように、'a' 'e'の部分は1H幅のクロックで画素行がシフトされる。'b' 'd'の部分は2H幅のクロックで画素行がシフトされる。また、'c'の部分は3H幅のクロックで画素行がシフトされる。したがって、'c'の部分は'a'の部分に比較して3倍、画素行のシフト動作が遅い。つまり、'c'の部分は'a'の部分に比較して3倍明るくなる。そのため、画面の中央部が最も明るくなり、上下部を最も暗くすることができる。

40 【1317】図216では、画面の中央部において、シフトレジスタ22のデータ転送を3クロックとした。また、画面の上下部において、シフトレジスタ22のデータ転送を1クロックとした。また、画面の上下部と中央部において、シフトレジスタ22のデータ転送を2クロックとした。しかし、図216のようにクロックの切り替えが3段階であると、切り替えの境目がくっきりと明るさの差で表示される。したがって、境目が見えないように、実際はデータの転送クロックの差を小さくするとともに、変化するクロック数を多様にすることが好ましい。つまり、図216は説明のための図である。

【1318】たとえば、画面の中央部において、シフトレジスタ22のデータ転送を5クロックとし、画面の上下部において、シフトレジスタ22のデータ転送を3クロックとし、画面の上下部と中央部において、シフトレジスタ22のデータ転送を4クロックとする。

50 【1319】また、画面を9分割の領域以上とし、画面

の上から第1領域、第2領域、第3領域、・・・第9領域とすれば、中央部の第5領域を、シフトレジスタ22のデータ転送を15クロックとし、第1領域、第9領域を、シフトレジスタ22のデータ転送を11クロックとする。第2領域、第8領域を、シフトレジスタ22のデータ転送を12クロックとする。第3領域、第7領域を、シフトレジスタ22のデータ転送を13クロックとする。第4領域、第6領域を、シフトレジスタ22のデータ転送を14クロックとする。以上のように、画面を分割してそれぞれ最適にオンオフ制御すれば、明るさの境目はめだたない。

【1320】また、図217の方式も画面の明るさの境目が見えなくすることに対して有効である。図217では、画面21の中央部領域のゲート信号線17aの信号波形を図示している。

【1321】図217でわかるように、各フィールド（フレーム）（F）で表示位置に対する3クロックのシフト開始タイミングを変化させている。図217では説明をようにするために、1Fから4Fでは1クロックずつ開始位置をシフトしている。現実には、各Fに1クロックずつシフトするものではなく、あるFでは1クロック分シフトするが、他のFではシフトしないなどの処理を行う。また、3クロックのシフトを実施する回数は各Fで変化させる。

【1322】たとえば、1F目は、画面の中央部の3クロックの開始位置が、画素行（90）（90画素行目）から開始されるとし、3クロックでシフトレジスタが転送される範囲を20画素行とする。2F目は、画面の中央部の3クロックの開始位置が、画素行（92）から開始されるとし、3クロックでシフトレジスタが転送される範囲を16画素行とする。また、3F目は、画面の中央部の3クロックの開始位置が、画素行（94）から開始されるとし、3クロックでシフトレジスタが転送される範囲を12画素行とする。さらに、4F目は、画面の中央部の3クロックの開始位置が、画素行（96）から開始されるとし、3クロックでシフトレジスタが転送される範囲を8画素行とする。以上のように処理を行うことにより、中央部が最も明るく、画面の上部の表示輝度から、この中央部の表示輝度に変化する境目を目立ちにくくすることができる。

【1323】なお、シフトの開始位置はループ状に処理を行う。たとえば、図217では1F→2F→3F→4F→1F→2F・・・と繰り返す。また、図217では画面の中央部は3クロック周期で画素行をシフトするとしたがこれに限定するものではなく、図216で説明したように、輝度分布がなめらかに変化するようにクロック数、表示領域を調整することはいうまでもない。

【1324】図216と図217をくみあわせることによりさらに、画面表示の明るさ分布処理がめだたず、良好な表示を実現できることはいうまでもない。

【1325】図216、図217で説明した駆動方式は、画面21に輝度分布を意識的に形成するものであった。しかし、この技術的概念は、他の画像表示にも応用できる。

【1326】図218は画面21に2つの輝度部分を形成（表示）したものである。図218において、点灯領域311aは点灯領域311bよりも明るく表示していることを示している。図218（a）ではメモ1の表示領域311aを他の表示領域311bよりも明るくする。

【1327】点灯領域311aを点灯領域311bよりも明るく表示するのは、図215などで説明した方式で容易に構成できる。また、各部の表示領域を選択する回数を制御すればよいのであるから容易に他の方法でも実現できる。

【1328】図218では、ユーザーが選択する領域を明るく（もしくは暗く）表示することにより、表示装置の使い勝手を良好なものとしている。もちろん、選択した表示領域311の色を変化させたりすることも好ましい。図218の表示方式はメニュー選択画面などに適用することが好ましい。ユーザーの操作で画面表示が切り替えることができ、操作性が向上するからである。また、マイコンなどの制御により、自動的に図218の画面表示状態となるように構成してもよい。また、屋外では外光が強く、表示画像が見えなくなるので、特に必要な部分のみを強く点灯するように（点灯領域311a）制御を行っても良い。たとえば、外光の明るさを検出し、その検出した外光の強さが一定値以上の場合において、ユーザーが電源スイッチをおして画面21を表示した場合などである。

【1329】また、図219（a）に図示するように、強く点灯する点灯領域311aを画面21の複数箇所に設けてもよい。また、点滅させてもよい。点滅させるとは、図219（a）において、表示領域311aを0.5秒サイクルでオンオフさせたり、低輝度と高輝度を交互に表示させたりすることである。

【1330】また、図219（b）に図示するように高輝度領域311a、低輝度領域311b、非点灯領域312とを組み合わせる画像表示を行っても良い。

【1331】図220は画面21のスクロール効果を持たせたものである。図220（a）では、画面21の中央部まで、高輝度点灯領域311aとしており、図220（b）が画面21の下端近傍まで、高輝度点灯領域311aとしている。

【1332】また、画面21全体を同時に低輝度表示することも可能であることはいうまでもない。本発明は点灯制御線1791あるいはゲート信号線17bを制御してEL素子15に流れる電流をオンオフさせることにより画面21の輝度を調整（制御）する。したがって、ソースドライバ14から出力する画像データは変化しな

い。そのため、表示画像のコントラスト、ガンマカーブは、表示画像の輝度によらず一定値が保たれることにも特徴がある。そのため、画面21全体を同時に低輝度表示しても、階調特性はそのまま保たれる（たとえば、64階調表示をしている場合は、画面の輝度が1/2となっても、64階調が保たれる）。

【1333】図220に図示するように最初に画面21全体を低輝度点灯領域311bとしておき（低輝度表示としておき）、画面を書き換えているという効果を発揮させるために、画面21の上から、下方向に高輝度点灯領域311aとしていく（高輝度表示としていく）。したがって、図220の矢印方向に高輝度表示を行っていくことにより、1画面21が書き換えられる。そして、一定時間の間、高輝度表示が連続させると、低消費電力の観点から、画面21全体を低輝度表示にする。

【1334】なお、有機EL表示パネルでは、白ラスタ表示で、大きな電力を必要とする。この白ラスタ表示用の電源回路を設けると電源回路が非常に大きくなる。一方で、通常のキャラクタ表示では、白ラスタ表示の1/5～1/3の電力しか冗費しない。したがって、白ラスタ表示の対応できるように電源の出力電流を保有することは経済的あるいは、システムサイズの観点から好ましくない。

【1335】この課題に対処するため、本発明では、一定値以上の電力を消費される画像（たとえば、白ラスタ表示など）を表示する場合は、画像の輝度を低下させて表示するように構成している。たとえば、白ラスタで100mAの電流が流れる場合は、1/2の50mAの電流となるように画像データを処理する。つまり、入力画像のデータの総和を求め、総和が一定値以上となる場合は、画像データに演算処理をおこなって、保有する電源電力で表示可能なように画像データの値を小さくするのである。

【1336】もちろん、画像データの値を小さくすることに限定するものではなく、図179、図215、図219などで説明した非点灯制御をおこなうことにより、画面21全体の輝度を低減することができる。もちろん、画像表示部のみの輝度を低減し、アンテナ表示、時計表示などのアイコン部分は従来の輝度（そのままの輝度）を保つように制御することもできることはいうまでもない。

【1337】なお、以上の実施例は、点灯領域311もしくは非点灯領域312を画面の上下方向に走査することにより、画像表示を行うか、異なる輝度表示領域を形成（表示）するとして説明をした。しかし、本発明はこれに限定するものではない。たとえば、図218などにおいて、画面21の各部分を選択する回数を制御すれば明るさ分布を形成できる。

【1338】たとえば、図218において、画面21を表示するフレームレートが60Hzの時、表示領域31

1bを25回選択し、表示領域311aを50回選択するように制御すれば、表示領域311aは表示領域311bの2倍の輝度で表示できる。

【1339】同様に、図220（b）において、画面21を表示するフレームレートが60Hzの時、表示領域311bを25回選択し、表示領域311aを50回選択し、非点灯領域312を全く選択しないように制御すれば、表示領域311aは表示領域311bの2倍の輝度で表示でき、312の領域を黒表示にすることができる。

【1340】なお、以上説明した事項は、図1971などで説明したブロック駆動あるいは図211で説明した逆バイアス駆動にも適用できることは言うまでもない。また、ブロック駆動において、各ブロックを構成する画素行の本数は1つの文字列を表現する本数にすることが好ましい。たとえば、1文字が16×16ドットで構成されるのであれば、16画素行を1つのブロックとする。また、1文字が24×24ドットで構成されるのであれば、24画素行を1つのブロックとする。このように、文字を構成する縦方向のドット数をブロック数とを一致させることにより、文字を表示する行ごとに点灯領域311、非点灯領域312を制御することができる。

【1341】以上の実施例は、点灯、非点灯制御することにより画面21の明るさなどを調整（変化）させるものであった。明るさ調整のためにEL素子15に流す電流をオンオフさせる必要がある。この際、課題が出現する。以下、この課題とその対策および本発明の駆動方法について説明をする。なお、説明は図1の画素構成について説明をする。しかし、以前にも記載しているように画素構成は図1の構成に限定されるものではなく、図21、図43、図71、図22、図54、図67、図103など本明細書で記載した画素構成に適用できることは言うまでもない。

【1342】図325（a）は画素が選択された時の等価回路図である。ゲート信号線17aにオン電圧（Vg1）が印加され、TFT11b、TFT11cがオンする。この時、ゲート信号線17bにはオフ電圧（Vgh）電圧が印加されており、TFT11dはオフとなっている。したがって、EL素子15には電流が流れない。

【1343】図325（b）は画素が非選択状態で、EL素子15に電流を流している状態である。ゲート信号線17aにオフ電圧（Vgh）が印加され、TFT11b、TFT11cがオフしている。ゲート信号線17bにはオン電圧（Vg1）電圧が印加されており、TFT11dはオン状態となっている。

【1344】図326はゲート信号線17に印加する信号波形である。（1）（2）（3）などの添え字は、画素行の番号を示している。なお、説明を容易にするため、画素行は1画素行目から順次選択されるとして説明

をする。図326においてHDとは水平同期信号である。

【1345】図1の画素構成において、ゲート信号線17aは1H期間選択される。この時、選択された画素行のゲート信号線17bはオフ電圧が印加される。この期間にソース信号線18から画素に電流がプログラムされる。

【1346】ゲート信号線17bは選択期間の経過後、オン電圧が印加され、EL素子15に電流が流れる。図326で明らかなように、ゲート信号線17bにはHD信号に同期して一定の期間オン電圧(Vg1)が印加されている。つまり、オン電圧印加時間は $x/1H$ である(1Hは1水平走査期間)。図326の実施例では、1H期間は16等分されているため、 $x/1H = 4H/16 = 1H/4$ (つまり、1Hの1/4の期間、EL素子15が点灯する)である。

【1347】いままで本発明の実施例で説明したEL素子15の点灯処理は1Hを最小単位として制御したものであった。図326は1H期間を細分し、1H期間の点灯時間で画面の輝度を調整(変化)する方法である。したがって、16段階の明るさ調整を例にすれば、明るさ調整は図328のようになる。明るさの階調1はゲート信号線17bを1Hごとに1H/16の期間だけ、オン電圧(Vg1)を印加する。明るさの階調2はゲート信号線17bを1Hごとに2H/16の期間だけ、オン電圧(Vg1)を印加する。同様に明るさの階調3はゲート信号線17bを1Hごとに3H/16の期間だけ、オン電圧(Vg1)を印加する。また、明るさの階調14を例にすれば、はゲート信号線17bを1Hごとに14H/16の期間だけ、オン電圧(Vg1)を印加する。同様に明るさの階調15はゲート信号線17bを1Hごとに15H/16の期間だけ、オン電圧(Vg1)を印加する。明るさの階調16は、選択されている画素行以外は、たえずオン電圧(Vg1)が印加されている。

【1348】もし、明るさを32階調(段階)必要な場合は、1Hを32分割して制御すればよい。また、一定の明るさ以上を段階的に明るさを制御するには、1Hに1/2はゲート信号線17bにたえず、Vg1電圧を印加するようにし、残りの1Hの1/2の期間を32等分するなどして制御すればよい。

【1349】表示パネルの回路構成は図327のようになる。図327の構成は図2の構成に近似する。したがって、差異を中心に説明をする。図327ではゲート信号線17aを制御するゲートドライバ14aをパネルの左端に配置し、ゲート信号線17bを制御するゲートドライバ14bをパネルの右端に配置している。3271はバッファ回路であり、図2では出力ゲート24、インバータ回路22などが該当する。なお、インバータ23は便宜上、挿入したものであり、シフトレジスタ22の正出力(H=1)時、ゲート信号線17aにオン電圧

(Vg1)が出力されるように構成される。また、ゲート信号線17aにオン電圧が印加(画素行が選択されている)されている時に、前記画素行のゲート信号線17bは非選択となるので、シフトレジスタ22aとシフトレジスタ22bのロジックを一致させるためである。

【1350】ゲートドライバ14bも同様である。また、ゲートドライバ14bのシフトレジスタ22bの入力信号(CLK2、ST2)はゲートドライバのシフトレジスタ22aの入力信号(CLK1、ST1)と同一にされる。したがって、STデータはシフトレジスタ22a、22b内の同一位置で保持され、保持位置がクロックに同期を取ってシフトされる。このため、図326で図示するように、ゲート信号線17aが選択している画素行は必ず、ゲート信号線17bにはオフ電圧(Vgh)が出力されるように制御される。

【1351】1Hの期間のうち、いずれの期間にゲート信号線17bにオン電圧(Vg1)を出力するかは、ENBL端子に印加するロジック信号で決定される。ENBL信号がLの時、OR回路3272の出力がオンとなる(ゲート信号線17bにオン電圧が出力される)。したがって、OR回路3272の出力は、シフトレジスタ22bがデータを保持している箇所に該当するゲート信号線17bは必ず、オフ電圧が出力される(この画素行はゲートドライバ14aにより選択され、画素に電流がプログラムされている)。選択されている画素行のゲート信号線17bはENBL信号線のロジックにより、オンオフ状態が切り替えられる。そのため、ENBL信号線により、1H期間のどれくらいの期間オン電圧を印加するか、そのタイミングを自由に調整(制御)することができる。図327の回路構成では、ゲート信号線17bの制御が容易である。したがって、画面輝度の調整も自由に行うことができる。また、1Hごとに、EL素子15に流れる電流をオンオフ制御する。したがって、画面のオンオフが高速で繰り返されるため、フリッカが発生しない。

【1352】しかし、アレイ設計状態によっては課題が発生する。図325(b)に図示するように、ゲート信号線17bとソース信号線18とはクロスしているため、ゲート信号線17bとソース信号線18間には寄生容量404が発生している。図327ではENBL信号により全ゲート信号線17bに一斉にオン電圧またはオフ電圧が印加される。そのため、ゲート信号線17bに印加した信号により、寄生容量404を介してソース信号線18の電位変動を引き起こしてしまう。

【1353】この課題に対処するためには、図329に図示するように、隣接した画素行に、極力反対極性のパルスを印加することが効果的である。つまり、画素16a、16cのゲート信号線17bに印加するオンオフ信号の極性を画素16bと反対位相にすることである。

【1354】しかし、現実には、隣接したゲート信号線

10

20

30

40

50

17bに完全に逆位相の信号を印加するということは、EL素子15に流す電流印加時間が隣接画素行で異なることになる。なぜなら、画素16aのゲート信号線17bに1Hの1/4の期間オン電圧を印加すると、1Hの1/4期間発光する。画素16bのゲート信号線17bに画素16aのゲート信号線17bの逆位相にするとすれば、画素16bのゲート信号線17bに1Hの3/4の期間オン電圧を印加することになる。したがって、画素16bは1Hの3/4期間発光する。つまり、隣接した画素行で発光時間が異なってしまう。

【1355】図332はこの課題を解決する本発明の駆動方法である。理解を容易にするため、画素行(1)と画素行(2)のゲート信号線17bの波形を抽出して図示している。Aの例では、画素行(1)のゲート信号線17b(1)のオン電圧(Vg1)を印加する時間はT1の期間である。また、画素行(1)に隣接した画素行(2)のゲート信号線17b(2)のオン電圧(Vg1)を印加する時間もT1の期間である。つまり、EL素子15に電流を流す時間は隣接した画素行で等しい。したがって、全表示領域において、表示輝度は同一となる。

【1356】隣接した画素行のゲート信号線17bの波形は、a点において逆位相であるので打ち消しあう。b点、c点では離れているが、打ち消し効果は0ではない。現実にはAの例(状態)でもほとんど、カップリングによる画面浮きは発生しない。

【1357】Bの例(状態)では、画素行(1)のゲート信号線17b(1)のオン電圧(Vg1)を印加する時間はT2の期間である。また、画素行(1)に隣接した画素行(2)のゲート信号線17b(2)のオン電圧(Vg1)を印加する時間もT2の期間である。つまり、EL素子15に電流を流す時間は隣接した画素行で等しい。隣接した画素行のゲート信号線17bの波形は、a点において逆位相であるので打ち消しあう。また、b点、c点の位置はかなり近い。したがって、打ち消し効果が大きい。

【1358】Cの例(状態)では、画素行(1)のゲート信号線17b(1)のオン電圧(Vg1)を印加する時間はT3の期間である。また、画素行(1)に隣接した画素行(2)のゲート信号線17b(2)のオン電圧(Vg1)を印加する時間もT3の期間である。つまり、EL素子15に電流を流す時間は隣接した画素行で等しい。隣接した画素行のゲート信号線17bの波形は、a点において逆位相であるので打ち消しあう。また、a点とb点が近く、c点とa点の位置はかなり近い。したがって、打ち消し効果が大きい。

【1359】以上のように図332の駆動方法では、Cの状態が画面輝度は最も暗く、Bの状態は次に暗く、Aの状態が一番明るい。また、A、B、Cのいずれの状態も隣接した画素行でゲート信号線17bに印加する波形

の位相を変化させているので、隣接した画素行間で寄生容量の影響をキャンセルしている。

【1360】なお、図332において、a点などで画素行(1)のゲート信号線17bと画素行(2)のゲート信号線17bの変化位置を一致させるように図示したがこれに限定するものではない。画素行(1)のゲート信号線17bと画素行(2)のゲート信号線17bの変化位置がずれていても、ソース信号線18の電位変動を抑制する効果が発揮されるからである。実験によれば、変化位置は1H(1水平走査期間)の30%以内(たとえば、1Hが100(μsec)であれば、30(μsec)以内)であれば、変化位置が一致している場合を差異はなかった。

【1361】また、図329などでは、隣接した画素行でゲート信号線17bに印加する信号波形を異ならせるとしたがこれに限定するものではない。たとえば、図330のように、2画素行ごとに变化させてもよい。図330では画素16a、16b、16eが同一であり、画素16c、16dが同一である。

【1362】また、隣接画素行でゲート信号線17bを近接させることも効果がある。この実施例を図331に図示している。画素16aのゲート信号線17b1と、画素16bのゲート信号線17b2とを近接させて配置(形成)している。

【1363】図330は2画素行ごとに信号波形を異ならせているが、さらに3画素行以上ごとにゲート信号線17に印加する信号波形を異ならせるとしてもよい。また、ランダムにしてもよい。また、複数フレーム(フィールド)で明るさが目標値をなるべくように制御してもよい。なお、以上の実施例では、ゲート信号線17bの位相関係、信号波形のタイミングについて論じているが、これに限定されることなく、ゲート信号線17aについても同様に、位相関係、信号波形のタイミングに隣接画素行などで変化させれば効果的である。また、逆バイアス電圧を印加するTF T11gのゲート信号線についても同様である。

【1364】図332のように隣接した画素行のゲート信号線17bの信号波形を変化させるためには、表示パネルの回路構成は図333ようになる。図333の構成は図327の構成に近似する。したがって、差異を中心に説明をする。

【1365】1Hの期間のうち、いずれの期間にゲート信号線17bにオン電圧(Vg1)を出力するかは、ENBL1端子およびENBL2端子に印加するロジック信号で決定される。ENBL1信号がLの時、偶数画素行に対応するOR回路3272の出力がオンとなる(ゲート信号線17bにオン電圧が出力される)。また、ENBL2信号がLの時、奇数画素行に対応するOR回路3272の出力がオンとなる(ゲート信号線17bにオン電圧が出力される)。

10

20

30

40

50

【1366】したがって、OR回路3272の出力は、シフトレジスタ22bがデータを保持している箇所に該当するゲート信号線17bは必ず、オフ電圧が出力される（この画素行はゲートドライバ14aにより選択され、画素に電流がプログラムされている）。選択されている画素行のゲート信号線17bはENBL1およびENBL2信号線のロジックにより、オンオフ状態が切り替えられる。そのため、ENBL信号線により、1H期間のどれくらいの期間オン電圧を印加するか、そのタイミングを自由に調整（制御）することができる。

【1367】したがって、図332ではa点で隣接したゲート信号線17bの位相と逆極性にするとしたが、これに限定せず、逆極性をなす位置を自由に変更できる。また、ゲート信号線17bにオン電圧（Vg1）を印加する位置は1Hの期間において連続している必要はない。1H期間に複数回、オン電圧を印加するように構成してもよい。

【1368】図332は1Hで規則正しい信号波形となっていたが、これに限定する必要はない。図326でも説明したように、ゲート信号線17bに印加する信号波形が一致することにより、ソース信号線18の電位変動が発生することが問題である。したがって、解決する手段の1つが隣接画素行で、ゲート信号線17bに印加する信号波形を異ならせるというのが本発明の方法であった。たとえば、図337に図示するように2H周期でゲート信号線17bに印加する信号波形を操作してもよい。

【1369】図337では、画素行を選択するゲート信号線17aは水平同期信号（HD）に同期して変化させている（つまり、HDに同期して1画素行ずつ選択する画素行をシフトしている）。しかし、ゲート信号線17bは2H周期でオン電圧（Vg1）を出力する。この場合でも画面21の輝度調整を行えることは言うまでもない。また、ゲート信号線17bに印加する信号波形の変化が少なくなるから黒浮きは発生しにくくなる。

【1370】図337は1H期間を32に細分したものともし言い換えることができる。したがって、32段階の明るさ調整を例にすれば、明るさ調整は図338のようになる。明るさの階調1はゲート信号線17bを2Hごとに1H/32の期間だけ、オン電圧（Vg1）を印加する。明るさの階調2はゲート信号線17bを2Hごとに2H/32の期間だけ、オン電圧（Vg1）を印加する。同様に明るさの階調3はゲート信号線17bを2Hごとに3H/32の期間だけ、オン電圧（Vg1）を印加する。以下同様であり、明るさの階調30を例にすれば、はゲート信号線17bを2Hごとに30H/32の期間だけ、オン電圧（Vg1）を印加する。同様に明るさの階調31はゲート信号線17bを2Hごとに31H/32の期間だけ、オン電圧（Vg1）を印加する。明るさの階調32は、選択されている画素行以外は、たえ

ずオン電圧（Vg1）が印加されている。

【1371】他の方法として、図335に図示するように、ゲート信号線17bに印加する信号波形を少しずつ変化させるという方法がある。図335では画素行

（1）から画素行（8）までのゲート信号線17bの波形を図示している。各画素行のゲート信号線17bにオン電圧（Vg1）が印加される時間はT1と一定である。また、オン電圧（Vg1）とオフ電圧（Vgh）が印加される周期も一定としている。したがって、各画素行のEL素子15は所定周期で所定時間だけ点灯するから、画面21の輝度は全画素行で一定である（もちろん、白ラスタ表示の場合である。動画、自然画では当然、画像データによって各画素の輝度は異なる）。

【1372】各画素行において、ゲート画素行（1）のゲート信号線17b（1）のa1点（立下り方向）と画素行（2）のゲート信号線17b（2）のa2点（立ち上がり方向）とのタイミングを一致させている。以上のように2つの波形の立ち上がりを立ち下がりタイミングを一致させることによりソース信号線18へのカップリングの発生を抑制している。同様に、画素行（2）のゲート信号線17b（2）のb2点（立下り方向）と画素行（3）のゲート信号線17b（3）のb3点（立ち上がり方向）とのタイミングを一致させている。画素行（3）のゲート信号線17b（3）のc3点（立下り方向）と画素行（4）のゲート信号線17b（4）のc4点（立ち上がり方向）とのタイミングを一致させている。また、画素行（4）のゲート信号線17b（4）のd4点（立下り方向）と画素行（5）のゲート信号線17b（5）のd5点（立ち上がり方向）とのタイミングを一致させている。

【1373】以上のように図335の駆動方法では、隣接した画素行のゲート信号線17bは極力、立ち上がりタイミングと立下りタイミングとを一致させて駆動しているため、ソース信号線18へのカップリングが少ない。したがって、黒浮きの発生は小さく、良好なコントラストを実現できる。

【1374】図336は本発明の駆動方式において、画面21の書き換え状態を図示している。図336（a）の1H経過後は図336（b）であり、さらに1H経過後は図336（c）の状態である。つまり、画面21は複数に分割され、同時に複数の領域が書き換えられている。もちろん、1画素行ずつ書き換えても良いことは言うまでもない。

【1375】なお、本発明の駆動方式は、図1などの画素が電流プログラム方式の構成を例示して説明しているが、図54、図68、図103、図121などの電圧プログラム方式の構成においても有効である。ゲート信号線とソース信号線は、パネル構成に起因するものであり、画素が電圧プログラム方式でも電流プログラム方式でも発生するからである。したがって、本発明の駆動方

10

20

30

40

50



法、駆動回路は本明細書に記載されたすべての構成に適用される。

【1376】また、図1などの画素構成では、選択された画素行において、ゲート信号線17aにオン電圧が印加されているときは、ゲート信号線17bにはオフ電圧を印加し、ソース信号線18側からEL素子15が見えないようにするとした。しかし、図21、図22、図43、図71などのカレントミラーの画素構成においては、ソース信号線18とEL素子15へは直接の電流経路はない。したがって、カレントミラーの画素構成では、ゲート信号線17aにオン電圧が印加されているときは、ゲート信号線17bにはオフ電圧を印加するという条件は満足させる必要はない。このことは、図54、図67、図103などで説明した電圧プログラム方式の画素構成においても同様である。

【1377】また、図335においても、a1、a2点などで画素行(1)のゲート信号線17bと画素行(2)のゲート信号線17bの変化位置を一致させるように図示したがこれに限定するものではない。画素行(1)のゲート信号線17bと画素行(2)のゲート信号線17bの変化位置がずれていても、ソース信号線18の電位変動を抑制する効果が発揮されるからである。このことは、電流プログラム方式のパネル構成で顕著である。実験によれば、変化位置は1H(1水平走査期間)の30%以内(たとえば、1Hが100( $\mu$ sec)であれば、30( $\mu$ sec)以内)であれば、変化位置が一致している場合を差異はない。また、図335において、ゲート信号線17bの変化は1H周期としているがこれに限定するものではない。全ゲート信号線17bが所定期間でオン電圧が印加させる期間(T1)が一致すればよい。したがって、HD(水平同期信号)と同期をとる必要はない。各画素のゲート信号線17bがフリーランで動作させてもよい。ゲート信号線17bにオン電圧を印加し、また、オフ電圧を印加する周期が、水平同期信号(HD)と全く非同期でもよい。また、垂直同期信号(VD)と同期を取っても良い。また、ソースドライバ回路14のクロックと同期を取るように構成してもよい。

【1378】しかし、現実には、全く非同期(ランダム状態)でゲート信号線17bを動作させると、画像の種類によっては、フリッカが発生したり、温度依存性により表示画面の輝度が変化する場合がある。したがって、所定の周期で各ゲート信号線17bの信号印加状態に規則性をもたせることが好ましい。また、規則性を持たせることにより、駆動回路を簡略化できる。特に、図1の画素構成では、選択した画素行のゲート信号線17bはオフ電圧(Vgh)を印加するという制約があるからである。つまり、ゲート信号線17aとゲート信号線17bとは同期性を持たせる必要がある。

【1379】本発明では、16周期ごとにパターンを繰

り返すように構成している。したがって、画素行(1)のゲート信号線17bに印加する信号波形パターンから画素行(16)のゲート信号線17bに印加する信号波形パターンを異ならせる。画素行(17)のゲート信号線17bに印加する信号波形パターンから画素行(32)のゲート信号線17bに印加する信号波形パターンを異ならせる。画素行(1)のゲート信号線17bに印加する信号波形パターンと画素行(17)のゲート信号線17bに印加する信号波形パターンとは一致させ、画素行(2)のゲート信号線17bに印加する信号波形パターンと画素行(18)のゲート信号線17bに印加する信号波形パターンとは一致させるという方式である。つまり、図335を例示すれば、画素行(1)から画素行(16)のゲート信号線17bは一定間隔でオン電圧印加位置がずれた波形を印加し、画素行(1)と画素行(17)のゲート信号線17bの印加波形は同一であり、以下、同様に画素行(2)と画素行(18)のゲート信号線17bの印加波形は同一であり、画素行(3)と画素行(19)のゲート信号線17bの印加波形は同一であり、画素行(4)と画素行(20)のゲート信号線17bの印加波形は同一であり、・・・、画素行(16)と画素行(32)のゲート信号線17bの印加波形は同一であるということである。さらには、16パターンであるから、画素行(1)と画素行(17)と画素行(33)・・・は同一の信号波形が印加される。

【1380】もちろん、16周期に限定するものではない。しかし、周期が8未満であると、1画面内でゲート信号線17bの立ち上がりあるいは立下りタイミングが一致する箇所が多くなり、黒浮きが発生しやすい。逆に32周期より大きいと、駆動回路が複雑になる。したがって、周期は8以上32以下とすることが好ましい。

【1381】図334はゲート信号線17bに16パターンの信号を入力する回路構成図である。図333などで説明したゲートドライバ回路14bの替わりに16本のENBL(0:15)信号線で構成されている。なお、16本のENBL(0:15)信号線は、オン電圧(Vgl)、オフ電圧(Vgh)レベルの電圧振幅を出力できるように構成されている。

【1382】16本のENBL(0:15)信号線は、それぞれゲート信号線17bと16本ごとに共通に接続されている。したがって、Nは0以外の整数とした場合、たとえば、ENBL0信号線に印加された信号は画素行(16N-15)と接続され、ENBL1信号線に印加された信号は画素行(16N-14)と接続され、ENBL2信号線に印加された信号は画素行(16N-13)と接続され、ENBL3信号線に印加された信号は画素行(16N-12)と接続され、ENBL4信号線に印加された信号は画素行(16N-11)と接続され、ENBL5信号線に印加された信号は画素行(16

10

20

30

40

50

N-10)と接続され、ENBL6信号線に印加された信号は画素行(16N-9)と接続され、ENBL7信号線に印加された信号は画素行(16N-8)と接続され、ENBL8信号線に印加された信号は画素行(16N-7)と接続され、ENBL9信号線に印加された信号は画素行(16N-6)と接続され、ENBL10信号線に印加された信号は画素行(16N-5)と接続され、ENBL11信号線に印加された信号は画素行(16N-4)と接続され、ENBL12信号線に印加された信号は画素行(16N-3)と接続され、ENBL13信号線に印加された信号は画素行(16N-2)と接続される。また、ENBL14信号線に印加された信号は画素行(16N-1)と接続される。また、ENBL15信号線に印加された信号は画素行(16N)と接続される。したがって、16画素行周期で、ゲート信号線17bに印加する駆動波形を自由に操作できる。

【1383】図334はENBL(0:15)を制御することにより、ゲート信号線17bを操作し、EL素子15に流す電流を制御する。また、制御パターンは最大16種類となる。図334の構成は、表示領域21の端

に形成する信号線数が16本と少ない。したがって、3辺フリーの構造に適する。

【1384】しかし、表示パネルとコントローラから出力されるENBL(0:15)端子の接続数が16本と多い、また、ゲート信号線17aとの制御(ゲート信号線17aにオン電圧が印加されている画素行のゲート信号線17bにはオフ電圧を印加する)がやや困難になる。

【1385】図327、図333の回路を拡張し、図349とすれば制御が容易となる。ゲートドライバ14bのシフトレジスタ22bの入力信号(CLK2、ST2)はゲートドライバ14aのシフトレジスタ22aの入力信号(CLK1、ST1)と同一にされる。したがって、STデータはシフトレジスタ22a、22b内の同一位置で保持され、保持位置がクロックに同期を取ってシフトされる。このため、図326で図示するように、ゲート信号線17aが選択している画素行は必ず、ゲート信号線17bにはオフ電圧(Vgh)が出力されるように制御される。

【1386】いずれの期間にゲート信号線17bにオン電圧(Vg1)を出力するかは、ENBL(0:15)端子に印加するロジック信号で決定される。コントローラからは4本のSEL(0:3)端子がデコーダ回路3491に接続されている。このSEL端子のデータをデコーダ回路3491がデコードし、どのENBL端子にオン電圧またはオフ電圧を出力されるかが決定される。

【1387】OR回路3272の出力は、シフトレジスタ22bがデータを保持している箇所に該当するゲート信号線17bは必ず、オフ電圧が出力される(この画素行はゲートドライバ14aにより選択され、画素に電流

がプログラムされている)。選択されている画素行のゲート信号線17bはENBL信号線のロジックにより、オンオフ状態が切り替えられる。そのため、ENBL信号線により、1H期間のどれくらいの期間オン電圧を印加するか、そのタイミングを自由に調整(制御)することができる。また、コントローラとゲートドライバ回路14bとの信号線数はENBL端子が16本からSEL端子の4本になるので大幅に減少する。

【1388】図339に図示するように、隣接した画素行のゲート信号線17bに印加する信号波形を逆順にするという方法も効果がある。図339において、奇数画素行は同一波形であり、偶数画素行も同一波形である。しかし、奇数画素行ではHD信号に同期して、オン電圧(Vg1)がT1の期間印加された後に、オフ電圧(Vgh)が1H-T1期間印加される。偶数画素行ではHD信号に同期して、まず、オフ電圧(Vgh)が1H-T1の期間印加された後に、オン電圧(Vg1)がT1期間印加される。したがって、オン電圧またはオフ電圧を印加する順序が隣接画素行で反対である。EL素子15に電流を流す期間(T1)はすべてのゲート信号線17bで同一である。各画素行のEL素子15は所定周期で所定時間だけ点灯するから、画面21の輝度は全画素行で一定である(もちろん、白ラスタ表示の場合である。動画、自然画では当然、画像データによって各画素の輝度は異なる)。

【1389】各画素行において、ゲート画素行(1)のゲート信号線17b(1)のa1点(立下り方向)と画素行(2)のゲート信号線17b(2)のa2点(立ち上がり方向)とのタイミングを一致させている。以上のように2つの波形の立ち上がりを立ち下がりタイミングを一致させることによりソース信号線18へのカップリングの発生を抑制している。

【1390】以上のように、図339の駆動方法では、隣接した画素行のゲート信号線17bはa点での立ち上がりタイミングと立下りタイミングとを一致させて駆動しているため、ソース信号線18へのカップリングが少ない。したがって、黒浮きの発生は小さく、良好なコントラストを実現できる。奇数画素行の信号波形の立ち上がり位置b1点と、偶数画素行の信号波形の立下り位置b2点は、EL素子15の点灯時間(T1)で変化する。しかし、ほとんどの輝度状態で時間的に近い位置に発生する。したがって、奇数画素行の信号波形の立ち上がり位置b1の変化と、偶数画素行の信号波形の立下り位置b2の変化が打ち消しあい、ソース信号線18への電位変動は抑制される。また、EL素子15に電流を流す期間が短い時(T1が小さい)は、奇数画素行の信号波形の立下り位置a1点と、立ち上がり位置b1が近くなり、この2つの変化は打ち消しあう(というよりは、変化が時間的に短期間で発生するので、ソース信号線18の電位変化が画素16への書き込みに影響を与えな

い)。同様に、偶数画素行の信号波形の立下り位置b2点と、立ち上がり位置a2が近くなり、この2つの変化は打ち消しあう。したがって、ソース信号線18へのカップリングの影響を抑制できるから、黒浮きが発生しない。

【1391】垂直同期信号(VD)で信号波形を変化させることも重要である。ゲート信号線17bに印加する信号波形の立ち上がりと立下り位置が分散され、ソース信号線18への電位変動を抑制できるからである(また、HD周期で電位変動が発生してもVD周期で抑制されるからである)。図340は図339において、VD信号で信号の順番を逆にしたところを示している。簡単には、全フレーム(フィールド)の偶数画素行のゲート信号線17bに印加していた信号波形を奇数画素行のゲート信号線17bに印加し、奇数画素行のゲート信号線17bに印加していた信号波形を偶数画素行のゲート信号線17bに印加している。他の点は図339で説明したので省略する。

【1392】図340では、VD信号に同期して奇数画素行のゲート信号線17bの信号波形と偶数画素行のゲート信号線17bの信号波形とを入れ替える。以上のように、VD同期信号(もちろん、VD同期信号に限定するのではない。HD同期信号よりも長い周期の信号であればよい)に同期して信号波形を変化させることにより、より、表示画面21の黒浮きなどが減少し、高コントラスト表示を実現できる。なお、以上の事項は、図339の実施例に限定されるものではない。今まで説明した駆動方式あるいは以降に説明する駆動方式にも適用される。たとえば、図341に駆動方式にも適用される。

【1393】図329などの駆動方式では、1Hを周期として信号波形が変化する。そのため、信号の変化回数が1Hごとに2回発生する。信号の変化によりソース信号線18などに影響を与える。また、信号の変化が多いと、ゲートドライバ12の消費電力も増大する。したがって、単位時間あたりの信号の変化回数は少ない方がよい。

【1394】図341は、図339のように1Hの期間にEL素子15に電流を流す期間T1を維持したまま、1Hあたりのゲート信号線17bの変化回数を1回にした駆動方式である。各画素行で、1Hごとにゲート信号線17bにオン電圧(Vg1)を印加する期間とオフ電圧(Vgh)を印加する期間とを逆順にしている。たとえば、画素行(1)において、第1水平走査期間(第1H)ではT1の期間、オン電圧を出力し、1H-T1の期間、オフ電圧を出力する。第2水平走査期間(第2H)では1H-T1の期間、オフ電圧を出力し、T1の期間、オフ電圧を出力する。同様に、第3水平走査期間(第3H)ではT1の期間、オン電圧を出力し、1H-T1の期間、オフ電圧を出力する。つまり、1Hごとにオン電圧を出力する期間とオフ電圧を出力する期間を入

れ替えている。また、奇数画素行と偶数画素行では逆順にしている。

【1395】したがって、奇数画素行の第1水平走査期間(第1H)ではT1の期間、オン電圧を出力し、1H-T1の期間、オフ電圧を出力する。第2水平走査期間(第2H)では1H-T1の期間、オフ電圧を出力し、T1の期間、オフ電圧を出力する。同様に、第3水平走査期間(第3H)ではT1の期間、オン電圧を出力し、1H-T1の期間、オフ電圧を出力する。つまり、1Hごとにオン電圧を出力する期間とオフ電圧を出力する期間を入れ替えている。偶数画素行では、第1水平走査期間(第1H)では1H-T1の期間、オフ電圧を出力し、T1の期間、オン電圧を出力する。第2水平走査期間(第2H)ではT1の期間、オン電圧を出力し、1H-T1の期間、オン電圧を出力する。同様に、第3水平走査期間(第3H)では1H-T1の期間、オフ電圧を出力し、T1の期間、オン電圧を出力する。また、図340で説明したように、垂直同期信号(VD)で、奇数画素行と偶数画素行のゲート信号線17bに印加する信号波形を入れ替えるのである(図343を参照のこと)。なお、図341では、オン電圧とオフ電圧を印加する位置を1Hごとに入れ替えるとしたがこれに限定するものではない。たとえば、2Hごとに入れ替えても良いし、ランダム的に入れ替えても良い。また、図344に図示するように、各画素行でオン電圧印加位置などを少しずつシフトしてもよい。

【1396】図344の実施例では、画素行(1)(2)とペアとし、画素行(3)(4)とペアとし、画素行(5)(6)とペアとし、画素行(7)(8)とペアとして信号を印加している。奇数画素行は同一信号波形であるが、画素行(1)と画素行(3)とは2H/16の期間、位相をシフトしている。同様に、画素行(5)と画素行(7)とは2H/16の期間、位相をシフトしている。以下同様である。また、偶数画素行は同一信号波形であるが、画素行(2)と画素行(4)とは2H/16の期間、位相をシフトしている。同様に、画素行(4)と画素行(6)とは2H/16の期間、位相をシフトしている。以下同様である。

【1397】以上のように、本発明の駆動方式は、必ずしも、HD同期信号と同期を取り、HD同期信号から所定のタイミングですべてのゲート信号線などが変化する必要はない。以上の事項は他の本発明においても同様である。

【1398】図341での階調表示は、図342のごとくなる。図342は1H期間を16に細分した例(16段階の明るさ調整が可能である)である。明るさの階調1はゲート信号線17bを1Hごとに1H/16の期間だけ、オン電圧(Vg1)を印加する。また、オン電圧(Vg1)を印加する位置を1Hごとに逆順にする。明るさの階調2はゲート信号線17bを1Hごとに2H/

16の期間だけ、オン電圧(Vg1)を印加する。また、オン電圧(Vg1)を印加する位置を1Hごとに逆順にする。同様に明るさの階調3はゲート信号線17bを1Hごとに3H/16の期間だけ、オン電圧(Vg1)を印加する。また、オン電圧(Vg1)を印加する位置を1Hごとに逆順にする。以下同様であり、明るさの階調15はゲート信号線17bを1Hごとに15H/16の期間だけ、オン電圧(Vg1)を印加する。また、オン電圧(Vg1)を印加する位置を1Hごとに逆順にする。明るさの階調16は、選択されている画素行以外は、たえずオン電圧(Vg1)が印加する。

【1399】なお、今まで説明した駆動方法では、奇数画素行と偶数画素行のゲート信号線の駆動波形を異ならせるとしたが、図330、図334に説明したようにこれに限定するものではない。2画素行以上の単位で異ならせても良いことはいうまでもない。また、ランダム的な駆動を実施してもよい。

【1400】以上の実施例は、1Hあるいは2H期間において、ゲート信号線17bにオン電圧(Vg1)を印加する時間を制御する(EL素子15に電流を流す期間を制御することにより、表示画像21の輝度(明るさ)を調整(制御)する駆動方式であった。つまり、1Hまたは複数H期間を複数に分割し、分割した期間の該当期間にオン電圧またはオフ電圧を印加するものであった。

【1401】図345は1H期間を単位としてゲート信号線17bにオン電圧(Vg1)を印加する時間を制御する(EL素子15に電流を流す期間を制御することにより、表示画像21の輝度(明るさ:本発明は階調と表現している)を調整(制御)する駆動方式である。つまり、複数のH期間を1つの単位として、その内、いくつかのH期間にオン電圧またはオフ電圧を印加することにより表示画像21の明るさを制御(調整)するものである。

【1402】図345は1Hを1/2に分割し、この1/2にオン電圧(Vg1)を印加する。また、偶数画素行のゲート信号線17bのオン電圧位置を奇数画素行のゲート信号線17bのオン電圧位置とを異ならせている。図345でわかるように、奇数画素行の画素行

(1)は1Hの前半の期間にオン電圧(Vg1)を印加し、偶数画素行の画素行(2)は1Hの後半の期間にオン電圧(Vg1)を印加している。このように、オン電圧とオフ電圧とを交互にゲート信号線17bに印加する。a点では、奇数画素行のゲート信号線17bがオン電圧(Vg1)からオフ電圧(Vgh)に変化する(立ち上がり)。一方、偶数画素行のゲート信号線17bがオフ電圧(Vgh)からオン電圧(Vg1)に変化する(立下り)。そのため、ソース信号線18に突き抜ける電圧が打ち消しあう。

【1403】階調表示(というよりは表示画面21の明

るさ(輝度)調整)は、図345のごとくなる。図345は16H期間で繰り返す駆動パターンである。したがって、16階調(16段階の明るさ)を表現できる。なお、奇数画素行のゲート信号線17bと偶数画素行のゲート信号線17bの位相とは1H/2シフトしている。なお、図345の明るさ制御では、16階調目でもEL素子15は1フレーム(1フィールド)の1/2の期間しか点灯しない。したがって、従来のような(EL素子15にたえず電流を流した状態)輝度を得るには、ソース信号線18に印加する電流を所定値の2倍(N=2)とし、各画素にプログラムする必要がある。つまり、図87、図88などで説明した、N倍パルス駆動を実施する。

【1404】明るさの階調1はゲート信号線17bを1Hごとに1H/2(1Hの1/2)の期間だけ、オン電圧(Vg1)を印加する。明るさの階調2はゲート信号線17bを1Hごとに2H/2の期間(1Hの1/2の点灯を2回)だけ、オン電圧(Vg1)を印加する。同様に、明るさの階調3はゲート信号線17bを1Hごとに3H/2の期間(1Hの1/2の点灯を3回)だけ、オン電圧(Vg1)を印加する。明るさの階調16は、ゲート信号線17bを1Hごとに16H/2の期間(1Hの1/2の点灯を16回)だけ、オン電圧(Vg1)を印加する。以上のように、ゲート信号線17bを制御することにより表示画面21の輝度制御を容易に実現でき、また、黒浮きも発生しない。

【1405】図346は、オン電圧(Vg1)印加位置を分散させたものである。たとえば、図345の階調2ではオン電圧を印加する位置が2H連続しているが、図346の駆動方法では、b位置にオン電圧が印加されている。他の事項は図345と同様であるので説明を省略する。図346のようにオン電圧位置(もしくはオフ電圧位置)を分散させることにより、さらにソース信号線18などに与える影響を軽減できる。なお、図346、図345は16H(16水平走査期間)を1区切りとしているがこれに限定するものではない。たとえば、8Hでも、32Hを1区切りとしてもよい。

【1406】図345などは1Hを1/2に分割し、この1H/2の期間にオン電圧またはオフ電圧を印加するものであった。本発明はこれに限定するものではない。たとえば、図347のように1Hすべてをオン電圧またはオフ電圧を印加するように制御してもよい。

【1407】図345は16Hと1周期単位としてゲート信号線17bにオン電圧またはオフ電圧を印加する。16Hを1周期とすると階調(明るさは16段階を表現できる)また、偶数画素行のゲート信号線17bのオン電圧位置を奇数画素行のゲート信号線17bのオン電圧位置とを異ならせている。

【1408】図345でわかるように、階調1(明るさのレベル1)では、偶数画素行の画素行(1)のゲート

信号線17bに1Hの期間オン電圧(Vg1)を印加する。1H後、奇数画素行の画素行(2)のゲート信号線17bに1Hの期間にオン電圧(Vg1)を印加している。a点では、偶数画素行のゲート信号線17bがオン電圧(Vg1)からオフ電圧(Vgh)に変化する(立ち上がり)。一方、奇数画素行のゲート信号線17bがオフ電圧(Vgh)からオン電圧(Vg1)に変化する(立下り)。そのため、ソース信号線18に突き抜ける電圧が打ち消しあう。

【1409】明るさの階調1(明るさのレベル1)はゲート信号線17bを1Hの期間、オン電圧(Vg1)を印加する。明るさの階調2はゲート信号線17bを2Hの期間、オン電圧(Vg1)を印加する。同様に、明るさの階調3はゲート信号線17bを3Hの期間、オン電圧(Vg1)を印加する。最後の明るさの階調16は、ゲート信号線17bを16Hの期間、オン電圧(Vg1)を印加する(たえず、オン電圧を印加)。以上のように、ゲート信号線17bを制御することにより表示画面21の輝度制御を容易に実現でき、また、黒浮きも発生しない。

【1410】なお、奇数画素行と偶数画素行のゲート信号線の駆動波形を異ならせるとしたが、図330、図334に説明したようにこれに限定するものではない。2画素行以上の単位で異ならせても良いことはいうまでもない。また、ランダム的な駆動を実施してもよい。

【1411】図347の実施例では、ゲート信号線17bからオン電圧(Vg1)を連続して印加するとしたが、これに限定するものではない。たとえば、図356のように、オン電圧(Vh1)とオフ電圧(Vgh)を交互にゲート信号線17bに印加してもよい。

【1412】図356では各画素行が選択されている(該当ゲート信号線17aにオン電圧が印加される)時は、該当画素行のゲート信号線17bにはオフ電圧を印加するという条件を満足させている。選択されていない時には、ゲート信号線17bにオン電圧またはオフ電圧を印加する。図356で図示した状態では、画素行(1)は第3H、第5H、第7H、第9Hの4Hの期間にオン電圧が印加されている。画素行(2)はシフトレジスタ22で1シフトされているから、第4H、第6H、第8H、第10Hの4Hの期間にオン電圧が印加されている。同様に、画素行(3)はシフトレジスタ22で1シフトされているから、第5H、第7H、第9H、第11Hの4Hの期間にオン電圧が印加されている。以下同様である。

【1413】図356の構成では図2で説明したシフトレジスタ22のデータ入力制御でオン電圧位置を設定でき、また、シフトレジスタのシフト制御で1画素行ずつ、オン電圧の印加位置を変更できる。したがって、回路構成および回路制御が容易である。また、表示画面21の明るさ調整も容易である。オン電圧をいくつ印加す

る(これは、シフトレジスタ22に印加するデータの個数で制御できる)かで容易に変更できるからである。

【1414】また、a点では画素行(1)のゲート信号線17bがオン電圧からオフ電圧に変化(立ち上がり)し、画素行(2)のゲート信号線17bがオフ電圧からオン電圧に変化(立下り)する。他の箇所(たとえば、b点)でも同様である。b点では画素行(1)と画素行(3)のゲート信号線17bがオフ電圧からオン電圧に変化(立下り)し、画素行(2)のゲート信号線17bがオン電圧からオフ電圧に変化(立ち上がり)する。したがって、図356の駆動方式では、隣接した画素行のゲート信号線において、信号波形の立ち上がりと立下りが打ち消しあう。そのため、ゲート信号線17の印加信号によるソース信号線18などの電位変動が抑制される。

【1415】図356はオン電圧とオフ電圧を1画素飛ばしで書き込み、また、オン電圧とオフ電圧の組を一括で駆動している。また、データのシフトは水平同期信号(HD)に同期させている。画像表示状態は、表示画素行311と非表示画素行312の組が4組(つまり8画素行、他の画素行は非表示)、画面の上から下方向に移動しているように表示される。なお、以上の説明は説明を容易にするため、画素行が少なくして説明している。本発明は表示画素行311と非表示画素行312の組を連続して発生することに限定するものではない。たとえば、図348に図示するように、分割してもよい。

【1416】図348の画像表示状態は、表示画素行311と非表示画素行312の組が4組のものが2ブロック(つまり8画素行の組が2ブロック、他の画素行は非表示)、画面の上から下方向に移動しているように表示される。ブロックとブロックの間は、8画素行である。なお、以上の説明は説明を容易にするため、画素行が少なくして説明している。以上のように複数ブロックが発生するように駆動することにより、フレームレートを非常に遅くしても、表示画像にフリッカが発生しない。

【1417】なお、図356、図348では、1H期間にオン電圧を印加し、次の1H期間にオフ電圧を印加するとしたがこれに限定するものではない。たとえば、2H期間連続してオン電圧を印加し、次の2H期間にオフ電圧を印加し、これを繰り返してもよい。重要なのは、隣接した画素行で、ゲート信号線17bなどに印加する信号波形を異ならせることである。なお、隣接画素のみに限定するものではない。画面21内で異ならせればよい。好ましくは、ある時刻で信号波形の立ち上がりと立下りがほぼ同数となるように制御する。

【1418】図2、図60、図327、図333などのゲート信号線17bを制御するシフトレジスタ22に印加するSTデータを制御することにより、画面21の輝度を容易に調整でき、また、画素行の表示311、非表示312のパターンも自由に制御(変更)することがで

きる。STデータを単位時間に多く入力すると、画面21輝度は高くなる(STデータがHの時、ゲート信号線17bにオン電圧(Vg1)が印加されるように構成されている場合)。

【1419】また、STデータに間欠的に入力データを入力し、かつその入力データの間隔が短いと、各画素行は点灯311、非点灯312を短時間で繰り返す。そのため、動画表示時に動画ボケが発生しやすくなるが、フリッカの発生はなくなる。逆に、STデータに一括に連続して入力データを入力し、かつその入力データの一括に10 入力する間隔が長いと、各画素行は点灯311、非点灯312の間隔は長くなる。そのため、動画表示時に動画ボケが発生しなくなる。しかし、反面、フリッカの発生が大きくなる。いずれにせよ、本発明は簡単な駆動方法で、輝度調整、動画表示調整を実現できる。また、隣接画素行などで、ゲート信号線17に印加する波形を変化することにより、ソース信号線18に与える電位変動を極めて小さくすることができる。したがって、黒浮きなどが発生せず良好な画像表示を実現できる。

【1420】図350はシフトレジスタ22に20 入力するデータパターンである。図350において、黒丸は非表示311に制御するデータである。また、白丸は点灯311に制御するデータである。このデータがシフトレジスタ22内をシフトし、該当のゲート信号線17bにオン電圧を出力するか、オフ電圧を出力するかを制御する。

【1421】図350(a)では、7個の黒丸と1個の白丸の組が連続している。このパターンでは、7画素行が非点灯312で1画素行が点灯311の組が連続して表示され、かつ、このパターンが水平同期信号(HD) 30 に同期して画面21の上から下へ走査されていく。

【1422】図350(b)では、4個の黒丸と4個の白丸の組が連続している。このパターンでは、4画素行が非点灯312で4画素行が点灯311の組が連続して表示され、かつ、このパターンが水平同期信号(HD)に同期して画面21の上から下へ走査されていく。

【1423】図350(c)では、12個の黒丸と12個の白丸の組が連続している。このパターンでは、12画素行が非点灯312で12画素行が点灯311の組が連続して表示され、かつ、このパターンが水平同期信号(HD)に同期して画面21の上から下へ走査されていく。 40

【1424】図350(d)では、21個の黒丸と3個の白丸の組が連続している。このパターンでは、21画素行が非点灯312で、3画素行が点灯311の組が連続して表示され、かつ、このパターンが水平同期信号(HD)に同期して画面21の上から下へ走査されていく。

【1425】図350(e)では、1個の黒丸と1個の白丸の組が連続している。このパターンでは、1画素行 50

が非点灯312と点灯311の組が交互に表示され、かつ、このパターンが水平同期信号(HD)に同期して画面21の上から下へ走査されていく。

【1426】図350(d)では、黒丸と白丸とがランダムに入力されている。このパターンでは、ランダムな点灯画素行と非点灯画素行とが、水平同期信号(HD)に同期して画面21の上から下へ走査されていく。

【1427】図350では同一輝度では、動画表示には図350(d)が適し、図350(a)が最も不適切である(現実には、もっと黒丸と白丸の間隔は広いが)。

【1428】図355もシフトレジスタ22bに10 入力するデータをゲート信号線17bへの出力の関係を図示したものである。なお、当初シフトレジスタ22bに保持されているデータは非選択データ(ゲート信号線17bにオフ電圧を印加するデータ(黒丸)とする。

【1429】第1H(1H)でシフトレジスタ22bに白丸(選択データ)が入力される。したがって、画素行(1)のゲート信号線17bに選択電圧(オン電圧(Vg1))が出力される。他の画素行のゲート信号線17bにはオフ電圧(Vgh)が出力されている。したがって、画素行(1)が表示311となる。

【1430】次の第2H(2H)でシフトレジスタ22bに黒丸(非選択データ)が入力される。また、シフトレジスタ22bはCLK(HD)に同期して1ビットシフトする。したがって、画素行(1)にオフ電圧(Vgh)が出力され、画素行(2)に選択電圧(オン電圧(Vg1))が出力される。他の画素行にはオフ電圧(Vgh)が出力されている。したがって、画素行(1)が表示311となる。

【1431】次の第3H(3H)でシフトレジスタ22bに白丸(選択データ)が入力される。また、シフトレジスタ22bはCLK(HD)に同期して1ビットシフトする。したがって、画素行(1)(3)にオン電圧(Vg1)が出力され、画素行(2)に非選択電圧(オフ電圧(Vgh))が出力される。他の画素行にはオフ電圧(Vgh)が出力されている。したがって、画素行(1)(3)が表示311となる。

【1432】同様に次の第4H(4H)でシフトレジスタ22bに黒丸(非選択データ)が入力される。また、シフトレジスタ22bはCLK(HD)に同期して1ビットシフトする。したがって、画素行(1)(3)のゲート信号線17bにはオフ電圧が出力され、画素行(2)(4)に選択電圧(オフ電圧(Vgh))が出力される。他の画素行にはオフ電圧(Vgh)が出力される。画素行(1)(3)が非表示312となり、画素行(2)(4)が表示31となる。

【1433】以上の動作を順次繰り返すと、ゲート信号線17bに出力される波形は図348のようにオン電圧をオフ電圧とを1Hごとに交互に出力する波形となる。以上のように、シフトレジスタ22bのデータにより、

容易に画素行を点灯、非点灯制御を行うことができる。

【1434】図355ではゲート信号線17bの出力段にスイッチSが配置されている。これは、図334、図333のOR回路3272、あるいは図334のENBL端子などが該当する。このスイッチをオンオフさせることにより1Hの期間内で、ゲート信号線17bにオン電圧あるいはオフ電圧を印加できるように制御できる。なお、スイッチSは閉じている時、シフトレジスタのデータをそのままゲート信号線17bに出力し、スイッチSがオープンの際は、オフ電圧(V<sub>gh</sub>)が出力されるように構成されているものとする。

【1435】図355のスイッチSを制御すれば、図332、図339、図340、図341、図344、図345などの1H以内の制御を容易に実現できる。したがって、図355の回路構成あるいは駆動方法で、図348、図356などの1H単位の制御と、図332、図339、図340、図341、図344、図345などの1H以内の制御を容易に組み合わせて実施できる。つまり、柔軟は階調(明るさ)制御が容易に、かつスムーズにかつ回路構成が簡単に実現できる。

【1436】以上の実施例はゲート信号線17bについて主として説明した。しかし、ソース信号線18とカップリングするのはゲート信号線17bだけではない。以前に説明した逆バイアス電圧を印加するTFTのゲート信号線ともカップリングする。図357は逆バイアス電圧を印加する場合の画素構成である。基本的には図1の電流プログラムの画素構成であるが、本発明は何度も記載しているように、図1の画素構成のみに限定されるものではない。たとえば、図21、図22、図47、図71などのカレントミラーの画素構成にも適用することができる。また、図54、図67、図103などの電圧プログラムの画素構成にも適用できることは言うまでもない。

【1437】以上の実施例は、ゲート信号線17bとソース信号線18とのカップリングなどにより、黒浮きなどが発生することに対応するものであった。図89から図101などでは逆バイアス電圧を印加する本発明の特徴ある方式を説明した。

【1438】しかし、逆バイアス電圧を印加するためには、逆バイアス電圧を印加するTFT11gのゲート(G)端子にオンオフ電圧を印加する必要がある。そのため、このオンオフ電圧を印加する信号線17dとソース信号線18とがカップリングする場合がある。

【1439】図357は図1の画素構成で逆バイアス電圧を印加する構成である。なお、以下の実施例で、図1の画素構成を例示して説明をするがこれに限定するものではなく、図21、図43、図54、図68、図103などの本発明の画素構成あるいはパネル構成のすべてにおいて適用できることは言うまでもない。

【1440】図357は逆バイアス電圧V<sub>m</sub>を印加する

画素構成の等価回路図である。図357(a)は逆バイアス電圧を印加するTFTがPチャンネルの場合である。図357(b)は逆バイアス電圧を印加するTFTがNチャンネルの場合である。

【1441】なお、逆バイアス電圧V<sub>m</sub>を伝達する信号線3571はソース信号線18と平行に配線(配置もしくは形成)することが好ましい。ゲート信号線17の寄生容量を少なくできるからである。

【1442】図359は図357(a)の画素構成の時の駆動波形である。以前にも説明したように、本発明は信号線間のカップリングを抑制するため、印加する信号線への波形変化を少なくすること、あるいは(または)隣接した信号線の印加信号波形を逆位相とするあるいは極力打ち消しあう方向に入力すること、あるいは(または)表示パネルの表示領域21全体として、任意の時刻で信号線に印加されている波形を観察した時、信号の立下りと立ち上がりの信号波形がランダムあるいはほぼ同数となっているように駆動するものである。

【1443】図358、図359などの実施例は基本的に、今まで説明したゲート信号線17bの駆動方法と同一である。ゲート信号線17bの駆動概念を制御信号線17dに置き換えたものである。したがって、ゲート信号線17bの駆動などで説明した事項を図358、図359などに適用することができる。

【1444】ゲート信号線17a、17bの駆動電圧V<sub>gh</sub>を15(V)、V<sub>gl</sub>=0(V)とすると、図357(a)では、TFT11gを制御するゲート信号線17dの電圧V<sub>mh</sub>(オフ電圧)は0(V)あるいは近傍である。また、TFT11gを制御するゲート信号線17dのオン電圧V<sub>ml</sub>は-15(V)あるいは近傍である。

【1445】図357(b)では、TFT11gを制御するゲート信号線17dの電圧はV<sub>mh</sub>(オフ電圧)はV<sub>gl</sub>と同一あるいは近傍である。また、TFT11gを制御するゲート信号線17dのオン電圧V<sub>ml</sub>はV<sub>gl</sub>と同一あるいは近傍である。

【1446】以上のことから、TFT11gの駆動電圧範囲としては、図357(b)の法が有利である。しかし、TFT11gに印加している電圧をV<sub>m</sub>に固定するのではなく、ハイインピーダンスとV<sub>m</sub>電圧とを切り替えられるように構成することにより、PチャンネルTFT11gの制約は軽減される。

【1447】図359(図357(a))では、a点では画素行(1)のゲート信号線17bがオフ電圧からオン電圧に変化(立下り)し、画素行(1)のゲート信号線17d(逆バイアス制御線)がオン電圧(V<sub>ml</sub>)からオフ電圧(V<sub>mh</sub>)に変化(立ち上がり)する。したがって、ゲート信号線17bとゲート信号線17dの信号波形の変化方向が反対である。そのため、カップリングによるソース信号線18に発生する突き抜けが発生し

ない（もしくは非常に小さくなる）。

【1448】ゲート信号線17bにオン電圧が印加されるとTFT11dがオンする。また、ゲート信号線17dにオン電圧が印加されるとTFT11gがオンする。TFT11gとTFT11dが同時にオンするとショート状態となる。この事態を避けるために、TFT11dとTFT11gとのオンオフを切り替えるタイミングは必ず、両方がオフ状態のなった後に、一方のTFTをオンさせるように制御する。ゲート信号線17bにオフ電圧が印加され、ゲート信号線17dにオン電圧が印加されるでの時間は1μsec以上25μsec以下の期間は離すことが好ましい。もしくは、1Hの1/100以上1/4以下の時間離すことが好ましい。同様に、ゲート信号線17dにオフ電圧が印加され、ゲート信号線17bにオン電圧が印加されるでの時間は1μsec以上25μsec以下の期間は離すことが好ましい。もしくは、1Hの1/100以上1/4以下の時間離すことが好ましい。

【1449】図359のb点では画素行(1)のゲート信号線17bがオン電圧(Vg1)からオン電圧(Vgh)に変化(立ち上がり)し、画素行(1)のゲート信号線17d(逆バイアス制御線)がオフ電圧(Vmh)からオン電圧(Vm1)に変化(立ち下り)する。この状態で、TFT11aからEL素子15に流れる電流が遮断され、EL素子15のアノードに逆バイアス電圧Vmが印加される。b点では、ゲート信号線17bとゲート信号線17dの信号波形の変化方向が反対である。そのため、カップリングによるソース信号線18に発生する突き抜けが発生しない（もしくは非常に小さくなる）。そのため、ゲート信号線17dの印加信号による

ソース信号線18などの電位変動が抑制される。【1450】また、図359では、ゲート信号線17dの信号変化位置は、1画素行ごとにシフトしている。したがって、HDに同期して逆バイアス電圧を開始する位置は、シフトさせている。また、ゲート信号線17bの信号波形に同期してシフトさせている。以上のように、ゲート信号線17bと17dの両方と同期をとって変化させ、また、印加位置をシフトさせることにより、各画素のEL素子15に逆バイアス電圧を印加する時間が一定となる。また、ソース信号線18の電位変化も発生しない。したがって、黒浮きのない良好なコントラストを実現できる。

【1451】以上のように、ゲート信号線17bとゲート信号線17dの信号波形の変化方向が反対である（もちろん、TFT11dとTFT11gの両方がオンしないように両方のTFTがオフとなる期間を設ける必要がある）。したがって、ソース信号線18に対しては信号波形により打ち消しあう。また、偶数番目のゲート信号線17d((2)(4)(6)...)と奇数番目のゲート信号線17d((1)(3)(5)...)とが逆

位相である。また、偶数番目のゲート信号線17b((2)(4)(6)...)と奇数番目のゲート信号線17b((1)(3)(5)...)とが逆位相である。表示領域21内で全体として信号波形の振幅によるソース信号線18の電位変動は抑制される。

【1452】図358も図359と同様である。今まで説明したゲート信号線17bの駆動方法と同一である。ゲート信号線17bの駆動概念を制御信号線17dに置き換えたものである。したがって、ゲート信号線17bの駆動などで説明した事項を図358に適用することができる。

【1453】図358では、a点では画素行(1)のゲート信号線17bがオフ電圧(Vgh)からオン電圧(Vg1)に変化(立ち下り)し、画素行(1)のゲート信号線17d(逆バイアス制御線)がオン電圧(Vmh)からオフ電圧(Vm1)に変化(立ち上がり)する。したがって、ゲート信号線17bとゲート信号線17dの信号波形の変化方向が同一である。b点では画素行(1)のゲート信号線17bがオン電圧(Vg1)からオフ電圧(Vgh)に変化(立ち上がり)し、画素行(1)のゲート信号線17d(逆バイアス制御線)がオフ電圧(Vm1)からオン電圧(Vmh)に変化(立ち上がり)する。したがって、ゲート信号線17bとゲート信号線17dの信号波形の変化方向が同一である。そのため、カップリングによるソース信号線18に発生する突き抜けをキャンセルする効果がない。

【1454】なお、図358の駆動方法においても、図359と同様に、ゲート信号線17bにオフ電圧が印加され、ゲート信号線17dにオン電圧が印加されるでの時間は1μsec以上25μsec以下の期間は離すことが好ましい。もしくは、1Hの1/100以上1/4以下の時間離すことが好ましい。同様に、ゲート信号線17dにオフ電圧が印加され、ゲート信号線17bにオン電圧が印加されるでの時間は1μsec以上25μsec以下の期間は離すことが好ましい。もしくは、1Hの1/100以上1/4以下の時間離すことが好ましい。

【1455】画素行(1)のゲート信号線17bとゲート信号線17dの信号波形の変化方向が同一である。そのため、カップリングによるソース信号線18に発生する突き抜けをキャンセルする効果がない。しかし、画素行(2)のゲート信号線17bの信号波形とゲート信号線17dの信号波形と、画素行(1)のゲート信号線17bの信号波形とゲート信号線17dの信号波形とは逆位相となっている。したがって、画素行(1)と画素行(2)ではカップリングによるソース信号線18に発生する突き抜けをキャンセルする効果が発揮される。つまり、偶数画素行と奇数画素行では、ゲート信号線に印加する信号位相を逆にするにより、カップリングによるソース信号線18に発生する突き抜けをキャンセルす



る効果が発揮される。

【1456】なお、以上の実施例では、ゲート信号線17bとゲート信号線17dの信号波形の位相を逆にするとしたが、完全に正反対にすることを意味するものではない。つまり、ソース信号線18などへのカップリングを抑制する方向にすることが本発明の技術的思想である。したがって、ゲート信号線17bとゲート信号線17dの信号波形の位相の関係が異なっても良い。

【1457】また、図358では、ゲート信号線17dの信号変化位置は、1画素行ごとにシフトしている。したがって、HDに同期して逆バイアス電圧を開始する位置は、シフトさせている。また、ゲート信号線17bの信号波形に同期してシフトさせている。以上のように、ゲート信号線17bと17dの両方と同期をとって変化させ、また、印加位置をシフトさせることにより、各画素のEL素子15に逆バイアス電圧を印加する時間が一定となる。また、ソース信号線18の電位変化も発生しない。したがって、黒浮きのない良好なコントラストを実現できる。

【1458】図358では、ゲート信号線17bとゲート信号線17dの信号波形の変化方向が同一である。そのため、カップリングによるソース信号線18に発生する突き抜けをキャンセルする効果がないと記載した。しかし、図367に図示するように、表示領域21が非点灯状態312の部分のゲート信号線17bにはオフ電圧(Vgh)が印加されている。この領域312の非点灯状態312は一定時間維持される。したがって、図367に図示するようにゲート信号線17dはゲート信号線17bと同期を取ることなく、信号を印加できる。そのため、偶数番目のゲート信号線17d((2)(4)(6)...)と奇数番目のゲート信号線17d((1)(3)(5)...)とが逆位相にできる。表示領域21内で全体として信号波形の振幅によるソース信号線18の電位変動は抑制される。

【1459】なお、今まで説明した駆動方法では、奇数画素行と偶数画素行のゲート信号線の駆動波形を異ならせるとしたが、図330、図334に説明したようにこれに限定するものではない。2画素行以上の単位で異ならせても良いことは言うまでもない。また、ランダム的な駆動を実施してもよい。

【1460】また、図358、図359、図367の逆バイアス駆動の実施例においても、図322、図331で説明した画素構成を適用することが好ましい。この場合は、ゲート信号線17bは逆バイアス印加用TFTを制御するゲート信号線17dなどに置き換えればよい。また、図333、図327、図334、図349、図355に記載したパネルあるいはアレイ構成についても同様である。この場合についても、ゲート信号線17bは逆バイアス印加用TFTを制御するゲート信号線17dなどに置き換えればよい。以上のように、図358、図

359、図367などで説明した逆バイアス駆動に関する事項は、本明細書の他の実施例と組み合わせることができることは言うまでもない。

【1461】図61の表示方法のように、奇数画素行と偶数画素行（もしくは複数画素行ごと）を所定フィールド（フレーム）ごとに切り替える表示方法は、立体画像表示装置もしくは方法に適用することができる。以下、本発明の立体表示装置について図85、図86を参照しながら説明をする。

【1462】まず、本発明の表示方法は基本的に画素行単位（画素行の方向）に表示領域311と非表示領域312を構成するものである。したがって、図61のように表示する場合は縦横を変換する必要がある。この変換は容易である。メモリに蓄積された画像データを行と列を入れ替えればよいからである。縦横を変換すれば図85(a1)の表示状態となる。つまり、表示パネルの走査方向はAに示す矢印方向となるが、画像は図(a1)に示すように、紙面上が画面上となり、紙面下が画面下となる。したがって、表示パネルの使用者にはあたかも画面上から下に走査しているように見える。

【1463】表示パネルの表示画像21は左から奇数画素列（行）に右目の画像を表示し、偶数画素列（行）に左目の画像を表示する。画像表示は表示パネルと同期する観察用眼鏡852と同期させる。観察用眼鏡852はシャッタ851として機能する2つの液晶表示パネルを具備している。

【1464】第1フィールド（第1フレーム）では図85(a1)に示すように左から奇数番目の画素列（実際は奇数番目の画素行）が表示領域311となり、左から偶数番目の画素列（実際は偶数番目の画素行）が非表示領域312となる。図85(a1)の表示状態を同期して、眼鏡852の左目用のシャッタ851Lが閉じ、眼鏡852の右目用のシャッタ851Rが開く。したがって、観察者は右目だけで、図85(a1)の画像を見ることになる。

【1465】第1フィールド（第1フレーム）の次の第2フィールド（第2フレーム）では図85(a2)に示すように左から偶数番目の画素列（実際は偶数番目の画素行）が表示領域311となり、左から奇数番目の画素列（実際は奇数番目の画素行）が非表示領域312となる。図85(a2)の表示状態を同期して、眼鏡852の右目用のシャッタ851Rが閉じ、眼鏡852の左目用のシャッタ851Lが開く。したがって、観察者は左目だけで、図85(a2)の画像を見ることになる。

【1466】以上の動作を交互に繰り返すことにより、観察者が使用する眼鏡型のシャッタ851と画像表示状態とが同期して交互に観察者に見えるようにすることにより立体画像表示を実現できる。

【1467】シャッタ851を用いずに立体画像表示を実現するためには、図86に図示したように表示パネル

の光出射側にプリズム 861 を配置すればよい。プリズム 861 の A 部がある表示タイミングにおける表示領域 311 に対応するように配置し、プリズム 861 の B 部が前述の表示タイミングにおける表示領域 312 に対応するように配置する。このようにプリズム 861 を配置することにより、奇数画素行の画像が観察者の右目に入射するようにし、偶数画素行の画像が観察者の左目に入射するように構成することができる。なお、プリズム 861 と表示パネル間にはエチレングリコールなどの光結合材 862 を配置し、オプティカルカップリングさせておく。

【1468】なお、図 85 において切り替え手段 852 は眼鏡としたがこれに限定するものではない。観察者に右目に入射する光と左目に入射する光とを制御できるものであればいずれのものでもよい。たとえば、ゴーグルタイプのものが例示される。また、切り替え手段 852 と表示パネルとが一体となったもの（ヘッドマウントディスプレイ）が例示される。また、シャッタ 851 は液晶表示パネルに限定されるものではなく、カメラのシャッタ、回転フィルタのようにメカニカルなものでもよい

ことは言うまでもない。また、ポリゴンミラーを組み込んだもの、PLZT を用いたシャッタ、エレクトロルミネッセンスを応用したシャッタなども例示される。

【1469】以上のように、たとえば、奇数画素行に右目の画像を表示し、偶数画素行に左目の画像を表示する。これを観察者が使用する眼鏡型のシャッタと画像表示状態とが同期して交互に観察者に見えるようにする。もしくは、表示パネルの光出射側に配置されたプリズムにより奇数画素行の画像が観察者の右目に入射するようにし、偶数画素行の画像が観察者の左目に入射するよう

に構成する。

【1470】以上のように 1 つの表示パネルの表示画像を図 61 の表示方法を用いることにより立体表示を実現できる。なお、図 85、図 86 の装置または方法は、複数画素行（列）ごとあるいは奇数画素行（列）と偶数画素行（列）ごとに異なる画像を表示するというものであり、その用途は立体表示のみに限定されるものではない。たとえば、単に 2 つの画像を重ね合わせて表示するという用途に用いてもよいことは言うまでもない。なお、特に、本発明の EL 表示装置を用い、本発明の駆動方法を実施することが有効であることは言うまでもない。

【1471】なお、各画素を駆動する素子は TFT11 としたがこれに限定するものではない。たとえば、薄膜ダイオード（TFD）の組み合わせにより、画素 16 を構成でき、このダイオードの一方の端子電圧レベルを操作することにより、EL 素子 15 に流す電流を間欠動作させることができる。この構成では、必要に応じてカソード電極と横ストライプ状に加工（形成）する。その他、パリスタ、サイリスタなどのスイッチング素子でも

同様である。

【1472】たとえば、図 1 の TFT11a の駆動用 TFT を例にすれば、図 80 (a) に図示するように N チャンネルまたは P チャンネルのバイポーラトランジスタでもよい。また、図 80 (b) に図示するように N チャンネルまたは P チャンネルの MOS トランジスタでもよいことは言うまでもない。さらに、図 80 (c) に図示するようにホトトランジスタあるいはホトダイオードでもよく、図 80 (d) に図示するようにサイリスタ素子などでもよい。このことは、他の画素を構成するスイッチング素子にも適用できることは言うまでもない。

【1473】また、TFT 素子 11 は P チャンネルでも N チャンネルのいずれでも用いることができることは言うまでもない。また、EL 素子 15 の位置は図 1 または図 21 のような位置に限定するものではない。たとえば、図 79 (a) は図 1 の TFT11a と EL 素子 15 との接続状態を抜き出したものである。この変形として図 79 (b) の構成も例示される。また、駆動用 TFT を N チャンネルとした図 79 (c) (d) の構成も例示される。これらの事項は駆動用 TFT11a についてだけでなく、他の画素を構成するスイッチング素子 11（たとえば、図 1 では TFT11b、11c、11d など）についても同様である。また、ドライバ 12、14 を構成する素子に対しても同様に適用される。

【1474】また、TFT などのスイッチング素子は低温多結晶 Si-TFT で形成することが望ましいが、アモルファスシリコン TFT でもよいことは言うまでもない。特に EL 素子 15 に流す電流が  $1 \mu A$  以下の場合にはアモルファスシリコン技術で形成して特性上十分である。また、ゲートドライバ回路、ソースドライバ回路などもアモルファスシリコン技術による素子で形成してもよい。

【1475】また、図 2、図 60、図 74、図 84 などのゲートドライバ 12 の構成についてもこれに限定するものではなく（図 2 などは ST 信号を順次クロックに同期してシフト動作（シリアル処理）する構成である）、たとえば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい（すべてのゲート信号線のオンフフロジックがコントローラかゲート信号線 17 の本数分、一度に出力され決定される構成など）。

【1476】図 10 は有機 EL モジュールの構成図である。プリント基板 103 にはコントロール IC101 と電源 IC102 が実装されている。プリント基板 103 とアレイ基板 49 とはフレキシブル基板 104 で電氣的に接続される。このフレキシブル基板 104 を介して電源電圧、電流、制御信号、映像データがアレイ基板 49 のソースドライバ 14 およびゲートドライバ 12 に供給される。

【1477】この際問題となるのは、ゲートドライバ 12 の制御信号である。ゲートドライバ 12 には少なくとも

も5（V）以上の振幅の制御信号を印加する必要がある。しかし、コントロールIC101の電源電圧は2.5（V）あるいは3.3（V）であるため、コントロールIC101から直接にゲートドライバ12に制御信号を印加することができない。

【1478】この課題に対して、本発明は高い電圧で駆動される電源IC102からゲートドライバ12の制御信号を印加する。電源IC102はゲートドライバ12の動作電圧も発生させるのであるから、当然ながらゲートドライバ12に最適な振幅の制御信号を発生させることができる。

【1479】図11ではゲートドライバ12の制御信号はコントロールICで発生させ、ソースドライバ14で一旦、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は5～8（V）であるから、コントロールIC101から出力された3.3（V）振幅の制御信号を、ゲートドライバ12が受け取れる5（V）振幅に変換することができる。

【1480】図14、図15は本発明の表示モジュール装置の説明図である。図14はソースドライバ14内に内蔵RAM151を持たせた構成である。内蔵RAMは8色表示（各色1ビット）、256色表示（RGは3ビット、Bは2ビット）、4096色表示（RGBは各4ビット）の容量を有する。この8色、256色または4096色表示で、かつ静止画の時は、ソースドライバ14内に配置されたドライバコントローラはこの内蔵RAM151の画像データを読み出す。したがって、超低消費電力化を実現できる。もちろん、内蔵RAM151は26万色以上の多色のRAMであってもよい。また、動画の時も内蔵RAM151の画像データを用いてもよい。

【1481】内蔵RAM151の画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに換換することができる。誤差拡散処理などは誤差拡散コントローラ141で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【1482】なお、図14などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路102、バッファ回路154（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、内蔵RAM151からの入力を処理してソース信号線に電圧あるいは電流を出力するさまざまな機能あるいは回路が構成されたものである。この事項などは、本発明の他の実施例でも同様である。

【1483】なお、図14などで説明する構成にあって

も、図26から図30、図111から図113などで説明する3辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【1484】また、図203に図示するように、封止板41を、携帯電話などの保護カバーと兼用してもよい。保護カバーとは、表示パネルの前面を保護するために配置された透明板である。もしくは、反射型の液晶表示パネルでは、フロントライトが保護カバーとなっている。

【1485】図203は有機EL素子15を湿度から保護するための保護カバーを封止板（ふた）41とした構成例である。封止板41に円偏光板74が取り付けられている。なお、円偏光板74は、薄膜で形成してもよい。また、封止板41などに樹脂を塗布し、この樹脂を延伸するとにより形成してもよい。

【1486】携帯電話などの筐体に193にELのアレ基板49が取り付けられている（EL表示パネルが取り付けられている）。封止板41内にドライバIC（回路）12（14）が配置されている（形成されている）。ドライバIC（回路）12（14）も、封止板41で保護されている。以上のように形成（構成）することにより、保護カバーを省略することができる。したがって、表示パネルモジュールとして、全体の厚みを薄くすることができる。

【1487】また、図4でも説明したように、有機EL表示パネルはカソード電極（もしくはアノード電極）としても反射膜46を形成する必要がある。この電極はアルミなどで形成する。そのため、反射率は85%以上と良好である。

【1488】図204は、この反射膜46をミラーとして使用できるように構成した携帯電話である。通常の使用状態では図19に図示するように使用する（もしくは図205を参照のこと）。表示パネル2046をミラーとして使用する際には、表示パネル2046を右または左の支点（図示せず）を中心としてひっくり返し、裏面ミラー2045を使用する。

【1489】ただし、以上の実施例は、EL表示パネルの裏面に形成された反射膜をミラーとして使用するものである。したがって、ミラーとして使用する対象は、携帯電話に限定するものではなく、テレビ、モニター、PDAでもよい。また、表示パネルの裏面にミラーを形成するものである。したがって、カソードに限定するものではなく、別途、表示パネルの裏面にミラーを形成した構成でもよい。たとえば、反射型の液晶表示パネルでは、裏面を使用していない。この裏面にアルミ、あるいは銀を蒸着しミラーを形成してもよい。この場合、アルミあるいは銀が腐食することを防止するため、表面にSiO<sub>2</sub>などの無機薄膜を形成することが好ましい。また、UV樹脂などでも保護してもよい。

【1490】なお、図204において、2041は受信した音声聞こえるようにするスピーカーであり、20

44は、使用者の音声を入力するためのマイクである。  
 【1491】また、図35で説明したように、表示モード切り替えスイッチ465を配置しておくことが好ましい。また、さらに、図34などで説明した画面の明るさを切り替える機能を実現する切り替えスイッチを形成（配置）することが好ましい。

【1492】フレームレートはパネルモジュールの消費電力と関係する。つまり、フレームレートを高くすればほぼ比例して消費電力は増大する。携帯電話などは待ち受け時間を長くするなどの観点から消費電力の低減を図る必要がある。一方、表示色を多くする（階調数を多くする）ためにはソースドライバIC14などの駆動周波数を高くしなければならない。しかし、消費電力の問題から消費電力を増大させることは困難である。

【1493】一般的に、携帯電話などの情報表示装置では、表示色数よりも低消費電力化が優先される。表示色数を増加させる回路の動作周波数が高くなる、あるいはEL素子に印加する電圧（電流）波形の変化が多くなるなど理由から、消費電力が増加する。したがって、あまり表示色数を多くすることはできない。この課題に対して、本発明は画像データを誤差拡散処理あるいはディザ処理を行って画像を表示する。

【1494】図19で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影した画像は即時に表示パネルの表示画面21に表示できる。CCDカメラで撮影したデータは、表示画面21に表示することができる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー入力265で切り替えることができる。

【1495】表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵メモリ151の容量以下となるように画像処理を行う。

【1496】今、ソースドライバIC14には4096色（RGB各4ビット）で1画面の内蔵RAM151を具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵RAM151に格納され、この内蔵RAM151から画像データを読み出し、表示画面21に画像を表示する。

【1497】画像データが26万色（G：6ビット、R、B：5ビットの計16ビット）の場合は、図14および図15に示すように誤差拡散コントローラ141の演算メモリ152に一旦格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路153で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵RAM151のビッ

ト数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はRGB各4ビット（4096色）の画像データを出力し、表示画面21に画像を表示する。

【1498】また、図15の構成などにおいて、垂直同期信号VDを用いて（垂直同期信号VDで処理方法を変化させて）、フィールドあるいはフレームごとに誤差拡散処理あるいはディザ処理方法を変化させてもよい。たとえば、ディザ処理では、第1フレームでBayer型を用い、次の第2フレームではハーフトーン型を用いるなどである。このようにフレームごとにディザ処理を変化させ、切り替えるようにすることにより誤差拡散処理などに伴うドットむらが目立ちにくくなるという効果が発揮される。

【1499】また、第1フレームと第2フレームで誤差拡散処理などの処理係数を変化させてもよい。また、第1フレームで誤差拡散処理をし、第2フレームでディザ処理をし、さらに第3フレームで誤差拡散処理をするなど処理とを組み合わせても良い。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理方法を選択してもよい。

【1500】フレームレートなどの情報を伝送されるフォーマットに記載するようしておけば、この記載されたデータをデコードあるいは検出することにより、自動でフレームレートなどを変更できるようになる。特に、伝送されてくる画像が動画か静止画かを記載しておくことが好ましい。また、動画場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、伝送パケットに携帯電話の機種番号を記載しておいたりしておくことが好ましい。なお、本明細書では伝送パケットとして説明するがパケットである必要はない。つまり、送信あるいは発信するデータ中に図18などで説明する情報（表示色数、フレームレートなど）が記載されたものであればいずれでもよい。

【1501】図17は本発明の携帯電話などに送られてくる伝送フォーマットである。伝送とは受信するデータと、送信するデータの双方を含む。つまり、携帯電話は受話器からの音声あるいは携帯電話に付属のCCDカメラで撮影した画像を他の携帯電話などに送信する場合もあるからである。したがって、図18などで説明する伝送フォーマットなどに関連する事項は送信、受信の双方に適用される。

【1502】本発明の携帯電話などではデータはデジタル化されてパケット形式で伝送される。図16および図17で記載しているように、フレームの中は、フラグ部（F）、アドレス部（A）、コントロール部（C）、情報部（I）、フレームチェックシーケンス（FCS）及びフラグ部（F）からなる。コントロール部（C）のフォーマットは図 のように情報転送（Iフレーム）、関し（Sフレーム）、及び非番号制（Uフレーム）の3つ

の形式をとる。

【1503】まず、情報転送形式は情報（データ）を転送する時に使用するコントロールフィールドの形式で、非番号性形式の一部を除けば、情報転送形式がデータフィールドを有する唯一の形式である。この形式によるフレームを情報フレーム（Iフレーム）という。

【1504】また、監視形式は、データリンクの監視制御機能、すなわち情報フレームの受信確認、情報フレームの再送要求などを行うために使用する形式である。この形式によるフレームを、監視フレーム（Sフレーム）という。

【1505】次に非番号制形式は、その他のデータリンク制御機能を実行するために使用するコントロールフィールドの形式で、この形式によるフレームを非番号制フレーム（Uフレーム）という。

【1506】端末及び網は送受信する情報フレームを送信シーケンス番号（S）と受信シーケンスN（R）で管理する。N（S）、N（R）とも3ビットで構成され、0～7までの8個を循環番号として使い、7の次は0となるモジュラス構成をとっている。したがって、この場合のモジュラスは8であり、応答フレームを受信せずに、連続送信できるフレーム数は7である。

【1507】データ領域には色数データを示す8ビットのデータとフレームレートを示す8ビットのデータが記載される。これらの例を図18（a）（b）に示す。また、表示色の色数には静止画と動画の区別を記載しておくことが好ましい。また、携帯電話の機種名、送受信する画像データの内容（人物などの自然画、メニュー画面）などを図17のバケットに記載しておくことが望ましい。データを受け取った機種はデータをデコードし、自身（該当機種番号）のデータであるとき、記載された内容によって、表示色、フレームレートなど自動的に変更する。また、記載された内容を表示装置の表示領域21に表示するように構成してもよい。ユーザーは画面21の記載内容（表示色、推奨フレームレート）を見て、キーなどを操作し、最適な表示状態にマニュアルで変更する。

【1508】なお、一例として、図18（b）では数値の3はフレームレート80Hzと一例をあげて記載しているがこれに限定するものではなく、40～60Hzなどの一定範囲を示すものであってもよい。また、データ領域に携帯電話の機種などを記載しておいてもよい。機種により性能などが異なり、フレームレートを変化させる必要も発生するからである。また、画像が漫画であるとか、宣伝（CM）であるとかの情報を記載しておくことも好ましい。また、バケットに視聴料金などの情報を記載する。バケット長などの情報を記載しておいてもよい。ユーザーは視聴料金の確認して情報を受信するか否かを判断する。また、画像データが誤差拡散処理をされているか否かのデータも記載しておくことが好ましい。

【1509】また、画像処理方法（誤差拡散処理、ディザ処理などの種別、重み付け関数の種類とそのデータ、ガンマの係数など）、機種番号などの情報を伝送されるフォーマットに記載するようにしておけばよい。また、画像データがCCDで撮影されたデータとか、JPEGデータか、またその解像度、MPEGデータか、BITMAPデータかなどの情報を記載しておく。この記載されたデータをデコードあるいは検出することにより、自動で受信した携帯電話などで最適な状態に変更できるようになる。

【1510】もちろん、伝送されてくる画像が動画か静止画かを記載しておくことが好ましい。また、動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、受信端末で推奨する再生コマ数/秒などの情報も記載しておくことが好ましい。

【1511】以上の事項は、伝送バケットが送信の場合でも同様である。また、本明細書では伝送バケットとして説明するがバケットである必要はない。つまり、送信あるいは発信するデータ中に図18などで説明する情報が記載されたものであればいずれでもよい。

【1512】誤差拡散処理コントローラ141は、誤差処理されて送られてきたデータを、逆誤差拡散処理を行い、元データにもどしてから再度、誤差拡散処理を行う機能を付加することが好ましい。誤差拡散処理の有無は図17のバケットデータに載せておく。また、誤差拡散（ディザなどの方式も含む）の処理方法、形式など逆誤差拡散処理に必要なデータも載せておく。

【1513】逆誤差拡散処理を実施するのは、誤差拡散処理はその処理の過程において、ガンマカーブの補正も実現できるからである。データを受けたEL表示装置などのガンマカーブと、送られてきたガンマカーブとが適応しない場合がある。また、送信親されてきたデータは誤差拡散などの処理がすでに実施された画像データである場合がある。

【1514】この事態に対応するために、逆誤差拡散処理を実施し、元データに変換してガンマカーブ補正の影響がないようにする。その後、受信したEL表示装置などで誤差拡散処理を行い、受信表示パネルに最適なガンマカーブになり、かつ最適な誤差拡散処理となるように誤差拡散処理などを実施する。

【1515】また、表示色により、フレームレートを切り替えたい場合は、携帯電話などの装置にユーザボタンと配置し、ボタンなどを用いて表示色などを切り替えられるようにすればよい。

【1516】図19は情報端末装置の1例としての携帯電話の平面図である。筐体193にアンテナ191、テンキー192などが取り付けられている。194などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【1517】携帯電話などの内部回路ブロックを図20

に示す。回路は主としてアップコンバータ205とダウンコンバータ204のブロック、デブレクサ201のブロックL0バッファ203などのブロックから構成される。

【1518】キー194を1度押さえると表示色は8色モードに、つづいて同一キー194を押さえると表示色は256色モード、さらにキー194を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー194は3つ(以上)となる。

【1519】キー194はブッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面21に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【1520】また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【1521】194は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に(連続的に)フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを変換抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【1522】なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置(液晶表示パネル)に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【1523】図204において、2043はファンクシ

ョンスイッチ(FSW)である。FSW2043は、小指、薬指で押さえられる位置に配置されている。また、FSW2043a、2043bは左右に配置されている。これは、右手の小指、薬指で押さえられこと、左手の小指、薬指で押さえられことを実現できるように構成したためである。なお、ESWは筐体193の裏面に配置してもよい。

【1524】右手用のFSW2043を有効にするか、左手のFSW2043を有効にするかは、コマンド設定でユーザーが切り返れるようにしている。つまり、ユーザーがメニュー画面で右側用を有効にする設定すると、右手用のFSW2043が有効になり、左手のFSW2043は無効になる。逆に、ユーザーがメニュー画面で左側用を有効にする設定すると、左手用のFSW2043が有効になり、右手のFSW2043は無効になる。

【1525】図206(a)に図示するように、FSW2043が押されてない時は、キー192は数字入力キーとなる。

【1526】図206(b)のようにFSW2043aが押されると、ひらがな入力モードとなる。この時は、「あ、か、さ、た、な…」の一番上の文字が指定される。この状態でまず、「あ」を選択する。次に、FSW2043bも押さえると、先に押さえられた文字列を含む5つの文字の入力状態となる。この状態で特定のキーを押さえると文字が入力される。したがって、FSW2043とキー192とを組み合わせることにより、容易に日本語入力を実現できる。また、図206(d)に図示するように、FSW2043bのみを押さえると、英文字入力モードとなる。

【1527】以上のように、キー192の他に、FSW2043を配置することにより、容易に多種多様な文字入力が可能になる。

【1528】さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【1529】45は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図45において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【1530】ボデー451の裏面は暗色あるいは黒色にされている。これは、EL表示パネル(表示装置)82から出射した迷光がボデー451の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相版( $\lambda/4$ 板など)、偏光板51などが配置されている。このことは図4でも説明している。

【1531】接眼リング452には拡大レンズ453が取り付けられている。観察者は接眼リング452をボデー

ー451内での挿入位置を可変して、表示パネルの表示画像にピントがあうよう調整する。

【1532】また、必要に応じて表示パネルの光出射側に正レンズ454を配置すれば、拡大レンズ453に入射する主光線を収束させることができる。そのため、拡大レンズ453のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【1533】図46はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部461とビデオカメラ本体462と具備し、撮影レンズ部461とビューファインダ部466とは背中合わせとなっている。また、ビューファインダ（図45も参照）466には接眼カバー464が取り付けられている。観察者（ユーザー）はこの接眼カバー464部から表示パネルの画像を観察する。

【1534】一方、本発明のEL表示パネルは表示モニター21としても使用されている。表示部21は支点468で角度を自由に調整できる。表示部21を使用しない時は、格納部463に格納される。

【1535】図46において、465は表示モード切り替えスイッチである。スイッチ465を押さえると図35の回路が動作し、図35で説明した事項が実施される。

【1536】本実施の形態のEL表示装置はビデオカメラだけでなく、図47に示すような電子カメラにも適用することができる。表示装置落ち82はカメラ本体472に付属されたモニターとして用いる。カメラ本体472にはシャッター471の他、スイッチ465が取り付けられている。

【1537】また、タッチパネルを搭載し、指やペンでWebブラウジングやEメールなどを操作できるインターネット端末機能を有している。また、ハードディスク装置の代わりに256Mバイト以上のコンパクト・フラッシュ・カード（誤り訂正機能付き）を搭載することが好ましい。ウィンドウOSの基本機能部分だけを採用することで低容量化を図る。HDDがないため、ディスク・クラッシュなどの心配がなく堅牢性を確保できる。PCカード・スロットを2つ装備させる。モデムや、ISDN、PIAFS、LAN、無線LANなどを利用できるように構成することが好ましい。無線LAN用のアンテナ内蔵させる。USB/RS232Cインターフェースにより、バーコード・リーダなどの業務用周辺機器も接続できるようにしている。キーボードがない省スペース設計に加え、水濡れやホコリに耐える（JIS防滴2級に準拠）ように構成する。タッチパネルや、アプリケーションを簡単に起動できる「ワンタッチ・キー」の採用、手書きE-mail機能（手書きメモ機能を含む）の搭載など、BtoB toCでの一般ユーザーの利用を想定して操作性の向上を図っている。以上の機能などは本発明の他の表示装置、情報端末なども搭載する。

【1538】表示モード切り替えスイッチ465は、携帯電話などにも取り付けることが好ましい。また、携帯電話などでは、以前に説明した表示モード切り替えスイッチの機能表示輝度を切り替える機能をも付加することが好ましい。以下、この表示輝度をデジタル的に変化させる方法について説明する。

【1539】図138などで説明したが、本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法がある。この点灯させる1/MのMの値だけをきりかえることにより、明るさをデジタル的に変更することができる。たとえば、N=4として、EL素子15には4倍の電流を流す。点灯期間を1/Mとし、M=1、2、3、4と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、M=1、1.5、2、3、4、5、6などと変更できるように構成してもよい。

【1540】以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面21を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるような構成しておく。

【1541】したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【1542】また、表示画面はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【1543】具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調

は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

【1544】なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのましい。

【1545】液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【1546】また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

【1547】以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【1548】また、クロック・フェーズと画面位置（水平・垂直）を自動調整する「画面自動調整」機能や、ブラック・レベル・コントラストを自動調整する「オートゲインコントロール機能」を搭載することが好ましい。ブラック・レベル・コントラストを適正な値に調整し、RGB各色に対して最適な階調表示を実現できる。さらに、VGAモードなどを縮小、あるいは拡大表示した際に発生するにじみなどを抑える機能を搭載することが好ましい。また、一定時間使用しない際には、自動的にバックライトが消える「パワーセーブモード」を搭載することが好ましい。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させ

る方法）を用い、Mの値をかなり大きくし、うっすらと画像が認識できる程度に表示輝度を低下させてもよい。以上の事項は他の本発明でも同様である。

【1549】以上は表示パネル82の表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面21がたわみやすい。その対策のため、本発明では図48に示すように表示パネル82に外枠481をつけ、外枠481をつりさげられるように固定部材482で取り付けている。この固定部材482を用いて図49に示すようにネジ等の固定金具482を用いて壁491などに取り付ける。

【1550】しかし、表示パネル82の画面サイズが大きくなると重量も重たくなる。そのため、表示パネル82の下側に脚取り付け部484を配置し、複数の脚483で表示パネル82の重量を保持できるようにしている。

【1551】脚483はAに示すように左右に移動でき、また、脚483はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【1552】なお、脚483あるいは筐体（他の本発明においても）にはプラスチックフィルム－金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介してはりあわされるプラスチックフィルムは15μm以上100μm以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能であった深絞り成形やDI成形に適する。

【1553】図48のテレビでは、画面の表面を保護フィルム（保護板でもよい）493で被覆している。これは、表示パネル82の表面21に物体があたって破損することを防止することが1つの目的である。保護フィルム493の表面にはAIRコートが形成されており、また、表面をエンボス加工することにより液晶表示パネル21に外の状況（外光）が写り込むことを抑制している。

【1554】保護フィルム493と表示パネル82間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルム493の裏面に微細な凸部を形成し、この凸部で表示パネル82と保護フィルム493間に空間を保持させる。このように空間を保持することにより保護フィルム493からの衝撃が表示パネル82に伝達することを抑制する。

【1555】また、保護フィルム493と表示パネル8



2間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【1556】保護フィルム493をしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルム493を配置するかわりに、表示パネル82の表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをするのも有効である。

【1557】また、保護フィルム493あるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【1558】画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にするのが好ましい。ワイド型をすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネル82の明るさは300cd/m<sup>2</sup>（カンデラ/平方メートル）にすることが好ましい。さらに好ましくは、表示パネルの明るさは500cd/m<sup>2</sup>（カンデラ/平方メートル）にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（200cd/m<sup>2</sup>）で表示できるように切り替えスイッチを設置している。

【1559】したがって、使用者は表示内容あるいは使用方法により、最適に画面の明るさにすることができる。さらに動画を表示しているウインドウだけを500cd/m<sup>2</sup>にして、その他の部分は200cd/m<sup>2</sup>にする設定も用意している。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い

方にも柔軟に対応する。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【1560】テレビ番組の再生、録画機能も使い勝手が向上させている。iモードからの録画予約が簡単にできるようにしている。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできるようにしている。ニュース

番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見ることができる（30分番組で1～10分程度）。

【1561】テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。本体のほかに電源と映像入出力端子をまとめた拡張ボックスで構成している。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコンとテレビのほかに2系統の映像機器を接続できる。映像入力にはBSデジタルチューナー用のD1端子のほかにS端子入力も備え、接続する機器に合わせて選択できる。ゲーム機などの接続に便利のようにAV用の端子は前面に配置されている。

【1562】また、表示画面を前屈30度以上、後屈120度以上とすることにより、90度/180/270度に回転できるように構成することにより、操作環境にあわせた自在な設置が可能となる。たとえば、90度回転させてブラウザー画面を縦長に表示することができる。また、145度後屈させることによって対面に座った人へ向かって画面を表示できる。

【1563】以上の保護フィルム493、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

【1564】なお、図69などでコンデンサ19の一方の端子はVdd電源と接続するとしたがこれに限定するものではない。たとえば、図119に図示するように、前段のゲート信号線17aに一方の端子を接続してもよい。前段（1つ前の画素行）のゲート信号線17aは1H前に選択され、電位変動が発生するが、その後は、次の1F（次回選択されるまで）で選択されるまで、電位は固定される。つまり、前段のゲート信号線17a1はオフ電位（Vgh）に固定されている。したがって、コンデンサ19の一方の電極として使用することができる。このように前段のゲート信号線をコンデンサの電極として使用する構成を前段構成と呼ぶ。

【1565】なお、図119ではゲート信号線17aを電極として使用するとしたがこれに限定するものではなく、他のゲート信号線でもよい。また、前段構成の技術的思想は、選択されていない画素の固定電位を使用する方式である。したがって、場合によっては、後段のゲート電位を使用することもできる（たとえば、ゲート信号線17b、逆バイアス電位Vmなど）。以上の事項は他の画素構成にも適用できることは言うまでもない。

【1566】同様の事項は図67の電圧プログラムの画素構成にも適用することができる。前段構成としては、図120の構成が例示される。つまり、コンデンサ19の一方の電位はゲート信号線17a1の電位とされている。また、図103の前段構成は図121となる。以上のように前段構成を採用することにより、画素内に形成

する電源配線数を減少させることができる。したがって、高開口率化も実現できる。

【1567】すでに説明したが、図67のTFT11e、図68のTFT11e、図69のTFT11d、図70のTFT11d、図71のTFT11e、図72のTFT11b、図73のTFT11d、図75のTFT11d、図76のTFT11e、図77のTFT11d、図78のTFT11d、図82のTFT11d、図83のTFT11eなどのオンオフ状態を制御することにより、図31、図32、図39、図50、図61、図62、図63、図64、図65、図66、図85などで説明した駆動方法あるいは表示方法もしくは装置を実施できることは言うまでもない。

【1568】また、図1などのスイッチングTFT11b、11cなどはnチャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【1569】また、画素構成によっては、突き抜け電圧がEL素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

【1570】逆に、図1のスイッチングTFT11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。PチャンネルTFT11bがオフするときにはVgh電圧となる。そのため、コンデンサ19の端子電圧がVdd側に少しシフトする。そのため、TFT11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

【1571】その他、ゲート信号線17aとTFT11aのゲート(G)端子間に積極的にコンデンサを形成し、突き抜け電圧を増加させる構成も有効である(図171を参照)。このコンデンサの容量はコンデンサ19の容量の1/50以上1/10以下にすることが好ましい。さらには1/40以上1/15以下とすることが好ましい。もしくはTFT11bのソースゲート(SG)もしくはゲートドレイン(GD)容量の1倍以上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサの形成位置は、コンデンサ19の一方の端子(TFT11aのゲート(G)端子)とTFT11dのソース(S)端子間に形成または配置してもよい(図172を参照)。この場合も容量などは先に説明した値と同様である。

【1572】突き抜け電圧発生用のコンデンサ19bの容量(容量をCb(pF)とする)は、電荷保持用のコンデンサ19aの容量(容量をCa(pF)とする)と、TFT11aの白ピーク電流時(画像表示で表示最大輝度の白ラスタ時)のゲート(G)端子電圧Vwを黒表示での電流を流す(基本的には電流は0である。つまり、画像表示で黒表示としている時)時のゲート(G)端子電圧Vbが関連する。これらの関係は、
$$Ca/(200Cb) \leq |Vw - Vb| \leq Ca/(8Cb)$$
の条件を満足させることが好ましい。なお、 $|Vw - Vb|$ とは、駆動用TFTの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である(つまり、変化する電圧幅)。

【1573】さらに好ましくは、
$$Ca/(100Cb) \leq |Vw - Vb| \leq Ca/(10Cb)$$
の条件を満足させることが好ましい。

【1574】TFT11bはPチャンネルにし、このP

チャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、TFT11bのソースゲート(SG)もしくはゲートドレイン(GD)容量(TFTがオンしているときの容量)の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【1575】なお、以上の事項は、図1の画素構成だけでなく、他の画素構成でも有効である。たとえば、図21、図43、図71、図22のカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bとTFT11aのゲート(G)端子間に配置または形成する(図173、図174を参照)。スイッチングTFT11cのnチャンネルはダブルゲート以上とする。もしくはスイッチングTFT11c、11dをpチャンネルとし、トリプルゲート以上とする。図68の電圧プログラムの構成にあっては、ゲート信号線17cと駆動用TFT11aのゲート(G)端子間に突き抜け電圧発生用のコンデンサ19cを形成または配置する(図221を参照)。また、スイッチングTFT11cはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ19cはTFT11cのドレイン(D)端子(コンデンサ19b側)と、ゲート信号線17a間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはTFT11aのゲート(G)端子と、ゲート信号線17a間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはTFT11cのドレイン(D)端子(コンデンサ19b側)と、ゲート信号線17c間に配置してもよい。

【1576】また、電荷保持用のコンデンサ(図1、図21、図43、図71では19)の容量をCaとし、ス

イッチング用の TFT (図 1 では 11b、図 21、図 43、図 71 では 11c または 11d) のソース・ゲート容量  $C_c$  (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号 ( $V_{gh}$ ) とし、ゲート信号線に印加される低電圧信号 ( $V_{gl}$ ) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$[1577] \quad 0.05(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8(V)$$

さらに好ましくは、以下の条件を満足させることが好ましい。

$$[1578] \quad 0.1(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5(V)$$

以上の事項は図 54、図 57、図 67、図 103 などの画素構成にも有効である。たとえば、図 57 の電圧プログラムの画素構成では、TFT 11a のゲート (G) 端子とゲート信号線 17a 間に突き抜け電圧発生用のコンデンサ 19b を形成または配置する。

[1579] なお、突き抜け電圧を発生させるコンデンサ 19b は、TFT のソース配線とゲート配線で形成する。ただし、TFT 11 のソース幅を広げて、ゲート信号線 17 と重ねて形成する構成であるから、実用上は明確に TFT と分離できない構成である場合がある。

[1580] また、スイッチング TFT 11b、11c (図 1 の構成の場合) を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 19b を構成する方式も本発明の範疇である。スイッチング TFT 11b、11c はチャンネル幅  $W$  / チャンネル長  $L = 6/6 \mu m$  で形成することが多い。これを  $W$  と大きくすることも突き抜け電圧用のコンデンサ 19b を構成することになる。例えば、 $W:L$  の比を 2:1 以上 20:1 以下にする構成が例示される。好ましくは、 $W:L$  の比を 3:1 以上 10:1 以下にすることがよい。

[1581] また、突き抜け電圧用のコンデンサ 19b は、画素が変調する R、G、B で大きさ (容量) を変化させることが好ましい (図 233 を参照のこと)。R、G、B の各 EL 素子 15 の駆動電流が異なるためである。また、EL 素子 15 のカットオフ電圧が異なるためである。そのため、EL 素子 15 の駆動用 TFT 11a のゲート (G) 端子にプログラムする電圧 (電流) が異なるからである。たとえば、R の画素のコンデンサ 11bR を 0.02 pF とした場合、他の色 (G、B の画素) のコンデンサ 11bG、11bB を 0.025 pF とする。また、R の画素のコンデンサ 11bR を 0.02 pF とした場合、G の画素のコンデンサ 11bG と 0.03 pF とし、B の画素のコンデンサ 11bB を 0.025 pF とするなどである。このように、R、G、B の画素ごとにコンデンサ 11b の容量を変化させることによりオフセットの駆動電流を RGB ごとに調整することができる。したがって、各 RGB の黒表示レベ

ルを最適値にすることができる。

[1582] 以上は、突き抜け電圧発生用のコンデンサ 19b の容量を変化させるとしたが、図 233 などの構成では、突き抜け電圧は、保持用のコンデンサ 19a と突き抜け電圧発生用のコンデンサ 19b との容量の相対的なものである。したがって、コンデンサ 19b を R、G、B の画素で変化することに限定するものではない。つまり、保持用コンデンサ 19a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 11aR を 1.0 pF とした場合、G の画素のコンデンサ 11aG と 1.2 pF とし、B の画素のコンデンサ 11aB を 0.9 pF とするなどである。この時、突き抜け用コンデンサ 19b の容量は、R、G、B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19a と突き抜け電圧発生用のコンデンサ 19b との容量比を、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19a の容量と突き抜け電圧発生用のコンデンサ 19b との容量との両方を R、G、B 画素で変化させてもよい。

[1583] また、画面 21 の左右で突き抜け電圧用のコンデンサ 19b の容量を変化させてもよい (図 234 を参照のこと)。画素 16a は、ゲートドライバ 12 に近い位置にある。つまり、画素 16a は信号供給側に配置されているので、ゲート信号の立ち上がりが速い (スルーレートが高い) からである。波形 2341a を参照のこと) ため、突き抜け電圧が大きくなる。画素 16b はゲート信号線 17 端に配置 (形成) されているため、信号波形が鈍っている (ゲート信号線 17 には容量があるためである。波形 2341b を参照のこと)。ゲート信号の立ち上がりが遅い (スルーレートが遅い) ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 16a の突き抜け電圧用コンデンサ 19b を小さくする。また、ゲート信号線 17 端はコンデンサ 19b を大きくする。たとえば、画面の左右でコンデンサの容量は 10% 程度変化させる。

[1584] 図 233 でも説明したが、発生する突き抜け電圧は、保持用コンデンサ 19a と突き抜け電圧発生用のコンデンサ 19b の容量比で決定される。したがって、図 234 では、画面の左右で突き抜け電圧発生用のコンデンサ 19b の大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ 19b は画面の左右で一定にし、電荷保持用のコンデンサ 19a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ 19b と、電荷保持用のコンデンサ 19a 容量の両方を画面の左右で変化させてもよいことは言うまでもない。

[1585] また、図 234 において、画面 21 の左右でコンデンサ 19a または 19b の容量を変化させるとしたが、ドライバ回路 12 などが画面 21 の左右に配置

されている場合（たとえば、両側給電）、画面21の左右のコンデンサ19a、19bの容量は等しくてよい。しかし、今度は画面の中央部の信号波形が、画面の左右の信号波形に比較して鈍っている場合がある。したがって、この場合は、突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aと突き抜け電圧用用のコンデンサ19a容量は、画面21の左右では同一にし、電荷保持用のコンデンサ19aと突き抜け電圧用用のコンデンサ19a容量のうち少なくとも一方を、画面21の端と中央部で変化させる。

【1586】また、図234において、画素16aと画素16cのように、ゲートドライバ12の形成位置から同一位置にあっても、突き抜け電圧などが異なる場合がある。たとえば、ゲートドライバ12の電源の供給位置あるいは電圧降下、ソースドライバ14からの信号供給位置関係からである。したがって、図234の画素16cは、画素16aに対して、突き抜け電圧発生用のコンデンサ19bの容量と電荷保持用コンデンサ19aの容量のうち、少なくとも一方を異ならせる。画素16dについて同様である。

【1587】以上のように、本発明は、突き抜け電圧発生用のコンデンサ19bの容量と電荷保持用コンデンサ19aの容量のうち、少なくとも一方を、表示画面21内で他の部分と変化させた箇所があるものである。

【1588】図171、図172のように本発明のコンデンサ11bを形成（配置）する構成は以下のとおりである。つまり、スイッチングTFTがオンし、その後、オフする。この時、コンデンサ11aなどに作用し、EL素子15駆動用TFT11（図1ではTFT11a）のゲート（G）端子を変化させることにより、TFT11の電流が流れないようにする方向に機能する構成である。つまり、図171、図172などはpチャンネルの場合である。図210に図示するようにnチャンネルの場合でも適用することができる。nチャンネルの場合は、VghでTFTがオンし、VglでTFTがオフする。したがって、nチャンネルTFT11b（11c）がオン（画素行が選択されている）からオフ（次の画素行が選択される）する際に、駆動用TFT11aが電流を流さない方向に作用するように構成すればよい。したがって、本発明は、選択するTFTがオフになる際に、EL素子15に電流を流さない方向に動作させるように構成したものである。

【1589】図228を用いて説明すれば、なお、理解が容易となるであろう。まず、ソースドライバ回路14には画像データとしての電流Iwがソース信号線18から吸い込まれる。なお、ここでは説明を容易にするため、プログラム電流Iwをソースドライバ回路14が吸い込む方向で動作し、各画素16にプログラムされるとして説明をする。以下、動作について、図228および

図229を参照しながら説明をする。なお、説明は、画素行（1）として説明をする。

【1590】図228（a）に図示するように、ゲート信号線17a（1）にオン電圧（Vgl）が印加され、画素が選択される。この時、ゲート信号線17b（1）にはオフ電圧（Vgh）が印加される。したがって、スイッチングTFT11bおよび11cがオンし、TFT11dはオフ状態である。

【1591】ソース信号線18にはプログラム電流Iwが流れる。このプログラム電流IwはTFT11aによって、供給させる（電流Idd=Iw）。この電流Iddが流れることにより、ソース信号線18の電位が所定電圧となり、TFT11aのゲート（G）端子電圧Vgが電流プログラムされる。電流プログラムされた電流とはIw電流である。つまり、TFT11aはプログラム電流Iwが流れるようにVg電圧が設定される。他の言い方をすれば、ソース信号線の電位が画素にプログラムされたとも言うことができる。つまり、画素の動作状態としては電圧（が）プログラムされたとも言うことができる。

【1592】1H（1水平走査期間）後、ゲート信号線17a（1）にはオフ電圧（Vgh）が印加され、TFT11b、TFT11cがオフし、コンデンサ11aにプログラム電流Iwを流すのに必要な電圧が保持される。また、ゲート信号線17b（1）にオン電圧（Vgl）が印加され、TFT11dがオンする。したがって、Ie（=Iw）電流がEL素子15に流れ、EL素子15がプログラムされた電流（Ie）で点灯する（図228（b）を参照）。

【1593】以上が、以前にも説明した電流プログラム方式の動作である。しかし、本発明は以上の動作を異なる。EL素子15に流れる電流Ieは、Iwよりも小さくしているからである。この理由は、図229のVg（TFT11aのゲート（G）端子電圧）の変化を見るとわかる。

【1594】理解を容易にするために、TFTのPチャンネルの動作について説明をする。PチャンネルTFTはゲート（G）端子電圧Vgがマイナス側にあるほど大きなオン電流が流れる。0（V）では完全にオフする。オン電流がTFTのW/Lおよびモビリティ、S値によって異なる。TFTのW/Lが6/12の時、およそ3（V）までは、チャンネル電流（Idd）はごく僅かである。-4（V）～-4.5（V）で1～5μAの電流が流れる。

【1595】図229は、画素（1）のTFT11aにはば、黒表示をするための電流をプログラムする時を示している。まず、画素（1）のVg電圧はVw（白表示など）が保持されているとする。画素（1）が選択されると、ゲート信号線17a（1）がVghからVglに変化するため、コンデンサ19bによって、ゲート信号

線 17a の電位が突き抜ける。この突き抜けにより Vg 電圧は V0 となる。

【1596】次に、TFT11a はソースドライバ回路 14 が吸収する電流 Iw に等しい電流を流す。しかし、黒表示の場合、TFT11a が流す電流の値は小さい。一例として 30 nA 以下である。このような電流では、ソース信号線 18 の寄生容量を 1 H 期間内に十分に充電電圧にすることができない。したがって、ソース信号線 18 の電位を 1 H 期間内に所定電圧にすることができない。つまり、Vg 電圧も低く、本来必要な電圧 Vb とすることができず、Vc 電圧となる。

【1597】Vc 電圧は、Vb 電圧よりも低いので、TFT11a は EL 素子 15 に黒表示よりも大きな電流を流す。そのため、EL 素子 15 は所望値よりも明るく発光する。したがって、EL 表示パネルでは、黒浮きが発生し、高コントラスト表示を実現できない。

【1598】しかし、本発明の動作は以上の動作と異なる。ゲート信号線 17a (1) がオン電圧 (vg1) からオフ電圧 (Vgh) に変化するため、再び、コンデンサ 19b により突き抜け電圧が発生するからである。この突き抜け電圧により、Vg 電圧は Vc 電圧から本来、必要とする Vb 電圧にシフトする。したがって、TFT11a は全く電流を流さないようにプログラムされるか、もしくは所望値の黒電流を流すようにプログラムされる。つまり、EL 素子 15 には微少な電流しか流れないようにプログラムされる。そのため、本発明の EL 表示パネルは黒浮きがなく、高コントラスト表示を実現できる。この Vb 電圧は 1 フィールド (1 フレーム)、つまり、次に画素が選択され、書き換えられるまで保持される。

【1599】本発明は突き抜け電圧をうまく利用して、良好な黒表示を実現している。該当の画素行が選択され、ゲート信号線 17a にオン電圧が印加されると、図 229 に図示するように V0 電圧が突き抜けて Vg 電圧がより、白表示をなす方向にシフトしてしまう。しかし、この突き抜けた電圧は、ソース信号線 18 からの電圧により短時間に充電される。特に、TFT11a のゲート (G) 端子電圧が低下する方向であるので、TFT11a がより電流を流す方向になり、短時間に充電されるのである。したがって、V0 電圧分の突き抜けは全く問題とならない。

【1600】TFT11a のゲート (G) 端子電圧 Vg が目標値の Vb 電圧に近づくにつれて、TFT11a は電流を流さない方向となる。したがって、目標の端子電圧 Vb になかなか到達しない。特に、プログラムされる電流が黒表示の電流に近づくにつれてその影響が顕著になる。図 229 では 1 H の選択期間の終了時でも Vb 電圧とならず、Vc 電圧となっている。

【1601】1 H の期間後、該当の画素行が非選択され、ゲート信号線 17a にオフ電圧が印加されると、図

229 に図示するようにゲート信号線 17a には、Vgh 電圧が印加され、突き抜け電圧が発生する。この突き抜け電圧により、TFT11a のゲート (G) 端子電圧が目標の Vb 電圧に到達する。

【1602】以上のように本発明は、ゲート信号線 17a の電圧変動はコンデンサ 11b を介して TFT11a に供給し、EL 素子 15 に流れる電流を制御している。この制御は特に、黒表示を実現するのに有効である。

【1603】以上の説明では、選択した画素行のゲート信号線 17a の突き抜け電圧により、駆動用 TFT11a を制御するものであった。しかし、本発明は、これに限定するものではない。たとえば、図 230 に図示するように、隣接した画素行のゲート信号線 17a の突き抜けを利用するものでもよい。

【1604】図 140 で説明したように、複数画素行を同時に選択し、1 画素行ずつ選択画素行をシフトしていく方法である。印加するゲート信号線 17 の電圧波形を図 231 に図示している。

【1605】図 230 は、次の画素行のゲート信号線 17a にコンデンサ 19b の一端子を図 196、図 194 で説明したように接続している。また、図 179 のように、ゲート信号線 17b を複数画素行で共通にしている (点灯制御線 1791 で短絡)。また、図 131、図 197 で説明したように、ゲートドライバ IC12 を表示画面 21 の一辺に配置した 3 辺フリーの構成を採用している。

【1606】図 1 の TFT11a、図 21、図 43、図 71 の TFT11b のキンクバラツキの影響を軽減するためには、TFT11 を形成する基板の電位を固定することが好ましい。たとえば、シリコン基板などの金属基板上に TFT を形成すればよい。また、ガラス基板に TFT を形成する場合でも、基板に金属などで薄い電位安定化層を形成し、この上に TFT11 などを形成する。また、この電位安定化層に TFT などの素子の 1 端子を接地するとよい。以上のように、基板を電位固定することにより、キンクバラツキを大幅に低減できる。特に、光を上取り出しする構成の場合は、基板を透明にする必要がないので、上記の構成の採用は容易である。

【1607】図 231 でも理解できるように、隣接した画素行のゲート信号線 17a は注目する画素行のゲート信号線 17a に対して 1 H 遅れて、Vgh となる。したがって、突き抜け電圧は 1 H 遅れて印加される。他の動作は、図 228、図 229 で説明した動作と同一であるので説明を省略する。

【1608】図 228、図 229 は駆動用 TFT11a が P チャンネルの場合であった。駆動用 TFT11a が N チャンネルの場合は、図 232 の駆動波形となる。n チャンネルの場合は、Vgh 電圧の印加でスイッチング TFT11b などがオンし、Vg1 電圧の印加でオフする。したがって、突き抜け電圧は図 232 の Vg 波形で

もわかるように、ゲート信号線17aに印加された電圧がVg1→Vghとなる時、Vgh→Vg1となる時に発生する。画素行を選択し、非選択された時には、Vg電圧はより低くなっている。したがって、駆動TFT11aをNチャンネルで形成しておけば、図228、図229で説明したように、良好な黒表示を実現できる。

【1609】なお、図210は図1のTFTのPチャンネルとNチャンネルに変更したものである。したがって、動作は図1、図171などと同様であるので説明を省略する。また、PチャンネルとNチャンネルとの変更は図21、図43、図71などでも同様であるので、本発明の突き抜け電圧用のコンデンサ19bの概念をそのまま他の画素構成にも適用することができる。

【1610】また、駆動用TFT11（図1ではTFT11a、図21ではTFT11bなど）はPチャンネルよりもNチャンネルの方が突き抜け電圧による制御は良好な結果となる場合が多い。以下、この理由について説明をしておく。

【1611】図270（a）は、ドレイン電圧（D）をソース電圧（S）に対して、十分に低電圧にした（飽和領域）にした場合の電流出力を示している。横軸は、ソース（S）電圧に対してゲート（G）電圧である。ゲート電圧をマイナス側にした時にソース（S）-ドレイン（D）間に電流が流れる。縦軸は、ソース（S）-ドレイン（D）間電流である。

【1612】一般的に低温ポリシリコン技術で形成したTFTはV0電圧以下にした時に、電流が流れる。V0電圧は3～4（V）である。また、一般的に、PチャンネルのTFTは電流が流れ始める電圧（V0）から1～1.5（V）で1～10μA（たとえば、W/L=6/9μm）の電流が流れる。この電圧幅をVc（V）とする。

【1613】したがって、Pチャンネルの場合は、黒表示の時、ゲート（G）電圧V0で電流が流れはじめ、ゲート（G）電圧V0+Vcで1～10μAの電流が流れる。図1の主要な部分を抜き出し、等価回路図で書くと、図270（c）のようになる。保持用のコンデンサ19aの容量をCaとし、突き抜け電圧発生用のコンデンサ19bの容量をCb、TFT11bのチャンネル容量をCtとする。また、CbとCtとを加えた容量をCcとする。TFT11aのゲート電圧をVgとする。

【1614】ゲート信号線17aに印加された電圧は、CaとCcに分圧され、TFT11aのゲート（G）端子に印加される。たとえば、Ca：Cc=3：2で、ゲート信号線の電圧が10（V）変化したとすれば、この電圧は、3：2に分圧されてゲート（G）端子にVgとして印加される。つまり、Vdd=0（V）であれば、ゲート信号線17aの電位が0（V）から-10（V）に変化した時、Vg=-4（V）となる。

【1615】Vgにあらかじめ所定電圧が印加されてい

る場合も同様である。ゲート信号線17aに印加された電圧の変化がCaとCc容量に分圧されて印加する。しかし、突き抜け電圧は、ゲート信号線17の電位の変化によるものである。また、Ca、Ccは固定値である。そのため、電位の変化はVghとVg1で決まるから一定である。たとえば、突き抜け電圧は、画像表示状態に関わらず、0.1（V）というように一定値である。

【1616】Vg電圧は、画像によって変化する。たとえば、黒表示では、Vg電圧は-3（V）である。白表示では-4（V）である（図270（a）の実線aを参照）。しかし、突き抜け電圧は、たとえば、0.1（V）というように固定値である。そのため、黒表示のVg=3（V）に対する突き抜け電圧0.1（V）と、白表示のVg=4（V）に対する突き抜け電圧0.1（V）とは寄与度が異なる。つまり、黒表示に対する突き抜け電圧の割合の方が、白表示に対する突き抜け電圧の割合の方大きい。したがって、突き抜け電圧の影響は、黒表示で大きく、白表示で小さいことになる。

【1617】この動作は、EL表示パネルの表示を良好な方にするに寄与する。つまり、黒表示で突き抜け電圧が大きければ、黒表示で、ソース信号線18に流すプログラム電流が大きくなる。したがって、書き込み不足が解消される。白表示で突き抜け電圧の影響は小さい方がよい。

【1618】駆動用TFT11がPチャンネルの場合は、黒表示にするV0電圧が-3（V）以下と絶対値が比較的大きい。少なくとも、黒表示の階調1（第1番目の階調）で流す電流（およそ、2～50nA）を発生する電圧V0と、白表示の最大の階調で流す電流Ii（μA）を発生する電圧V0+Vcとの関係は次式を満足させることが好ましい。

$$\frac{1}{2} \leq |(Vc + V0) / V0| \leq 3$$

さらに好ましくは、

$$1 \leq |(Vc + V0) / V0| \leq 2$$

を満足させることが好ましい。突き抜け電圧の影響が黒表示で顕著となり、良好な黒表示を実現でき、かつ、白表示での突き抜け電圧の影響が軽減からである。

【1620】また、図270（a）において、従来のVcの大きさをV0に比較して相対的に大きくしてもよい。つまり、S値を小さくする。また、モビリティを小さくする。

【1621】図270（a）のPチャンネルの場合は、点線bに示すようにV0電圧を0電位側にシフトさせることが好ましい。このシフトは、PチャンネルTFTの半導体層へのドーピング量を変更することにより実現できる。以上の事項は、図270（b）のNチャンネルの場合も同様である。

【1622】アレイ作製にあたっては、ゲートドライバ回路12などを構成するTFTのドーピングは従来と同

10

20

30

40

50

一にし、画素のTFT11aのドーピング量を変化させればよい。これは、ドーピングの際、マスクを用いることにより形成できる。また、ゲートドライバ回路12などを構成するTFTをNチャンネルのみで構成し、画素のTFT11aをPチャンネルとする。逆に、画素のTFT11aをNチャンネルとした場合は、ゲートドライバ回路12などを構成するTFTなどはPチャンネルとする。以上の事項は以下の事項にも適用することができる。

【1623】図270はNチャンネルのTFTのソース電圧(S)とドレイン電圧(D)に対して、十分に高電圧にした(飽和領域)にした場合の電流出力を示している。横軸は、ソース(S)電圧に対してゲート(G)電圧である。ゲート電圧をプラス側にした時にソース(S)ードレイン(D)間に電流が流れる。縦軸は、ソース(S)ードレイン(D)間電流 $I_i$ である。

【1624】一般的に低温ポリシリコン技術で形成したNチャンネルのTFTは $V_0$ 電圧以上にした時に、電流が流れる。 $V_0$ 電圧は1~2(V)である。また、一般的に、NチャンネルのTFTは電流が流れ始める電圧( $V_0$ )から1~1.5(V)で1~10 $\mu$ A(たとえば、 $W/L=6/9\mu m$ )の電流が流れる。この電圧幅を $V_c$ (V)とする。

【1625】したがって、Nチャンネルの場合は、黒表示の時、ゲート(G)電圧 $V_0$ で電流が流れはじめ、ゲート(G)電圧 $V_0+V_c$ で1~10 $\mu$ Aの電流が流れる。

【1626】 $V_g$ 電圧は、画像によって変化する。たとえば、黒表示では、 $V_g$ 電圧はグラウンド電圧から、1.5(V)である。白表示では2.5(V)である(図270(b)を参照)。しかし、突き抜け電圧は、たとえば、0.1(V)というように固定値である。そのため、黒表示の $V_g=1.5$ (V)に対する突き抜け電圧0.1(V)と、白表示の $V_g=2.5$ (V)に対する突き抜け電圧0.1(V)とは寄与度が異なる。つまり、黒表示に対する突き抜け電圧の割合の方が、白表示に対する突き抜け電圧の割合の方大きい。したがって、突き抜け電圧の影響は、黒表示で大きく、白表示で小さいことになる。つまり、Nチャンネルでは、Pチャンネルに比較して $V_0$ 電圧が低い。そのため、駆動TFT11aは、Nチャンネルの方が、Pチャンネルよりも、つまり、黒表示で突き抜け電圧が大きくなり、黒表示で、ソース信号線18に流すプログラム電流が大きくなる。したがって、書き込み不足が解消される。

【1627】なお、以上の事項は、図54、図68、図103などの電圧プログラムの画素構成に対しても適用することができることは言うまでもない。つまり、一定以上のプログラム電圧以上にならないとEL素子15に電流を流さないようにすることができるからである。したがって、黒表示などにおいて、ノイズで信号が揺れて

いる際は、ノイズレベルを除去(突き抜け電圧の効果により、一定のレベルまではEL素子15は点灯しない)できるからである。また、白ピーク輝度をだしやすくなり、画質が向上する。

【1628】また、以上の実施例ではコンデンサ19bの容量で、突き抜け電圧を設定(所望値にする)するとした。突き抜け電圧の値は、ゲート信号線17の振幅値で変化する。したがって、ゲート信号線17a(図1の場合)の振幅値を調整することにより、突き抜け電圧を調整することができる。たとえば、ゲート信号線の $V_{gh}=10$ (V)、 $V_{gl}=0$ (V)であれば、振幅値は10(V)である。この状態で突き抜け電圧が0.1(V)とする。 $V_{gh}$ を12(V)とすることにより振幅値は12(V)となる。したがって、理想的には突き抜け電圧は0.12(V)となる。つまり、ゲート信号線17の振幅により自由に突き抜け電圧を変更でき、ベース電流を調整できる。

【1629】この制御は容易である。ゲート電圧を発生する電源回路をコマンドにより、 $V_{gh}$ または $V_{gl}$ の値を設定できるようにしておけばよいからである。この電圧を調整することにより、突き抜け電圧の微妙な調整が可能になる。

【1630】ゲート信号線17aに印加する信号(TFT11のオンオフ信号)のスルーレート(立ち上がりおよび立下り時間に対する電圧の変化)が高いと突き抜け電圧は増加する傾向にある。逆にスルーレートが低いと突き抜け電圧は低下する。つまり、スルーレート40(V)/ $\mu$ secの方が、20(V)/ $\mu$ secよりも突き抜け電圧は大きくなる。ゲート信号のスルーレートはゲートドライバ12の出力バッファ(インバータ回路、オペアンプなど)の駆動能力で変化する。出力バッファの出力電流を制御することにより、スルーレートを調整できる。したがって、出力バッファの出力電流を制御することにより、突き抜け電圧を調整できる。出力バッファの出力電流を制御することは、出力バッファの供給電圧を調整すること、ゲート(G)端子への印加波形を鈍らすことなどにより実現できる。また、供給電圧を調整することは回路構成上、容易である。ゲート(G)端子への印加波形を鈍らすことは前段のバッファのサイズを小さくすること(能力を低下させる)により、実現できる。また、ゲート信号線17aに印加するオンオフ信号をサインカーブや鋸歯状の信号としても突き抜け電圧を変化できる。以上の事項は、以下に説明する電圧制御信号線、共通信号線の制御においても適用される。

【1631】なお、図171などにおいて、突き抜け電圧発生用のコンデンサ19bは、一方の電極をゲート信号線17にするとしたが(ゲート信号線17に接続するとしたが)、これに限定するものではない。例えば、突き抜け電圧発生用にコンデンサ19bの制御用の電圧制御信号線を別途形成する。コンデンサ19bの2つの電

極のうち、一方をTFT11aのゲート(G)端子に接続し、他方を別途形成した前記電圧制御信号線に接続する構成でもよい。この構成では、ゲート信号線17aの選択状態に同期して、電圧制御信号線にパルス信号(矩形波に限定するものではない。サインカーブや鋸歯状の信号でもよい)を印加すればよい。また、このパルス振幅値を調整することにより、突き抜け電圧を容易に調整できる。

【1632】この構成を図235に示している。電圧制御信号線17cに印加されたパルス電圧によって、コン

デンサ19bを介して突き抜け電圧がTFT11aのゲート(G)端子に印加される。

【1633】電圧制御信号線17cはゲート信号線17と動作は同一である。図236に図示するように、電圧制御信号線17cはゲートドライバ回路12の出力端子として構成される。また、図179で説明したように、ゲート信号線17bは点灯制御線1791に接続されている。

【1634】突き抜け電圧を発生させる信号をゲート信号線17aから供給するのではなく、図237に図示するように、電圧制御信号線17cから供給すると突き抜け電圧の制御が容易になる。図237は図236の表示パネルを駆動する信号波形の説明図である。なお、説明を容易にするため、選択する画素行は画素行番号(1)であるとして説明する。

【1635】画素行(1)が選択されると、ゲート信号線17a(1)がVghからVglに変化するため、コンデンサ19bによって、ゲート信号線17aの電位が突き抜ける。この突き抜けによりVg電圧はV0となる。

【1636】次に、TFT11aは、ソースドライバ回路14が吸収する電流Iwに等しい電流を流す。しかし、黒表示の場合、TFT11aが流す電流の値は小さい。一例として30nA以下である。このような電流では、ソース信号線18の寄生容量を1H期間内に十分に充放電することができない。したがって、ソース信号線18の電位を1H期間内に所定電圧にすることができない。つまり、Vg電圧も低く、本来必要な電圧Vbとすることができず、Vc電圧となる。

【1637】つぎに、ゲート信号線17a(1)がオン電圧(vgl)からオフ電圧(Vgh)に変化するため、再び、コンデンサ19bにより突き抜け電圧が発生する。この突き抜け電圧により、Vg電圧はVc電圧からVa電圧にシフトする。

【1638】さらに、t1の時間遅れて、電圧制御信号線17c(1)が低電圧から高電圧にシフトする。したがって、さらに突き抜け電圧が発生し、TFT11aのゲート(G)端子電圧Vgは目標電圧のVbにシフトする。このシフトする電圧を調整することにより、突き抜け電圧を自由に制御できる。つまり、図228、図22

9の構成では電圧の変化(突き抜け電圧量)は、ゲート信号線17aの振幅で制約される。しかし、図236のように、電圧制御信号線17cを別途設けることにより、突き抜け電圧量を変更することが容易となる。また、印加する信号のスルーレートの制御も容易である。また、電圧制御信号線17cに印加する信号の電位レベルにも制約を受けないため、回路構成も容易となる。

【1639】したがって、TFT11aは全く電流を流さないようにプログラムされるか、もしくは所望値の黒電流を流すようにプログラムされる。つまり、EL素子15には微小な電流しか流れないようにプログラムされる。そのため、本発明のEL表示パネルは黒浮きがなく、高コントラスト表示を実現できる。このVb電圧は1フィールド(1フレーム)、つまり、次に画素が選択され、書き換えられるまで保持される。

【1640】以上のように本発明は、電圧制御信号線17cの電圧変動は、コンデンサ11bを介してTFT11aに供給される。したがって、EL素子15に流れる電流を制御している。この制御は特に、黒表示を実現するのに有効である。

【1641】図237と図238との差異は、電圧制御信号線17cの動作タイミングt1を1Hとした点である。他の点は同一である。図238のように構成することにより、ゲート信号線17aと電圧制御信号線17cとの動作クロックを同一にすることができるため、回路構成が容易になる。

【1642】図236は画素構成が図1の電流プログラムの画素構成である。しかし、本発明は電流プログラム方式に限定するものではなく、電圧プログラムの画素構成にも適用することができる。図239は図54などで説明した電圧プログラムの画素構成に、本発明の技術的思想を適用したものである。

【1643】図239はコンデンサ19bの一端子をTFT11bのドレイン(D)端子に接続し、他方の端子を電圧制御信号線17cと接続したものである。なお、スイッチングTFT11bはNチャンネルのTFTで形成している。

【1644】図240は図239の画素構成における駆動波形の説明図である。画素行(1)が選択されると、ゲート信号線17a(1)がVglからVghに変化するため、コンデンサ19bによって、ゲート信号線17aの電位が突き抜ける。この突き抜けによりVg電圧は、保持されていたVwからV0となる。

【1645】次に、TFT11aは、ソースドライバ回路14が吸収する電流Iwに等しい電流を流す。しかし、黒表示の微小な電流では、ソース信号線18の寄生容量を1H期間内に十分に充放電することができない。したがって、ソース信号線18の電位を1H期間内に所定電圧にすることができない。つまり、Vg電圧も低く、本来必要な電圧Vbとすることができず、Vc電圧

10

20

30

40

50



となる。

【1646】つぎに、ゲート信号線17a(1)がオン電圧(vgh)からオフ電圧(Vgl)に変化するため、再び、コンデンサ19bにより突き抜け電圧が発生する。この突き抜け電圧により、Vg電圧はVc電圧からさらに低下してVa電圧にシフトする。

【1647】さらに、t1の時間遅れて、電圧制御信号線17c(1)が低電圧から高電圧にシフトする。したがって、突き抜け電圧が発生し、TFT11aのゲート(G)端子電圧Vgは目標電圧のVbにシフトする。したがって、目標とする電圧VbをTFT11aのゲート(G)端子に印加することができる。

【1648】図240と図241との差異は、電圧制御信号線17cの動作タイミングt1を1Hとした点である。他の点は同一である。図241のように構成することにより、ゲート信号線17aと電圧制御信号線17cとの動作クロックを同一にすることができるため、回路構成が容易になる。

【1649】電圧制御信号線17cを用いる構成は、他の数々の構成が例示される。たとえば、図242はスイッチングTFT11cのドレイン(D)端子と電圧制御信号線17c間にコンデンサ19bを配置(形成)した構成である。図242の構成は、直接にTFT11aのゲート(G)端子に突き抜け電圧を印加する構成ではない。しかし、電圧制御信号線17cに印加した信号波形はコンデンサ19bを介してTFT11cのドレイン(D)端子に印加される。そして、このドレイン(D)端子に印加された電圧がTFT11bなどを介して、TFT11aのゲート(G)端子に反映(影響、作用、制御)されるのである。

【1650】つまり、図242の画素構成では、EL素子15に電流を流す駆動素子11aと直接制御するものではない。しかし、駆動素子11aが流す電流を制御することができる。本発明は、プログラムした電流を制御してそれよりも低い(場合によっては高くする場合もある。たとえば、白ピーク電流がよりながれるように制御する場合である。)電流をなんらかの方法で行うものである。したがって、図242の構成も本発明の技術的思想の範疇である。

【1651】図243は図21、図43、図71のカレントミラーの画素構成において、電圧制御信号線17cと突き抜け電圧発生用のコンデンサ19bを形成した方式である。この構成については特に説明を要さないであろう。したがって、説明を省略する。

【1652】図245は、突き抜け電圧発生用11aを形成していない。電圧制御信号線17cは保持用コンデンサ19の一端子に接続されている。いままで突き抜け電圧用コンデンサ19bに印加する電圧でTFT11aのゲート(G)端子の電位を制御し、TFT11aが流す電流を調整するとして説明した。

【1653】図245は電荷保持用コンデンサ19を直接に制御することにより、TFT11aのゲート(G)端子の電圧を制御し、TFT11aに流す電流を制御するものである。動作は図241で説明した動作をそのまま、あるいは類推することにより適用することができる。図245の画素構成では、突き抜け電圧用のコンデンサ19bが不要である。したがって、画素構成が容易となる。

【1654】図266は図245の画素構成における駆動波形の説明図である。ゲート信号線17a(1)が選択されと、TFT11cとTFT11dがオンする。次に、TFT11aは、ソースドライバ回路14が吸収する電流Iwに等しい電流を流す。しかし、黒表示の微小な電流では、ソース信号線18の寄生容量を1H期間内に十分に充放電することができない。したがって、ソース信号線18の電位を1H期間内に所定電圧にすることができない。つまり、Vg電圧も低く、本来必要な電圧Vbとすることができず、Vc電圧となる。

【1655】つぎに、ゲート信号線17a(1)がオン電圧(vgl)からオフ電圧(Vgh)に変化する。同時に、電圧制御信号線17c(1)が低電圧から高電圧にシフトする。したがって、突き抜け電圧が発生し、TFT11aのゲート(G)端子電圧Vgは目標電圧のVbにシフトする。したがって、目標とする電圧VbをTFT11aのゲート(G)端子に印加することができる。

【1656】なお、図266では、「ゲート信号線17a(1)がオン電圧(Vgl)からオフ電圧(Vgh)に変化する。同時に、電圧制御信号線17c(1)が低電圧から高電圧にシフトする。」としたが、これに限定するものではなく、図240、または図241のようにt1の期間おくれで、信号波形が変化するように構成してもよい。

【1657】図245の画素構成は、図1の画素構成にも適用できることは言うまでもない。電荷保持用のコンデンサ19の一端子に電圧制御信号線17cを接続する(図244を参照)。そして、この電圧制御信号線17cに印加する信号によりTFT11aのゲート(G)端子電圧を変動させ、TFT11aが流す電流を制御(調整)する。

【1658】また、コンデンサ19aの電極の下層に、前記電極と絶縁された信号線を形成してもよい。仮に、この信号線を共通信号線と呼ぶ。このような構成を実現すれば、共通信号線と前記絶縁膜とコンデンサの電極とで第2のコンデンサを形成することができる。このコンデンサは、図171のコンデンサ19bと見なせる。したがって、共通信号線に先と同様にパルス信号を印加することにより、先と同様の作用および効果を発揮できる。なお、呼び方を共通信号線と呼んだが、機能、構成は先に説明した電圧制御信号線17cと差がない。した

がって、電圧制御信号線 17c で説明した事項、内容はそのまま、共通信号線に適用することができる。

【1659】また、以上の実施例では、突き抜け電圧発生用コンデンサ 19b の一方の端子は、TFT11a のゲート (G) 端子に接続するとした。しかし、本発明は、この構成に限定するものではない。たとえば、図 267 のように、電荷保持用のコンデンサ 19a、19c の中点にコンデンサ 19b に一方の端子を接続してもよい。図 267 に図示するように、構成することにより、突き抜け電圧の影響が、TFT11a のゲート (G) 端子に与える割合が少なくなる。

【1660】また、図 277 に示す構成も効果的である。図 277 では画素が選択されると、ソースドライバ回路 14 からの電圧は TFT11b のドレイン (D) 端子 V<sub>k</sub> に印加される。この電圧 (つまり、プログラム電流である) が、コンデンサ 19a とコンデンサ 19c で分割されて、駆動用 TFT11a のゲート (G) 端子電圧 V<sub>g</sub> となる。したがって、ゲート (G) 端子電圧 V<sub>g</sub> はプログラムされた電圧 V<sub>k</sub> に比較して低くなる。そのため、TFT11a に流れる電流 (EL 素子 15 に流れる電流) は、プログラムされた電流よりも小さくなる。そのため、プログラム電流を大きくし、EL 素子 15 に流れる電流を小さくできる。したがって、黒表示でも、書き込み不足がなくなる。

【1661】図 277 において、コンデンサ 19a の容量を C<sub>a</sub> とし、電圧シフト用のコンデンサ 19c の容量を C<sub>c</sub> とし、ゲート信号線に印加される高電圧信号 (V<sub>gh</sub>) とし、ゲート信号線に印加される低電圧信号 (V<sub>gl</sub>) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$【1662】 0.5 \leq |V_{gh} - V_{gl}| \times (C_a / C_c) \leq 10$$

さらに好ましくは、以下の条件を満足させることが好ましい。

$$【1663】 1 \leq |V_{gh} - V_{gl}| \times (C_a / C_c) \leq 5$$

また、図 270 の V<sub>c</sub> を基準にすれば、

$$0.05 \leq |V_c| \times (C_a / C_c) \leq 1$$

さらに好ましくは、以下の条件を満足させることが好ましい。

$$【1664】 1 \leq |V_c| \times (C_a / C_c) \leq 5$$

以上の事項は図 57、図 54、図 103 などの画素構成にも有効である。たとえば、図 57 の電圧プログラムの画素構成では、TFT11a のゲート (G) 端子とゲート信号線 17a 間に突き抜け電圧発生用のコンデンサ 19b を形成または配置する。

【1665】以上の事項は図 292 の実施例にも適用される。また、図 21、図 43、図 71 などでも説明した画素構成にも適用することができることは言うまでもない

(図 291 を参照)。また、図 54、図 68、図 103 などの電圧プログラムの画素構成にも適用できる。TFT を突き抜ける電圧を補償できる。また、電位シフトさせることにより最良動作点で動作させることができるからである。

【1666】図 277 は突き抜け電圧発生用のコンデンサ 19b を付加した構成であった。しかし、図 277 の構成では、一般的に P チャンネルの TFT11b はオン抵抗を低くするため、チャンネル幅 W を比較的大きくする必要があるのである。そのため、ソースゲート容量が比較的大きい。したがって、コンデンサ 19b を付加せずとも、TFT11b に発生する寄生容量で代用できる。

【1667】図 277 のように、突き抜け電圧用のコンデンサ 19b と動作点シフト用のコンデンサ 19c の両方を作製すると、動作点 V<sub>g</sub> にバラツキが発生する場合がある。この課題に対しては、画素行を選択するスイッチング TFT (図 1 では、TFT11b、11c。図 21、図 43、図 71 では TFT11c、11d) を N チャンネルにして、突き抜け電圧を極力低減することが効果的である。この実施例を図 292 に示す。図 292 では、スイッチング TFT11b を N チャンネルにすることにより、P チャンネルに比較して突き抜け電圧を 1/2 ~ 1/5 にすることができる。したがって、突き抜け電圧は発生しにくく、V<sub>k</sub> 電圧のシフトは発生しにくい。そのため、TFT11a のゲート (G) 端子電圧 V<sub>g</sub> 電圧のばらつきも発生しにくい。なお、図 292 では、逆バイアス電圧 V<sub>m</sub> 印加用の TFT11g (スイッチング手段) と付加している。

【1668】以上は、図 1 の画素構成の場合であったが、図 21、図 22、図 43、図 71 の構成もの同様である (図 278 を参照)。画素が選択されると、TFT11d がオンし、ソース信号線 18 からの電圧 (電流) が、TFT11d のドレイン (D) 端子に接続されたコンデンサ 19a の一端子に書き込まれる。つまり、ソースドライバ回路 14 からの電圧は TFT11b のドレイン (D) 端子 V<sub>k</sub> に印加される。この電圧 (つまり、プログラム電流である) が、コンデンサ 19a とコンデンサ 19c で分割されて、駆動用 TFT11b のゲート (G) 端子電圧 V<sub>g</sub> となる。したがって、ゲート (G) 端子電圧 V<sub>g</sub> はプログラムされた電圧 V<sub>k</sub> に比較して小さく。そのため、TFT11b に流れる電流 (EL 素子 15 に流れる電流) は、プログラムされた電流よりも小さくなる。そのため、プログラム電流を大きくし、EL 素子 15 に流れる電流を小さくできる。したがって、黒表示でも、書き込み不足がなくなる。

【1669】なお、明らかな事項であるが、図 278 に図示するように各画素 16 には、逆バイアスの TFT11g を付加してもよい。また、突き抜け電圧発生用のコンデンサ 19b を付加してもよいことは言うまでもない。もちろん、EL 素子 15 に流れる電流をオンオフ制

御するTFT11dを付加してもよいことは言うまでもない。以上のように本発明は、本明細書に記載した（説明した）構成あるいは実施例あるいは技術的思想を相互に組み合わせることができる。

【1670】なお、共通信号線、電圧制御信号線は画素行に平行に形成する。つまり、画素行ごとに前記信号線を形成（配置）する。しかし、必ずしも画素行ごとに形成することに限定されるものではない。たとえば、2画素行以上ずつ画素を選択する場合は、複数画素行ごとに前記信号線を形成（または配置）すればよい。

【1671】また、図171などにおいて、19bは2端子のコンデンサとしたがこれに限定するものではない。たとえば、TFTを用いて、TFTのソース・ゲート間容量を用いてコンデンサとしてもよい。つまり、突き抜け電圧を発生させる素子はコンデンサに限定されるものではなく、EL素子15の駆動用TFT11aのゲート（G）端子に絶縁状態で、この端子の電位を変更できるものであればいずれでもよい。もちろん、ダイオードの接合容量でもコンデンサを構成できることは言うまでもない。

【1672】また、コンデンサ19bは各画素に形成するとしたが必ずしもこれに限定するものではない。たとえば、隣接した画素で1つのコンデンサ19bを形成してもよい。

【1673】また、コンデンサ19bに一端にTFTなどのスイッチング素子を配置（形成）し、このスイッチング素子をオン・オフ制御することにより、コンデンサ19bを画素16から切り離せるように構成してもよい。つまり、画素16からコンデンサ19bを切り離すことにより、ベース電流を変更（あり、なし）することができるようになる。また、スイッチング素子でコンデンサ19bを切り離すとしたが、コンデンサ19bの電極間をショートするTFT（スイッチング素子）などを形成（配置）し、このスイッチング素子をオンさせることにより、コンデンサ19bの容量を0とする制御を行ってもよい。

【1674】電位の変更の対象はTFT11aに限定するものではない。EL素子15の電流量を設定する素子であればいずれでもよい。つまり、駆動量TFT11aはMIM、TFD（薄膜ダイオード）などでも構成できるからである。これらを制御することによりEL素子15に流れる（あるいは流す）電流を制御できるように構成すればよい。この構成では、必要に応じてカソード電極と横ストライプ状に加工（形成）する。

【1675】また、図89から図102などで、逆バイアス電圧Vmを印加することによりEL素子15の劣化を防止するという逆バイアス駆動方式について説明をした。説明するまでもないが、この逆バイアス駆動方式と図222、図223、図224などで説明した突き抜け電圧により、EL素子15に流れる電流を制御する

方式（突き抜け駆動方式と呼ぶ）とを組み合わせてもよいことは言うまでもない。

【1676】図223は、図68の電圧プログラムの画素構成に突き抜け電圧発生用のコンデンサ19bを付加するとともに、逆バイアス電圧Vmを印加するTFT11dを付加した構成である。

【1677】なお、逆バイアス電圧VmはTFT11dで印加するとしたがこれに限定するものではなく、コンデンサに置き換えてもよい。つまり、突き抜け電圧用コンデンサ19bのように、コンデンサの一端にパルス電圧を印加することにより、コンデンサの電極に印加された電圧を、突き抜けによりEL素子15に印加するように構成してもよい。

【1678】図224は、図21、図43、図71などで説明したカレントミラーの画素構成（電流プログラム方式）に逆バイアス用のTFT11gを追加した構成である。また、図225は図67で説明した電圧プログラム方式の画素構成に逆バイアス用のTFT11gを追加した画素構成である。また、図226は図1の画素構成（電流プログラム方式）の画素構成に逆バイアス用のTFT11gを追加した画素構成である。

【1679】なお、以上の実施例において、突き抜け電圧用コンデンサ19bは2端子のコンデンサであるとして説明したが、これに限定するものではない。たとえば、図227では、トランジスタ2271のチャンネル容量でコンデンサ19bを構成（形成、作製）したものである。ソース・ドレイン容量を用いても良い。

【1680】同様に電荷保持用コンデンサ19aも2端子のコンデンサに限定するものではない。図227で説明したように、トランジスタのチャンネル容量で構成してもよい。また、ダイオード（図227のトランジスタ2271（19b））はダイオードともみなせる）で容量を形成してもよい。その他、電荷を保持できる素子であればいずれでもよい。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【1681】また、突き抜け駆動方式と逆バイアス駆動との組み合わせだけではなく、ブロック駆動方式や、N倍パルス駆動方式、複数画素行選択方式など、本明細書に記載した本発明は相互に組み合わせることができる。

以上の事項は、以降の事項に対しても同様である。

【1682】なお、突き抜け電圧により、目標値の電流に対してずれが発生する。しかし、本発明のように略N倍の電流がEL素子15に流れるようにプログラムし、かつ表示画像を間欠表示する方式では、目標値に対するずれも略1/Nとなる。また、1倍の電流（通常駆動、従来の駆動）に比較して、より飽和状態に近い領域でTFT11aを動作させているため、ずれも少なくなる。したがって、従来に比較してより良好な画像表示を実現できる。

【1683】また、EL素子15に流す電流を制御する

10

20

30

40

50

というのが本発明の技術的思想である。したがって、突き抜け電圧の発生タイミングはゲート信号線17aの走査タイミングと必ずしも同期がとれていることが必須の条件ではない。非同期制御も可能であろう。突き抜け電圧は複数回に分散して印加してもよい。

【1684】図1、図21などの電流プログラム方式では、黒表示時のプログラム電流が小さく、黒表示しにくいという課題がある。この課題に対しては、強制的に黒表示電圧を書き込むのが効果的である。そこ1つの方法がブリチャージ（ディスチャージ）駆動である。しか

し、図1などの画素構成では、ブリチャージ電圧はソース信号線18を介して供給する必要がある、供給する電圧はV<sub>dd</sub>に近い電圧となる。

【1685】ブリチャージ電圧がV<sub>dd</sub>に近くなると、TFT11aが白表示の供給電流を出力するまで長時間を要するようになる。そのため、画面12に縦線の表示ムラが発生する。

【1686】この課題を解決する構成が図368の構成である。図368では、駆動用TFT11aのゲート（G）端子に電圧を印加するTFT11eを具備してい

る。TFT11eをオンさせることにより、電圧供給ソース信号線3681に印加された電圧をTFT11aに供給する。

【1687】TFT11eのゲート（G）端子はゲート信号線17eに接続されている。ゲート信号線17eはゲート信号線17aと同期をとって走査される。ただし、ゲート信号線17eはゲート信号線17aよりの1H以上速くオン電圧が印加される。つまり、ゲート信号線17eにオン電圧が印加され、TFT11eがオンして、電圧供給ソース信号線3681の電圧をTFT11aのゲート（G）端子に供給し、その後、ゲート信号線17aにオン電圧が印加されて、TFT11bがオンする。この時、ゲート信号線17eにはオフ電圧が印加され、TFT11eはオフ状態となっている。

【1688】電圧供給ソース信号線3681の電圧に印加する電圧は固定値でもよい。この固定値とは、ブリチャージ電圧のように一定の黒表示電圧である。しかし、好ましくは、TFT11aのゲート（G）端子に印加する電圧よりも低い電圧を印加するように構成することが好ましい。たとえば、画素（1）のTFT11aのゲート（G）端子に印加する電圧が8（V）、画素（2）のTFT11aのゲート（G）端子に印加する電圧が8.5（V）、画素（3）のTFT11aのゲート（G）端子に印加する電圧が9（V）であるとする。この場合は、1H前に画素（1）のTFT11aのゲート（G）端子に印加する電圧が8.5（V）、画素（2）のTFT11aのゲート（G）端子に印加する電圧が9

（V）、画素（3）のTFT11aのゲート（G）端子に印加する電圧が9.5（V）となるように電圧供給ソース信号線3681の電圧を印加する。

【1689】つまり、画素（1）は電圧供給ソース信号線3681に印加された8.5（V）の電圧をTFT11aのゲート（G）端子に印加してから、1H後（1Hに限定するものではない。1H以上以降であればよい。なお、場合によっては1H以内でもよい。TFT11aの電流応答時間が1Hよりも短い場合である。つまり、少なくとも正規の電流プログラムを行う前に、電圧供給ソース信号線3681からTFT11a（駆動用TFT）に電流制御するものであればよい。）、ソース信号線18に印加された8（V）の電圧をTFT11aのゲート（G）端子に印加する。つまり、1H以前に、TFT11aが本来EL素子15に供給する電流よりも少なくなるようにプログラムするのである。このように黒方向にプログラムすることにより、良好な黒表示を実現することができる。

【1690】なお、ここでは説明を容易にするため、TFT11aのゲート（G）端子に電圧を書き込む（つまり、電圧プログラムする）ように表現した。確かに、TFT11eでTFT11aのゲート（G）端子に印加するのは電圧値であるが、ソース信号線18から書き込むのは電流値である。この電流値がTFT11aのゲート電圧としていくらになるかはTFT11aのV<sub>t</sub>特性（V<sub>t</sub>バラツキ）に左右される。したがって、TFT11eでTFT11aのゲート（G）端子に供給する電圧はこのV<sub>t</sub>特性のバラツキ範囲を考慮して黒表示方向となるように電圧供給ソース信号線3681から電圧値を書き込むのである。例示したのは、このV<sub>t</sub>のバラツキなどが0.5（V）として、電圧供給ソース信号線3681に電圧を印加しているのである。したがって、V<sub>t</sub>バラツキは大きな時は、+1（V）というように電圧供給ソース信号線3681に印加する電圧値も高くなる（TFT11aがPチャンネルの場合である。TFT11aがNチャンネルの場合は低くなる）。

【1691】同様に、画素（2）は電圧供給ソース信号線3681に印加された9（V）の電圧をTFT11aのゲート（G）端子に印加してから、1H後（1Hに限定するものではない。1H以上以降であればよい。）、ソース信号線18に印加された8.5（V）の電圧をTFT11aのゲート（G）端子に印加する。画素（3）は電圧供給ソース信号線3681に印加された9.5（V）の電圧をTFT11aのゲート（G）端子に印加してから、1H後（1Hに限定するものではない。1H以上以降であればよい）、ソース信号線18に印加された9（V）の電圧をTFT11aのゲート（G）端子に印加する。

【1692】以上のように、本発明は、少なくとも駆動用TFTに正規の電流プログラムを行う前に、前記駆動用TFTが正規の電流プログラム値よりも小さくなるように事前に電圧プログラムを行うものである。なお、以上の実施例は、画素構成が図1、図21、図22などの

電流プログラムの画素構成を対象に説明をしているが本発明はこれに限定するものではない。たとえば、図67で説明した電圧プログラム方式の画素構成に適用することができる。電圧プログラム方式の画素構成では、事前に流れる電流が少なくなるように電圧プログラムを行い、その後、正規の電圧プログラムを行うことになる。つまり、本発明は画素構成が電圧プログラム方式であっても、電流プログラム方式であっても適用することができる。

【1693】電圧供給ソース信号線3681に供給する電圧は、R、G、Bで変化させることが好ましい。つまり、画素が赤（R）の時に供給する電圧 $V_r$ 、画素が緑（G）の時に供給する電圧 $V_g$ 、画素が青（B）の時に供給する電圧 $V_b$ とし、 $V_r$ 、 $V_g$ 、 $V_b$ とを変化させることが好ましい。もちろん、同一でもよい。変化させるのは、RGBでEL素子15の構造が異なり、RGBの立ち上がり電圧（発光開始電圧）が異なるからである。

【1694】図368では、TFT11eが書き込む電圧を電圧供給ソース信号線3681で供給し、TFT11bが書き込む電圧（電流プログラム方式では電流をプログラムするので、見かけ上電圧を供給しているように見えるだけである。正、電圧プログラム方式では電圧である。）をソース信号線18から供給していた。しかし、このように構成すると、従来の画素構成と比較して2倍の信号線が必要となる。図369のように構成すれば、信号線数は従来と同一になる。図369の構成では、ソース信号線18にTFT11eがTFT11aのゲート（G）端子に供給する電圧と、TFT11bがTFT11aのゲート（G）端子に供給する電圧（電流）とを多重している。多重とは、たとえば、1Hの前半（ $1/2$ H期間）に、ソース信号線18にTFT11eがTFT11aのゲート（G）端子に供給する電圧を伝送し、1Hの後半（ $1/2$ H期間）に、TFT11bがTFT11aのゲート（G）端子に供給する電圧（電流）とを伝送する。つまりソース信号線からみれば倍速駆動を行っていることになる。

【1695】なお、ソース信号線18もしくは、電圧供給ソース信号線3681にTFT11eが使用する電圧を供給（伝送あるいは多重）するとしたが、必ずしも、すべて供給することに限定するものではない。たとえば、TFT11aの $V_t$ バラツキが一定範囲以内であれば、TFT11eが使用する電圧を供給（伝送あるいは多重）する必要はないであろう。この場合は、ゲート信号線17eに常時オフ電圧を印加しておくか、もしくは、ソース信号線18もしくは、電圧供給ソース信号線3681をハイインピーダンス状態にしておくといふ。

【1696】なお、図372はTFT11cおよびTFT11bをNチャンネルとし、ゲート信号線17aとゲート信号線17bとを共通化した画素構成である。図3

72の画素構成であっても、図368、図369などで説明した駆動方式を適用することができる。もちろん、図372の画素構成は、本明細書で説明した駆動方式（たとえば、逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動など）のすべてを適用することができることは言うまでもない。同様に、図373の画素構成は、駆動用TFT11aをNチャンネルTFTに変更した構成である。この変更に伴い、TFT11c、TFT11bもNチャンネルTFTとしている。図373の画素構成であっても、図368、図369などで説明した駆動方式を適用することができる。もちろん、図373の画素構成は、本明細書で説明した駆動方式（たとえば、逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動、リセット駆動など）のすべてを適用できることは言うまでもない。以上の事項は、以降に説明する実施例にも適用されることは言うまでもない。

【1697】以上の実施例は、基本的には図1の画素構成を例示している。図21、図22などのカレントミラーの画素構成であっても適用できることはいうまでもない。図370はカレントミラーの画素構成に適用した構成である。

【1698】図370では、駆動用TFT11bおよびプログラム用TFT11aのゲート（G）端子に電圧を印加するTFT11eを具備している。TFT11eをオンさせることにより、電圧供給ソース信号線3681に印加された電圧をTFT11aに供給する。

【1699】図370でも図368と同様に、TFT11eのゲート（G）端子はゲート信号線17eに接続されている。ゲート信号線17eはゲート信号線17aと同期をとって走査される。ゲート信号線17eはゲート信号線17a（17a1、17a2）よりも基本的には1H以上速くオン電圧が印加されることなどは、図368と同様であるので説明を省略する。

【1700】たとえば、画素（1）のTFT11bのゲート（G）端子に印加する電圧が8（V）、画素（2）のTFT11cおよびTFT11dのゲート（G）端子に印加する電圧が8.5（V）、画素（3）のTFT11bのゲート（G）端子に印加する電圧が9（V）であるとする。この場合は、1H前に画素（1）のTFT11bのゲート（G）端子に印加する電圧が8.5

（V）、画素（2）のTFT11bのゲート（G）端子に印加する電圧が9（V）、画素（3）のTFT11bのゲート（G）端子に印加する電圧が9.5（V）となるように電圧供給ソース信号線3681の電圧を印加する。この事項は図368と同様である。

【1701】つまり、画素（1）は電圧供給ソース信号線3681に印加された8.5（V）の電圧をTFT11bのゲート（G）端子に印加してから、1H後（1Hに限定するものではない。1H以上以降であればよい。

なお、場合によっては1H以内でもよい。TFT11b

の電流応答時間が1Hよりも短い場合である。つまり、少なくとも正規の電流プログラムを行う前に、電圧供給ソース信号線3681からTFT11b（駆動用TFT）に電流制御するものであればよい。）、ソース信号線18に印加された8（V）の電圧をTFT11bのゲート（G）端子に印加する。つまり、1H以前に、TFT11bが本来EL素子15に供給する電流よりも少なくなるようにプログラムするのである。このように黒方向にプログラムすることにより、良好な黒表示を実現することができる。

【1702】同様に、画素（2）は電圧供給ソース信号線3681に印加された9（V）の電圧をTFT11bのゲート（G）端子に印加してから、1H後、ソース信号線18に印加された8.5（V）の電圧をTFT11bのゲート（G）端子に印加する。画素（3）は電圧供給ソース信号線3681に印加された9.5（V）の電圧をTFT11bのゲート（G）端子に印加してから、1H後、ソース信号線18に印加された9（V）の電圧をTFT11bのゲート（G）端子に印加する。

【1703】図369と同様に図371のように構成すれば、信号線数は従来と同一になる。図371の構成では、ソース信号線18にTFT11eがTFT11bのゲート（G）端子に供給する電圧と、TFT11cとTFT11dがTFT11bのゲート（G）端子に供給する電圧（電流）とを多重している。多重とは、たとえば、1Hの前半（1/2H期間）に、ソース信号線18にTFT11eがTFT11bのゲート（G）端子に供給する電圧を伝送し、1Hの後半（1/2H期間）に、TFT11cとTFT11dがTFT11bのゲート（G）端子に供給する電圧（電流）とを伝送する。つまりソース信号線からみれば倍速駆動を行っていることになる。他の事項についても図369と同様あるいは図368もしくは図369の説明から類推することができるので説明を省略する。

【1704】以上の実施例は、TFT11eにより、駆動用TFTに黒電圧を書き込み、表示コントラストを高くする方式の実施例であった。以降に説明する実施例は、駆動用TFT11自身で黒表示状態にした後に、電流プログラムを行い、表示コントラストを増加させる方式である。

【1705】図422は基本的には図1（b）の画素構成である。図422の画素構成では、プログラムされたIw電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動TFT11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してTFT11aをリセット（オフ状態）にする方式が図423の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【1706】以下、図423を参照しながら、リセット駆動方式について説明をする。図423はリセット駆動

の原理説明図である。まず、図423（a）に図示するように、TFT11c、TFT11dをオフ状態にし、TFT11bをオン状態にする。すると、駆動用TFT11aのドレイン（D）端子とゲート（G）端子はショート状態となり、Ib電流が流れる。一般的に、TFT11aは1つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でTFT11dがオフ状態となり、TFT11bがオン状態にすれば、駆動電流IbがTFT11aのゲート（G）端子に流れる。そのため、TFT11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、TFT11aはリセット（電流を流さない状態）になる。

【1707】このTFT11aのリセット状態（電流を流さない状態）は、図67などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図423（a）の状態では、コンデンサ19の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はTFT11aの特性に応じて異なる電圧値である。したがって、図423（a）の動作を実施することにより、各画素のコンデンサ19にはTFT11aが電流を流さない（つまり、黒表示電流（ほとんど0に等しい）が保持されることになるのである。

【1708】なお、図423（a）の動作の前に、TFT11b、TFT11cをオフ状態にし、TFT11dをオン状態にし、駆動用TFT11aに電流を流すという動作を実施することが好ましい。この動作は、極力短時間に行うことが好ましい。EL素子15に電流が流れてEL素子15が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1H（1水平走査期間）の0.1%以上10%以下とすることが好ましい。さらに好ましくは0.2%以上2%以下となるようにすることが好ましい。もしくは0.2μsec以上5μsec以下となるようにすることが好ましい。また、全画面の画素16に一括して前述の動作（図423（a）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用TFT11aのドレイン（D）端子電圧が低下し、図423（a）の状態でスムーズなIb電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【1709】図423（a）の実施時間を長くするほど、Ib電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図423（a）の実施時間は固定値にする必要がある。実験および検討によれば、図423（a）の実施時間は、1H以上5H以下にすることが好ましい。

【1710】図423（a）を実施後、1H以上5H以下の期間において、図423（b）の状態にする。図423（b）はTFT11c、TFT11bをオンさせ、T

10

20

30

40

50

FT11dをオフさせた状態である。図423(b)の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流Iwを出力(あるいは吸収)し、このプログラム電流Iwを駆動用TFT11aに流す。このプログラム電流Iwが流れるように、駆動用TFT11aのゲート(G)端子の電位を設定するのである(設定電位はコンデンサ19に保持される)。

【1711】もし、プログラム電流Iwが0(A)であれば、TFT11aは電流を図423(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図423(b)で白表示の電流プログラムを行う場合であっても、各画素の駆動用TFTの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、TFT11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【1712】図423(b)の電流プログラミング後、図423(c)に図示するように、TFT11b、TFT11cとオフし、TFT11dをオンさせて、駆動用TFT11aからのプログラム電流Iw(=Ie)をEL素子15に流し、EL素子15を発光させる。図423(c)に関しても、図1などで以前に説明をしたので詳細は省略する。

【1713】つまり、図423で説明した駆動方式(リセット駆動)は、駆動用TFT11aとEL素子15間を切断(電流が流れない状態)し、かつ、駆動用TFTのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用TFTのゲート(G)端子を含む2端子)間をショートする第1の動作と、前記動作の後、駆動用TFTに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、図1(b)の構成のように、TFT11bとTFT11cとを独立に制御できるように、構成しておかねばならない。

【1714】画像表示状態は(もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラムが行われる画素行は、リセット状態(黒表示状態)になり、1H後に電流プログラムが行われる(この時も黒表示状態である。TFT11dがオフだからである。)。次に、EL素子15に電流が供給され、画素行は所定輝度(プログラムされた電流)で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。図423(a)のリセットが完全に行われるのに比較的

長時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示(電流プログラムの画素行もいれどと6画素行)となるはずである。

【1715】また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば(図423(a)、図425(a)の状態)、第1の水平走査期間(1単位)に、画素行(1)(2)(3)(4)をリセット状態にし、次の第2の水平走査期間に、画素行(3)(4)(5)(6)をリセット状態にし、さらに次の第3の水平走査期間に、画素行(5)(6)(7)(8)をリセット状態にする。また、次の第4の水平走査期間に、画素行(7)(8)(9)(10)をリセット状態にするという駆動状態が例示される。なお、当然、図423(b)、図423(c)の駆動状態も図423(a)の駆動状態と同期して実施される。

【1716】また、1画面の画素すべてを同時にあるいは走査状態でリセット状態(図423(a)、図425(a))にしてから、図423(b)(c)、図425(b)(c)の駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態(1画素行あるいは複数画素行飛び越し走査)で、リセット状態(1画素行あるいは複数画素行飛び越し)にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である(つまり、画面の上下方向の制御する)。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。

【1717】なお、図423のリセット駆動は、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、図39、図154、図156のインターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図422の構成は、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、TFT11dをオンオフ動作させることにより容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図422あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施

例と組み合わせて実施することができることは言うまでもない。

【1718】図429はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路12aは、図422におけるゲート信号線17aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりTFT11bがオンオフ制御される。また、ゲート信号線17bにオンオフ電圧を印加することによりTFT11dがオンオフ制御される。ゲートドライバ回路12bは、図422におけるゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりTFT11cがオンオフ制御される。

【1719】したがって、ゲート信号線17aはゲートドライバ回路12aで操作し、ゲート信号線17cはゲートドライバ回路12bで操作する。そのため、TFT11bをオンさせて駆動用TFT11aをリセットするタイミングと、TFT11cをオンさせて駆動用TFT11aに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【1720】図430はリセット駆動のタイミングチャートである。ゲート信号線17aにオン電圧を印加し、TFT11bをオンさせ、駆動用TFT11aをリセットしている時には、ゲート信号線17bにはオフ電圧を印加し、TFT11dをオフ状態にしている。したがって、図423(a)の状態となっている。この期間に1b電流が流れる。図430のタイミングチャートでは、リセット時間は2Hとしているが、これに限定するものではない。2H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1H未満であってもよい。また、リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA(ST)パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に入力するDATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

【1721】1H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。TFT11cがオンすることにより、ソース信号線18に印加されたプログラム電流IwがTFT11cを介して駆動用TFT11aに書き込まれる。

【1722】電流プログラム後、画素(1)のゲート信号線17cにオフ電圧が印加され、TFT11cがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用TFT11aのリセット状態が解消される(なお、この期間は、リセット状態と表現するよりも、電流プログラム状

態と表現する方が適切である)。また、ゲート信号線17bにはオン電圧が印加され、TFT11dがオンして、駆動用TFT11aにプログラムされた電流がEL素子15に流れる。

【1723】なお、画素行(2)以降についても、画素行(1)と同様であり、また、図430からその動作は明らかであるから説明を省略する。

【1724】図430で図示するように、各ゲート信号線17bに出力する信号波形は、所定周期でオンオフ動作させている。これは、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、図39、図154、図156のインターレース駆動と組み合わせることによりさらに良好な画像表示を実現できからである。特に図422の構成は、間欠N/K倍パルス駆動を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

【1725】図430において、リセット期間は1H期間であった。図431はリセット期間を5Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA(ST)パルス期間で容易に変更できる。図431ではゲートドライバ回路12aのST1端子に入力するDATAを5H期間の間Hレベルし、各ゲート信号線17aから出力されるリセット期間を5H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【1726】図431はリセット期間を5Hとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。図432に示すタイミングチャートは、各ゲート信号線17aから出力される信号を1Hごとにオンオフ動作させた例である。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路(図示せず)を操作することにより容易に実現できる。また、ゲートドライバ回路12に入力するDATA(ST)パルスを制御することで容易に実現できる。

【1727】図429の回路構成では、ゲートドライバ回路12aは少なくとも2つのシフトレジスタ回路(1つはゲート信号線17a制御用、他の1つはゲート信号線17b制御用)が必要であった。そのため、ゲートドライバ回路12aの回路規模が大きくなるという課題があった。図433はゲートドライバ回路12aのシフトレジスタを1つにした実施例である。図433の回路を動作させた出力信号のタイミングチャートは図430のごとくなる。なお、図429と図433とはゲートドライバ回路12a、12bから出力されているゲート信号線17の記号が異なっているので注意が必要である。



【1728】図433のOR回路3272が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ22aの前段出力とのORをとって出力される。つまり、2H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ22aの出力がそのまま出力される。したがって、1H期間の間、オン電圧が印加される。

【1729】たとえば、シフトレジスタ22aの2番目にHレベル信号が出力されている時、画素16(1)のゲート信号線17cにオン電圧が出力され、画素16(1)が電流(電圧)プログラムの状態である。同時に、画素16(2)のゲート信号線17aにもオン電圧が出力され、画素16(2)のTFT11bがオン状態となり、画素16(2)の駆動用TFT11aがリセットされる。

【1730】同様に、シフトレジスタ22aの3番目にHレベル信号が出力されている時、画素16(2)のゲート信号線17cにオン電圧が出力され、画素16(2)が電流(電圧)プログラムの状態である。同時に、画素16(3)のゲート信号線17aにもオン電圧が出力され、画素16(3)TFT11bがオン状態となり、画素16(3)駆動用TFT11aがリセットされる。つまり、2H期間、ゲート信号線17aからはオン電圧が出力され、ゲート信号線17cに1H期間、オン電圧が出力される。

【1731】プログラム状態の時は、TFT11bとTFT11cが同時にオン状態となる(図423(b))。ら、非プログラム状態(図423(c))に移行する際、TFT11cがTFT11bよりも先にオフ状態となると、図423(b)のリセット状態となってしまう。これと防止するためには、TFT11cがTFT11bよりもあとからオフ状態にする必要がある。そのため、ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

【1732】この課題を解決する構成を図434に示す。OR回路3272の出力段にAND回路4341を配置している。このAND回路は、ENBL端子に印加されたロジック信号より制御される。つまり、ENBL端子にHレベルのロジック信号が印加されている時、OR出力3272が有効となる。

【1733】図435がそのタイミングチャートである。ENBL端子にはHD信号に同期してLレベル信号が印加される。したがって、この期間(ENBL端子にLレベル信号が印加されている期間)はゲート信号線17aの出力はVgh(オフ電圧)が出力される。したがって、Tで占めるようにゲート信号線17cにオフ電圧が出力される前に、ゲート信号線17aからオフ電圧が出力される。つまり、TFT11cがTFT11bより

もあとからオフ状態となる。

【1734】図434は2Hの期間だけ、ゲート信号線17aからオン電圧が出力される方式であった。さらに図431に図示するように、3H以上の期間、ゲート信号線17aからオン電圧が出力されるようにするには、図436の構成を採用すればよい。

【1735】図436のOR回路は3端子入力である。各入力端子はシフトレジスタ22aの3つの出力と接続されている。したがって、3Hの期間、ゲート信号線17aからオン電圧が出力される。以上のように、OR回路の入力端子数を増加させることにより、ゲート信号線17aからオン電圧が出力される期間を制御することが容易にできる。

【1736】以上の実施例は、ゲート信号線17cには1H期間のみ、オン電圧が出力される実施例であった。本発明は、これに限定するものではない。たとえば、図437のタイミングチャートに図示するように、ゲート信号線17cから出力されるオン電圧は4H期間(つまり1Hよりも長い)としてもよい。ただし、TFT11cがオンしている期間は長い、正規のDATA信号が書き込まれるのは、最後の1Hの期間である。たとえば、ゲート信号線17cが接続された画素行(2)は7H目のTで示す期間に正規のDATAが画素に書き込まれる。

【1737】図437の駆動方法を実施すると表示状態などは図438に図示する状態となる。図437(a)はリセット電圧が印加されている領域(リセット領域4381)である(もしくは、TFT11bがオン状態の画素行である)。図437では6画素行のTFT11bがオンされている。図438(b)はプログラムが行われている領域(書き込み領域871b)を示している。つまり、TFT11cがオン状態の画素行である。図437では4画素行である。図438(c)はプログラムが行われている領域であり、正規のDATAが書き込まれている画素行(書き込み画素行871a)を示している。図437では1画素行である。図438(d)の312は非点灯領域である。つまり、リセット領域4381、書き込み領域871は非点灯領域としている。

【1738】以上は、図422(基本的には図1)の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図21、図424に示すようなカレントミラーの画素構成であっても実施することができる。図425は図424のカレントミラーの画素構成での実施例の説明図である。以下、図425を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【1739】図425(a)に図示するように、TFT11c、TFT11eをオフ状態にし、TFT11dをオン状態にする。すると、電流プログラム用TFT11bのドレイン(D)端子とゲート(G)端子はショート

状態となり、図に示すようにI<sub>b</sub>電流が流れる。一般的に、TFT11bは1つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でTFT11eがオフ状態とし、TFT11dがオン状態にすれば、駆動電流I<sub>b</sub>がTFT11aのゲート（G）端子の方向に流れる（ゲート（G）端子とドレイン（D）端子がショートされる）。そのため、TFT11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、TFT11aはリセット（電流を流さない状態）になる。また、駆動用TFT11bのゲート（G）端子は電流プログラム用TFT11aのゲート（G）端子と共通であるから、駆動用TFT11bもリセット状態となる。

【1740】このTFT11a、TFT11bのリセット状態（電流を流さない状態）は、図67などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である（図447も参照のこと）。つまり、図425（a）の状態では、コンデンサ19の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、TFT11に電流が流れる）が保持されていることになる。このオフセット電圧はTFT11a、TFT11bの特性に応じて異なる電圧値である。したがって、図425（a）の動作を実施することにより、各画素のコンデンサ19にはTFT11a、TFT11bが電流を流さない（つまり、黒表示電流（ほとんど0に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【1741】なお、図425（a）においても図423（a）と同様に、リセットの実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図425（a）の実施時間は固定値にする必要がある。実験および検討によれば、図425（a）の実施時間は、1H以上10H（10水平走査期間）以下とすることが好ましい。さらには1H以上5H以下にすることが好ましい。あるいは、20μsec以上2msec以下とすることが好ましい。このことは図423の駆動方式でも同様である。

【1742】図423（a）も同様であるが、図425（a）のリセット状態と、図425（b）の電流プログラム状態とを同期をとって行う場合は、図425（a）のリセット状態から、図425（b）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図423（a）あるいは図425（a）のリセット状態から、図423（b）あるいは図425（b）の電流プログラム状態までの期間が、1H以上10H（10水平走査期間）以下

とすることが好ましい。さらには1H以上5H以下にすることが好ましいのである。あるいは、20μsec以上2msec以下とすることが好ましいのである。この期間が短いと駆動用TFT11が完全にリセットされない。また、あまりにも長いと駆動用TFT11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面12の輝度も低下する。

【1743】図425（a）を実施後、図425（b）の状態にする。図425（b）はTFT11c、TFT11dをオンさせ、TFT11eをオフさせた状態である。図425（b）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流I<sub>w</sub>を出力（あるいは吸収）し、このプログラム電流I<sub>w</sub>を電流プログラム用TFT11aに流す。このプログラム電流I<sub>w</sub>が流れるように、駆動用TFT11bのゲート（G）端子の電位をコンデンサ19に設定するのである。

【1744】もし、プログラム電流I<sub>w</sub>が0（A）（黒表示）であれば、TFT11bは電流を図423（a）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図425（b）で白表示の電流プログラムを行う場合は、各画素の駆動用TFTの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用TFTの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、TFT11aあるいはTFT11bの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【1745】図425（b）の電流プログラミング後、図425（c）に図示するように、TFT11c、TFT11dとオフし、TFT11eをオンさせて、駆動用TFT11bからのプログラム電流I<sub>w</sub>（=I<sub>e</sub>）をEL素子15に流し、EL素子15を発光させる。図425（c）に関しても、図21などで以前に説明をしたので詳細は省略する。

【1746】図423、図425で説明した駆動方式（リセット駆動）は、駆動用TFT11aあるいはTFT11bとEL素子15間を切断（電流が流れない状態。TFT11eあるいはTFT11dで行う）し、かつ、駆動用TFTのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用TFTのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、駆動用TFTに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、第1の動作における駆動用TFT11aあるいはTFT11bとEL素子15間を切断するという動作は、

必ずしも必須の条件ではない。もし、第1の動作における駆動用TFT11aあるいはTFT11bとEL素子15間を切断せずに、駆動用TFTのドレイン(D)端子とゲート(G)端子間をショートする第1の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのTFT特性を検討して決定する。

【1747】図425のカレントミラーの画素構成は、電流プログラムTFT11aをリセットすることにより、結果として駆動用TFT11bをリセットする駆動方法であった。図426のように、駆動用TFT11bをリセットするTFT11fを形成することにより、直接に駆動用TFT11bをリセットすることができる。

【1748】図426の場合も図425と動作はほぼ同様である。まず、TFT11c、TFT11d、TFT11eをオフ状態にし、今度はTFT11fをオン状態にする。すると、駆動用TFT11bのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにIb電流が流れる。そのため、駆動用TFT11bのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用TFT11bはリセット(電流を流さない状態)になる。

【1749】図426の画素構成においても、図426と同様に、リセットの実施時間を長くするほど、Ib電流が流れつづけ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図426においてもリセット時間は固定値にする必要があることは言うまでもない。

【1750】リセット後、TFT11c、TFT11dをオンさせ、TFT11f、TFT11eをオフさせて、電流プログラムを行う。なお、この際、図425も同様であるが、TFT11eはオン状態であってもよい。電流プログラミング後、TFT11c、TFT11d、TFT11fをオフし、TFT11eをオンさせて、駆動用TFT11bからのプログラム電流Iw(=Ie)をEL素子15に流し、EL素子15を発光させる。

【1751】図425、図426のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用TFT11bとEL素子15間を切断する必要はない。したがって、電流プログラム用TFTaのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば電流プログラム用TFTのゲート(G)端子を含む2端子、あるいは駆動用TFTのゲート(G)端子を含む2端子)間をショートする第1の動作と、前記動作の後、電流プログラム用TFTに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

【1752】画像表示状態は(もし、瞬時的な変化が観

察できるのであれば)、まず、電流プログラムを行われる画素行は、リセット状態(黒表示状態)になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【1753】なお、図425、図426のリセット駆動は、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせることにより、複数の黒帯びが画面の上下方向に移動しているように見えるはずである(実際は高速で移動するため、視覚的には見えない)。以上のような、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、TFT11eをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。)を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図425あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、逆バイアス駆動方式、ブリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせることで実施することができることは言うまでもない。

【1754】図439は、図424のカレントミラーの画素構成において、リセット駆動を実現するタイミングチャートである。ゲート信号線17a2にオン電圧を印加し、TFT11dをオンさせ、駆動用TFT11bをリセットする。また、ゲート信号線17bにオフ電圧を印加し、TFT11dをオフ状態にしている。したがって、図425(a)の状態となっている。この期間にIb電流が流れる。

【1755】なお、図439のタイミングチャートでは、リセット時間は2Hとしているが、これに限定するものではない。2H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1H未満であってもよい。また、リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA(ST)パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に入力するDATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

【1756】1H期間のリセット後、ゲート信号線17a1にオン電圧が印加され、TFT11cがオン状態にされる。TFT11cがオンすることにより、ソース信号線18に印加されたプログラム電流IwがTFT11cを介して電流プログラム用TFT11aに書き込まれる(図425(b)の状態)。

【1757】電流プログラム後、ゲート信号線17a1およびゲート信号線17a2にオフ電圧が印加され、TFT11c、TFT11dがオフし、画素16がソース信号線と切り離される。同時に、ゲート信号線17bにもオン電圧が印加され、TFT11dがオンして、駆動用TFT11aにプログラムされた電流がEL素子15に流れる。

【1758】なお、画素行(2)以降についても、画素行(1)と同様であり、また、図430からその動作は明らかであるから説明を省略する。また、リセット期間は基本的にはTFT11dをオフさせるために、ゲート信号線17bにオフ電圧を印加する必要がある。しかし、プログラム期間は、TFT11dをオフさせる必要性はない。したがって、図440に図示するように、プログラム期間には、ゲート信号線17bにオン電圧を印加し、TFT11dをオン状態としてもよい。

【1759】図439で図示するように、各ゲート信号線17bに出力する信号波形は、所定周期でオンオフ動作させている。これは、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、図39、図154、図156のインターレース駆動と組み合わせることによりさらに良好な画像表示を実現できからである。特に図422の構成は、間欠N/K倍パルス駆動を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

【1760】図430において、リセット期間は1H期間であった。図431はリセット期間を5Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ回路12に入力するDATA(ST)パルス期間で容易に変更できる。図431ではゲートドライバ回路12aのST1端子に入力するDATAを5H期間の間Hレベルし、各ゲート信号線17aから出力されるリセット期間を5H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【1761】図431はリセット期間を5Hとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。図432に示すタイミングチャートは、各ゲート信号線17aから出力される信号を1Hごとにオンオフ動作させた例である。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路(図示せず)を操作することにより容易に実現できる。また、ゲートドライバ回路12に入力するDATA(ST)パルスを制御することで容易に実現できる。

【1762】図429の回路構成では、ゲートドライバ回路12aは少なくとも2つのシフトレジスタ回路(1

つはゲート信号線17a制御用、他の1つはゲート信号線17b制御用)が必要であった。そのため、ゲートドライバ回路12aの回路規模が大きくなるという課題があった。図433はゲートドライバ回路12aのシフトレジスタを1つにした実施例である。図433の回路を動作させた出力信号のタイミングチャートは図430のごとくなる。なお、図429と図433とはゲートドライバ回路12a、12bから出力されているゲート信号線17の記号が異なっているので注意が必要である。

【1763】図433のOR回路3272が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ22aの前段出力とのORをとって出力される。つまり、2H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ22aの出力がそのまま出力される。したがって、1H期間の間、オン電圧が印加される。

【1764】たとえば、シフトレジスタ22aの2番目にHレベル信号が出力されている時、画素16(1)のゲート信号線17cにオン電圧が出力され、画素16(1)が電流(電圧)プログラムの状態である。同時に、画素16(2)のゲート信号線17aにもオン電圧が出力され、画素16(2)のTFT11bがオン状態となり、画素16(2)の駆動用TFT11aがリセットされる。

【1765】同様に、シフトレジスタ22aの3番目にHレベル信号が出力されている時、画素16(2)のゲート信号線17cにオン電圧が出力され、画素16(2)が電流(電圧)プログラムの状態である。同時に、画素16(3)のゲート信号線17aにもオン電圧が出力され、画素16(3)TFT11bがオン状態となり、画素16(3)駆動用TFT11aがリセットされる。つまり、2H期間、ゲート信号線17aからはオン電圧が出力され、ゲート信号線17cに1H期間、オン電圧が出力される。

【1766】プログラム状態の時は、TFT11bとTFT11cが同時にオン状態となる(図423(b))。非プログラム状態(図423(c))に移行する際、TFT11cがTFT11bよりも先にオフ状態となると、図423(b)のリセット状態となってしまう。これを防止するためには、TFT11cがTFT11bよりもあとからオフ状態にする必要がある。そのため、ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

【1767】以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図427は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成(パネル構成)

の説明図である。

【1768】図427の画素構成では、駆動用TFT11aをリセット動作させるためのTFT11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、TFT11eがオンし、駆動用TFT11aのゲート(G)端子とドレイン(D)端子間をショートさせる。また、EL素子15と駆動用TFT11aとの電流経路を切断するTFT11dが形成されている。以下、図428を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【1769】図428(a)に図示するように、TFT11b、TFT11dをオフ状態にし、TFT11eをオン状態にする。駆動用TFT11aのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI<sub>b</sub>電流が流れる。そのため、TFT11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用TFT11aはリセット(電流を流さない状態)になる。なお、TFT11aをリセットする前に、図423あるいは図447で説明したように、HD同期信号に同期して、最初にTFT11dをオンさせ、TFT11eをオフさせて、TFT11aに電流を流しておく。その後、図428(a)の動作を実施する。

【1770】このTFT11a、TFT11bのリセット状態(電流を流さない状態)は、図447などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図428(a)の状態では、コンデンサ19の端子間には、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用TFT11aの特性に応じて異なる電圧値である。つまり、図428(a)の動作を実施することにより、各画素のコンデンサ19には駆動用TFT11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

【1771】なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図428(a)のリセットの実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図428(a)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下とすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

【1772】また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にしておくことが好ましい。つまり、ゲート信号線17eと前段の画素行のゲート信号線17aとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方

式とは、着目画素行より少なくとも1H前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1画素行前に限定されるものではない。たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素の駆動用TFT11aのリセットを実施してもよい。

【1773】前段ゲート制御方式をさらに具体的に記載すれば以下ようになる。着目する画素行が(N)画素行とし、そのゲート信号線がゲート信号線17e

(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行は、画素行が(N-1)画素行とし、そのゲート信号線がゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。また、着目画素行の次の1H後に選択される画素行が(N+1)画素行とし、そのゲート信号線がゲート信号線17e

(N+1)、ゲート信号線17a(N+1)とする。  
【1774】第(N-1)H期間では、第(N-1)画素行のゲート信号線17a(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがショート状態で形成されているからである。したがって、第(N-1)画素行の画素のTFT11b(N-1)がオンし、ソース信号線18の電圧が駆動用TFT11a(N-1)のゲート(G)端子に書き込まれる。同時に、第(N)画素行の画素のTFT11e(N)がオンし、駆動用TFT11a(N)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用TFT11a(N)がリセットされる。

【1775】第(N-1)H期間の次の第(N)期間では、第(N)画素行のゲート信号線17a(N)にオン電圧が印加されると、第(N+1)画素行のゲート信号線17e(N+1)にもオン電圧が印加される。したがって、第(N)画素行の画素のTFT11b(N)がオンし、ソース信号線18に印加されている電圧が駆動用TFT11a(N)のゲート(G)端子に書き込まれる。同時に、第(N+1)画素行の画素のTFT11e(N+1)がオンし、駆動用TFT11a(N+1)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用TFT11a(N+1)がリセットされる。

【1776】以下同様に、第(N)H期間の次の第(N+1)期間では、第(N+1)画素行のゲート信号線17a(N+1)にオン電圧が印加されると、第(N+2)画素行のゲート信号線17e(N+2)にもオン電圧が印加される。したがって、第(N+1)画素行の画素のTFT11b(N+1)がオンし、ソース信号線18に印加されている電圧が駆動用TFT11a(N+1)のゲート(G)端子に書き込まれる。同時に、第(N+2)画素行の画素のTFT11e(N+2)がオンし、駆動用TFT11a(N+2)のゲート(G)端

子とドレイン(D)端子間がショートされ、駆動用TFT11a(N+2)がリセットされる。

【1777】以上の本発明の前段ゲート制御方式では、1H期間、駆動用TFT11aはリセットされ、その後、電圧(電流)プログラムが実施される。

【1778】図423(a)も同様であるが、図428(a)のリセット状態と、図428(b)の電圧プログラム状態とを同期をとって行う場合は、図428(a)のリセット状態から、図428(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。この期間が短いと駆動用TFT11が完全にリセットされない。また、あまりにも長いと駆動用TFT11aが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面12の輝度も低下する。

【1779】図428(a)を実施後、図428(b)の状態にする。図428(b)はTFT11bをオンさせ、TFT11e、TFT11dをオフさせた状態である。図428(b)の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電圧を出力し、このプログラム電圧を駆動用TFT11aのゲート(G)端子に書き込む(駆動用TFT11aのゲート(G)端子の電位をコンデンサ19に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にTFT11dを必ずしもオフさせる必要はない。また、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、あるいは以上のような、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、TFT11eをオン

オフ動作させることにより容易に実現できる)を実施する必要がなければ、TFT11eが必要でない。このことは以前に説明をしたので、説明を省略する。

【1780】図427の構成あるいは図428の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用TFTの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧(各駆動用TFTの特性に応じて設定された電流が流れる開始電圧)から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、TFT11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【1781】図428(b)の電流プログラミング後、図428(c)に図示するように、TFT11bをオフし、TFT11dをオンさせて、駆動用TFT11aからのプログラム電流をEL素子15に流し、EL素子15を発光させる。

【1782】以上のように、図427の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にTFT11dをオンさせ、TFT1

1eをオフさせて、TFT11aに電流を流す第1の動作と、TFT11aとEL素子15間を切断し、かつ、駆動用TFT11aのドレイン(D)端子とゲート

(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用TFTのゲート(G)端子を含む2端子)間をショートする第2の動作と、前記動作の後、駆動用TFT11aに電圧プログラムを行う第3の動作とを実施するものである。

【1783】図427は、駆動用TFT11aのゲート(G)端子とドレイン(D)端子間をショートするTFT11eを形成した画素構成であった。駆動用TFT11aをオフ状態とすることを目的とするのであれば、図452の画素構成が例示される。図452は駆動用TFT11aのソース(S)端子とゲート(G)端子間をショートするTFT(スイッチング素子)11eを形成した本発明の画素構成である。

【1784】図452の画素構成では、駆動用TFT11aをリセット動作させるためのTFT11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、TFT11eがオンし、駆動用TFT11aのゲート(G)端子とソース(S)端子間をショートさせる。

【1785】また、EL素子15と駆動用TFT11aとの電流経路を切断するTFT11dが形成されている。また、EL素子15に逆バイアス電圧を印加するTFT11gが形成されている。このTFT11gの動作については以前に説明したので説明を省略する。以下、図452および図453を参照しながら、本発明の電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【1786】なお、プログラム対象の画素行は第(N)画素行とし、この画素行は水平走査期間の第(N)H番目で電圧プログラムが完了するものとする。また、図453の実施例では、2H期間を用いて電圧プログラムを実施する。したがって、第(N)番目の画素行は第(N-1)Hから、プログラム動作が開始される。つまり、第(N-1)H期間では、第(N)番目の画素はリセット動作し、第(N)H期間で電圧プログラムされる。

【1787】図453では2H期間(2水平走査期間)で電圧プログラムされるとして説明をするが、本発明は2H期間に限定されるものではない。複数水平走査期間を用いて画素行が電圧プログラムされるものであればいずれでもよい。つまり、複数の水平走査期間にわたり、リセット動作を行っても良い。この場合、第(N)番目の画素行は第(N-K)H(Kは1以上の整数)から、プログラム動作が開始される。つまり、第(N-1)H期間では、第(N)番目の画素はリセット動作を行う。

【1788】また、本発明はリセット状態を具備することを目的とする。したがって、リセットの期間はHDに同期している必要はない。そのため、複数H期間という

事項は限定事項ではない。ただ、ハード的に制御回路を構成する場合、HDに同期するように構成する方が構成は容易であるからにすぎない。したがって、他のクロックに同期するように構成してもよい。また、非同期動作に構成してもよい。ただし、本発明の説明では説明を容易にするため、前段のゲート信号線の駆動波形を用いて次段の画素行をリセット動作させる2H期間の駆動として説明を行う（前段ゲート制御方式）。

【1789】第(N-1)Hの水平同期信号(HD)後、TFT11aのリセット動作が実施される。このリセット動作は、図428のオフセット電圧をコンデンサ19に保持させるものではなく、TFT11aを完全にオフ状態（電流が全く流れない状態にするものである（完全黒表示））。

【1790】第(N-1)H期間では、ゲート信号線17eにオン電圧が印加され、TFT11eがオンする。ゲート信号線17aおよびゲート信号線17bにはオフ電圧が印加され、TFT11d、TFT11bはオフ状態である。

【1791】TFT11eがオンすることにより、駆動用TFT11aのゲート(G)端子電圧はVdd電圧となり、駆動用TFT11aは完全にオフ状態となる。なお、駆動用TFT11aのゲート(G)端子をVdd電圧(=ソース(S)端子電圧)とするのは、駆動用TFT11aがPチャンネルの場合である。駆動用TFT11aがNチャンネルの場合は、駆動用TFT11aのゲート(G)端子をGND電圧(=ドレイン(D)端子電圧)とする。

【1792】次の第(N)H期間では、電圧プログラムを行う。ゲート信号線17aにオン電圧を印加し、TFT11bをオンさせる。また、ゲート信号線17eにはオフ電圧を印加し、TFT11eをオフさせる。一方、ゲート信号線17bは、第(N-1)Hと第(N)H期間の間、オフ電圧を印加する。ただし、ゲート信号線17bは、第(N)H期間はオン電圧印加状態でもよい。このことは以前にも説明をしているので説明を省略する。

【1793】プログラム期間後、ゲート信号線17bにはオン電圧が印加され、TFT11dはオン状態となり、EL素子15に電流が供給されて、EL素子15が点灯する。また、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、あるいは以上のような、間欠N/K倍パルス駆動（1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、TFT11eをオンオフ動作させることにより容易に実現できる）を実施する。この駆動方式によりフリッカの発生がなく、また動画表示性能も格段に向上する。

【1794】また、図428などでも説明したように、前段ゲート制御方式を実施することにより、ゲート信号

線17の引き出し本数を減少させることができる。ゲート信号線17eとゲート信号線17aとを前段ゲートで共通にすることができるからである。

【1795】具体的には、図452においても、着目する画素行が(N)画素行とし、そのゲート信号線がゲート信号線17e(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行は、画素行が(N-1)画素行とし、そのゲート信号線がゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。また、着目画素行の次の1H後に選択される画素行が(N+1)画素行とし、そのゲート信号線がゲート信号線17e(N+1)、ゲート信号線17a(N+1)とする。

【1796】第(N-1)H期間では、第(N-1)画素行のゲート信号線17a(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがショート状態で形成されているからである。したがって、第(N-1)画素行の画素のTFT11b(N-1)がオンし、ソース信号線18の電圧が駆動用TFT11a(N-1)のゲート(G)端子に書き込まれる。同時に、第(N)画素行の画素のTFT11e(N)がオンし、駆動用TFT11a(N)のゲート(G)端子とソース(S)端子間がショートされ、駆動用TFT11a(N)がリセットされる。

【1797】第(N-1)H期間の次の第(N)期間では、第(N)画素行のゲート信号線17a(N)にオン電圧が印加されると、第(N+1)画素行のゲート信号線17e(N+1)にもオン電圧が印加される。したがって、第(N)画素行の画素のTFT11b(N)がオンし、ソース信号線18に印加されている電圧が駆動用TFT11a(N)のゲート(G)端子に書き込まれる。同時に、第(N+1)画素行の画素のTFT11e(N+1)がオンし、駆動用TFT11a(N+1)のゲート(G)端子とソース(S)端子間がショートされ、駆動用TFT11a(N+1)がリセットされる。以下の動作も、図427、図428と同様であるので説明を省略する。以上の本発明の前段ゲート制御方式では、1H期間、駆動用TFT11aはリセットされ、その後、電圧（電流）プログラムが実施される。

【1798】なお、図452において、コンデンサの一方の端子はVcc電圧としている。Vcc電圧への引き出し信号線はゲート信号線17と平行に引き出されている。このVcc電圧は電圧ボリウム回路から形成されており、所望の電圧値に可変できるように構成している。このように、Vcc電圧を可変するのは、コンデンサ19の電荷保持特性を良好なものとするためである。また、TFT11aの特性検査を実施する意味合いもある。なお、コンデンサ19の端子はVcc電圧を印加す

る構成の他、図427と同様にV<sub>dd</sub>電圧と接続してもよい。この図427の構成を採用すれば、引き出し信号線を減少させることができ、画素16の開口率を向上できる。なお、以上の実施例は、本発明の他の実施例にも適用できることは言うまでもない。

【1799】図422はTFT11bをオンさせることにより、駆動用TFT11aをリセットする構成であった。他の構成として、図455の画素構成が例示される。図455では、TFT11bとTFT11cのゲート(G)端子は共通のゲート信号線17aと接続されている。また、リセット用TFT11eのゲート(G)端子は別のゲート信号線11eに接続されている。

【1800】図455の画素構成は、電流プログラムの画素構成において、駆動用TFT11aをリセットするTFT11eを具備する構成である。前段ゲート制御方式とする接続としては一例として図456のごとくに接続する。つまり、図456に示すように画素16aのTFT11cのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用TFT11eのゲート(G)端子にも接続されている。同様に、画素16bのTFT11cのゲート(G)端子に接続されたゲート信号線17aは次段画素16cのリセット用TFT11eのゲート(G)端子に接続されている。

【1801】したがって、画素16aのTFT11cのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電流プログラム状態となるとともに、次段画素16bのリセット用TFT11eがオンし、画素16bの駆動用TFT11aがリセット状態となる。同様に、画素16bのTFT11cのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用TFT11eがオンし、画素16cの駆動用TFT11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【1802】さらに詳しく説明する。まず、図456(a)のようにゲート信号線17に電圧が印加されているとする。画素16aのゲート信号線17aにオン電圧が印加され、ゲート信号線17bにオフ電圧が印加されているとする。画素16bのゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにオフ電圧が印加されているとする。また、画素16cのゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにオン電圧が印加され、画素16dのゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにオン電圧が印加されているとする。

【1803】この状態では、画素16aは電流プログラム状態で非点灯、画素16bはリセット状態で非点灯、画素16cはプログラム電流の保持状態で点灯、画素16dはプログラム電流の保持状態で点灯状態である。

【1804】1H後、制御用ゲートドライバ回路12のシフトレジスタ22内のデータが1ビットシフトし、図456(b)の状態となる。図456(b)の状態は、画素16aはプログラム電流保持状態で点灯、画素16bは電流プログラム状態で非点灯、画素16cはリセット状態で非点灯、画素16dはプログラム保持状態で点灯状態である。

【1805】さらに1H後、制御用ゲートドライバ回路12のシフトレジスタ22内のデータが1ビットシフトし、図456(c)の状態となる。図456(c)の状態は、画素16aはプログラム電流保持状態で点灯、画素16bはプログラム電流保持状態で点灯、画素16cは電流プログラム状態で非点灯、画素16dはリセット状態で非点灯状態である。

【1806】以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用TFT11aがリセットされ、次の水平走査期間に電流プログラムが順次行われることがわかる。

【1807】以上の実施例は電流プログラムの画素構成の例であったが、図67、図406の電圧プログラムの画素構成でも前段ゲート制御方式を実施することができる。図457はその実施例である。

【1808】図457に示すように画素16aのTFT11cのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用TFT11bのゲート(G)端子にも接続されている。同様に、画素16bのTFT11cのゲート(G)端子に接続されたゲート信号線17aは次段画素16cのリセット用TFT11bのゲート(G)端子に接続されている。

【1809】したがって、画素16aのTFT11cのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用TFT11bがオンし、画素16bの駆動用TFT11aがリセット状態となる。同様に、画素16bのTFT11cのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用TFT11bがオンし、画素16cの駆動用TFT11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【1810】さらに詳しく説明する。図457(a)のようにゲート信号線17に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、ゲート信号線17bは画素16a、16bにはオフ電圧が印加され、画素16c、16dにはオン電圧が印加されているとする。

【1811】この状態では、画素16aは電圧プログラ



ム状態で非点灯、画素16bはリセット状態で非点灯、画素16cはプログラム電流の保持状態で点灯、画素16dはプログラム電流の保持状態で点灯状態である。

【1812】1H後、制御用ゲートドライバ回路12のシフトレジスタ22内のデータが1ビットシフトし、図457(b)の状態となる。図457(b)の状態は、画素16aはプログラム電流保持状態で点灯、画素16bは電流プログラム状態で非点灯、画素16cはリセット状態で非点灯、画素16dはプログラム保持状態で点灯状態である。

【1813】以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用TFT11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【1814】図452でも説明したが、図452、図458に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図459は図458の画素構成を前段ゲート制御方式の接続とした実施例である。

【1815】図459に示すように画素16aのTFT11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用TFT11eのゲート(G)端子に接続されている。同様に、画素16bのTFT11bのゲート(G)端子に接続されたゲート信号線17aは次段画素16cのリセット用TFT11eのゲート(G)端子に接続されている。

【1816】したがって、画素16aのTFT11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用TFT11eがオンし、画素16bの駆動用TFT11aがリセット状態となる。同様に、画素16bのTFT11bのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用TFT11eがオンし、画素16cの駆動用TFT11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【1817】さらに詳しく説明する。図459(a)のようにゲート信号線17に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、すべての逆バイアス用TFT11gはオフ状態であるとする。

【1818】この状態では、画素16aは電圧プログラム状態、画素16bはリセット状態、画素16cはプログラム電流の保持状態、画素16dはプログラム電流の保持状態である。

【1819】1H後、制御用ゲートドライバ回路12のシフトレジスタ22内のデータが1ビットシフトし、図459(b)の状態となる。図459(b)の状態は、

画素16aはプログラム電流保持状態、画素16bは電流プログラム状態、画素16cはリセット状態、画素16dはプログラム保持状態である。

【1820】以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用TFT11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【1821】なお、カレントミラーの画素構成において、図460に図示するように、TFT11dに並列にリセット用TFT11eと形成してもよい。このリセット用TFT11eのゲート(G)端子は前段画素16のTFT11dのゲート(G)端子に接続されたゲート信号線に接続する。他の点に関しては、今までに説明して構成例と同様あるいは類似である。したがって、説明を省略する。

【1822】なお、電流プログラムの画素構成の変形例として、図461の画素構成が例示される。図461では、コンデンサ19を2つの直列コンデンサ19aと19bから構成する。そして、コンデンサ19aとコンデンサ19bの midpoint にリセット用のTFT11eのドレイン(D)端子を接続している。また、TFT11eのソース(S)端子は駆動用TFT11aのドレイン(D)端子に接続する。また、TFT11eのゲート(G)端子はゲート信号線17eと接続をする。

【1823】図461の構成において、ゲート信号線17eにオン電圧を印加すると、駆動用TFT11aのドレイン(D)端子とコンデンサ19bを交流的に介してゲート(G)端子とがショートされる。したがって、交流的な結合となり、リセット動作が良好となる。

【1824】図462に図示するように、カレントミラーの画素構成においても、図461の概念を適用することができる。図462では、コンデンサ19を2つの直列コンデンサ19aと19bから構成する。そして、コンデンサ19aとコンデンサ19bの midpoint にリセット用のTFT11eのドレイン(D)端子を接続している。また、TFT11eのソース(S)端子は電流プログラム用TFT11aのドレイン(D)端子に接続する。また、TFT11eのゲート(G)端子は前段のゲート信号線17aと接続をする。

【1825】図462の構成においても、ゲート信号線17aにオン電圧を印加すると、駆動用TFT11aのドレイン(D)端子とコンデンサ19bを交流的に介してゲート(G)端子とがショートされる。したがって、交流的な結合となり、リセット動作が良好となる。

【1826】図452では、図401などと同様に、逆バイアス電圧印加用のTFT11gを付加している。したがって、EL素子15に逆バイアス電圧を印加することができ、EL表示装置を長寿命化できる。もちろん、EL素子15に逆バイアス電圧を印加するか、EL素子15に駆動用TFT11aからの電流を印加するかは、

10

20

30

40

50

TFT11dとTFT11gを制御することによって実施できることは言うまでもない。

【1827】図454は、図452の構成において逆バイアス電圧を印加する時のタイミングチャート図である。図454では、第(N-1)H期間に、逆バイアス信号線4001にVs1電圧を印加し、TFT11gをオンさせて、EL素子15に逆バイアス電圧を印加している。この時、TFT11dはオフ状態としている。他の、タイミングあるいは状態は図453と同一であるので説明を省略する。

【1828】また、図452のTFT11gを付加する画素構成では、図447と同様に、TFT11g、TFT11dを制御することにより、電流Ivの経路を形成することができる。したがって、後に説明する図443、図444などの検査方法を実施することができる。

【1829】図443は検査方法の説明図である。4431は電流検出手段である。電流検出手段4431としては、nA程度まで測定できる微小電流計の他、ピックアップ抵抗と電圧計の組み合わせ、電流入力型オペアンプなどが例示される。つまり、電流が流れていることをいずれかの手段で検出できるものであれば何でも良い。また、電流(電圧)検出は、画素構成によりTFT11gに流れ込む方向と流れ出す方向のいずれでも検出できるように構成する(電流あるいは電圧の極性が変化するだけである)。

【1830】また、複数の逆バイアス制御線4001を共通(ショート)し、共通にした一端に電流検出手段4431を接続(配置)してもよいことは言うまでもない。つまり、複数の逆バイアス制御線4001に接続されたいずれかの画素に欠陥が発生していると、前記電流検出手段4431に電流が流れ、欠陥検出を行うことができる。また、電流検出手段4431を1つ用い、この電流検出手段4431の測定端子にプローブなどを用いて逆バイアス制御線4001に順次接続して検査を行っても良い。

【1831】TFT11b、TFT11dをオフ状態にし、TFT11eをオン状態にする。駆動用TFT11aのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにIb電流が流れる。そのため、TFT11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用TFT11aはリセット(電流を流さない状態)になる。なお、TFT11aをリセットする前に、図447で説明したように、HD同期信号に同期して、最初にTFT11dをオンさせ、TFT11eをオフさせて、TFT11aに電流を流しておく。その後、図428(a)の動作を実施する。

【1832】このTFT11a、TFT11bのリセット状態(電流を流さない状態)は、図447などで説明した電圧オフセットキャンセル方式のオフセット電圧を保持した状態と等価である。つまり、図428(a)の

状態では、コンデンサ19の端子間には、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用TFT11aの特性に応じて異なる電圧値である。つまり、図428(a)の動作を実施することにより、各画素のコンデンサ19には駆動用TFT11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

【1833】なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図428(a)のリセットの実施時間を長くするほど、Ib電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図428(a)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下とすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

【1834】図423(a)も同様であるが、図428(a)のリセット状態と、図428(b)の電圧プログラム状態とを同期をとって行う場合は、図428(a)のリセット状態から、図428(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。この期間が短いと駆動用TFT11が完全にリセットされない。また、あまりにも長いと駆動用TFT11aが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面12の輝度も低下する。

【1835】図428(a)を実施後、図428(b)の状態にする。図428(b)はTFT11bをオンさせ、TFT11e、TFT11dをオフさせた状態である。図428(b)の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電圧を出力し、このプログラム電圧を駆動用TFT11aのゲート(G)端子に書き込む(駆動用TFT11aのゲート(G)端子の電位をコンデンサ19に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にTFT11dを必ずしもオフさせる必要はない。また、図31、図37、図108、図142、図147、図152、図198などのN倍パルス駆動などと組み合わせること、あるいは以上のような、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、TFT11eをオンオフ動作させることにより容易に実現できる)を実施する必要がなければ、TFT11eが必要でない。このことは以前に説明をしたので、説明を省略する。

【1836】図427の構成あるいは図428の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用TFTの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧(各駆動用TFTの特性に応

じて設定された電流が流れる開始電圧)から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、TFT 11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【1837】図428(b)の電流プログラミング後、図428(c)に図示するように、TFT 11bをオフし、TFT 11dをオンさせて、駆動用TFT 11aからのプログラム電流をEL素子15に流し、EL素子15を発光させる。

【1838】以上のように、図427の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にTFT 11dをオンさせ、TFT 11eをオフさせて、TFT 11aに電流を流す第1の動作と、TFT 11aとEL素子15間を切断し、かつ、駆動用TFT 11aのドレイン(D)端子とゲート

(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用TFTのゲート(G)端子を含む2端子)間をショートする第2の動作と、前記動作の後、駆動用TFT 11aに電圧プログラムを行う第3の動作とを実施するものである。

【1839】図122から図125に図示したように、DAコンバータ1226を含む電流出力回路1222でソース信号線18に電流と出力するとした。図171、図172、図21、図43、図710などのように、突き抜け電圧を発生させて駆動する方式の場合は、一定のベース電流を加えて出力する必要がある。たとえば、ある階調で30nAの電流を画素16に電流プログラムする場合、突き抜け電圧によるベース電流を加えた電流をソース信号線18に印加する。ベース電流が40nAであれば、30nA+40nAの電流をソース信号線18に印加する(ソース信号線18から回路1222に向かって吸収する)。したがって、ベース電流を加えて流すように回路構成をする必要がある。たとえば、ベース電流用のカレントミラー回路を付加したりする構成が例示される。

【1840】図122から図125では、DAコンバータ1226を含む電流出力回路1222でソース信号線18に電流と出力するとしたが、これに限定するものではない。たとえば、ICチップ14内に基準電流を発生する第1のカレントミラー回路を1つ形成する(図275を参照)。

【1841】図275は各ソース信号線18に対応する出力電流回路1222の主要部を図示している。なお、図275では、印加される画像データは6ビット(RGBは各64階調)であるとして説明をする。6ビットは画像データD(0~5)が対応し、MSB(最上位ビット)はD5であり、LSB(最下位ビット)はD0である。

【1842】図275でわかるように、画像データD0

によりスイッチングトランジスタ2752aがオンし、1つの子トランジスタ2754aがオンする。同様に、画像データD1によりスイッチングトランジスタ2752bがオンし、2つの子トランジスタ2754bがオンする。また、画像データD2によりスイッチングトランジスタ2752cがオンし、4つの子トランジスタ2754cがオンする。また、画像データD3によりスイッチングトランジスタ2752dがオンし、8つの子トランジスタ2754dがオンする。また、画像データD04よりスイッチングトランジスタ2752eがオンし、16つの子トランジスタ2754eがオンする。また、画像データD5によりスイッチングトランジスタ2752fがオンし、32つの子トランジスタ2754fがオンする。したがって、入力画像データDに応じて64階調を表現する電流Iwがソース信号線18から流れ込む。つまり、ゲート信号線17aにオン電圧が印加され、選択画素行のTFT 11a(図1の場合)からId(=Iw)電流が流れる。

【1843】図275では、ドライバ回路14内には1つの親トランジスタ2753が形成(配置)されている。この親トランジスタ2753に流れる電流が子トランジスタ2754に流れる。つまり、ソース信号線18が176(QCIFの場合)本あるとすれば、176×63個の子トランジスタ2753が親トランジスタ2753と接続されていることになる。

【1844】ただし、これでは1つの親トランジスタ2753に接続されている個数がありにも多いので、中間のトランジスタを配置してもよい。たとえば、親トランジスタを第1のトランジスタとすれば、第2のトランジスタ、第3のトランジスタを形成し、第3のトランジスタに子トランジスタ2754の63個とカレントミラーの関係にする。したがって、QCIFを例示すれば(ソース信号線数176本)、第1のトランジスタを1個(親トランジスタ)とカレントミラーの関係にある第2のトランジスタを16個形成(配置)し、この第2のトランジスタとカレントミラーの関係にある第3のトランジスタを11個形成(配置)する。つまり、カレントミラーの関係にある第1から第3のトランジスタの個数は、1×16×11=176個である。なお、この第1から第3のトランジスタはICチップ14内で密集して配置する。各トランジスタのVtバラツキの影響をなくするためである。特に第1のトランジスタと第2のトランジスタは、ごく近傍に配置する必要がある。

【1845】以上のような関係にすると、第1のカレントミラー回路(親トランジスタ2753)に流す電流(基準電流)を調整することにより、ICチップ全体の出力電流量を調整できるようになる。親トランジスタ2753に流す電流は電子ボリウムで調整できるように構成しておく。また、図275に図示するように、チップ14に外付けボリウム2751(バイアス抵抗)を配置

10

20

30

40

50

し、この抵抗の抵抗値を変更することにより、親トランジスタ（第1のトランジスタ）2753に流れる電流を変化させるように構成してもよい。いずれにせよ、親トランジスタ2753に流れる電流を調整することにより、プログラム電流Iwの最小きさを容易にかつ全ソース信号線18同時に変更することができる。

【1846】また、トランジスタ2753、2754はPチャンネルトランジスタのように図示しているがこれに限定するものではない。Nチャンネルトランジスタでもよい。また、PチャンネルとNチャンネルの両方を組み合わせて用いても良い。特に、トランジスタ2753a~2753hなどはオン時の抵抗値を低減するためなどを目的として、PチャンネルトランジスタとNチャンネルトランジスタとを並列に組み合わせて構成することが好ましい。

【1847】なお、基準電流は、ガンマカーブの低電流部と高電流部の2つの部分で独自に調整できるようにすることが好ましい（2つの部分であれば、1点折れガンマカーブとなる）。もちろん、ガンマカーブを3つ以上の折れ線近似とすることのより、ガンマ2、2乗カーブに近づけてもよい。

【1848】なお、図87、図88、図142などでは同時に複数の画素行を選択するとした。この場合でも、親トランジスタ2753に流す電流を変化させることにより対応できる。つまり、1画素行を選択する場合に比較して、選択する画素行倍の電流を親トランジスタ2753に流せばよいからである。また、図146で説明したように、1Hの期間などで、ソース信号線18に流す（ソース信号線18から吸収する）電流を変化させる駆動方法への対応も容易である。親トランジスタ2753に流す電流を可変すればよいからである。

【1849】この親トランジスタ2753の電流の調整により、表示パネルの明るさ、ガンマ特性を調整することができる。なお、親トランジスタ2753に流す基準電流は、R、G、B画素ごとに独自に調整できるように構成する。RGBでガンマカーブ、印加電流が異なるからである。この構成を図276に示す。図276に図示するように、各色の親トランジスタ2753（2753R、2753G、2753B）に流す電流を電子ポリウムあるいはバイアス抵抗により変更できるようにしておくのである。もちろん、EL素子15のガンマ特性、温度特性に合致するように、親トランジスタ2753に流す電流は補正しておく。

【1850】また、黒の階調飛びを抑制するため（ELは電流と輝度がリニアのために発生する。PDPなどでも同様である）、誤差拡散とディザ処理の両方を組み合わせて画像処理をしておく。

【1851】以上の実施例は、電流プログラムの場合である。図103、図68などの電圧プログラムの場合は、印加する電圧のきざみが一定になるため、低輝度部

で、印加する電圧ステップに対する電流増加量が小さい。そのため、定輝度部で、黒つぶれが発生する。以上の電圧プログラムの場合であっても本発明の実施例は適用できる。

【1852】他に、データD0からD5にそれぞれ1つの（複数の場合もある）トランジスタ2754を形成し、親トランジスタ2753とのカレントミラー回路のカレント倍率を変化させることにより、電流出力を変化させる構成でもよい。たとえば、D0に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率1倍とし、D1に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率2倍とする。同様に、D2に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率4倍とし、D3に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率8倍とする。さらに、D4に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率16倍とし、D5に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率32倍とする構成である。

【1853】以上のように、出力電流回路1222を、2段階あるいは3段階（第1のトランジスタ、第2のトランジスタおよび第3のトランジスタ）のカレントミラー回路の構成を採用することにより、各ソース信号線18にプログラムされる電流バラツキをなくすることができる。

【1854】図171、図21、図43、図710のように、突き抜け電圧用のコンデンサ19bを形成した場合は、一定のベース電流を加えて出力する必要がある。また、突き抜け電圧用のコンデンサ19bを配置（形成）しない構成であっても、TFT11bのソースゲート（G）端子容量により突き抜け電圧が発生する。たとえば、先と同様にある階調で30nAの電流を画素16に電流プログラムする場合、突き抜け電圧によるベース電流を加えた電流をソース信号線18に印加する。ベース電流が40nAであれば、30nA+40nAの電流をソース信号線18に印加する（ソース信号線18から回路1222に向かって吸収する）。したがって、ベース電流を加えて流すように回路構成をする必要がある。たとえば、ベース電流用のカレントミラー回路を別途、付加したりする構成が例示される。

【1855】図293では、このベース電流印加用のトランジスタ2752bbと2754bbをチップ14内に配置（形成）している。なお、ベース電流の印加は端子Dbbに印加するロジック信号で切り替えられる。つまり、ベース電流を加えるか否かは、ロジック的に制御できるように構成されている。

【1856】ベース電流もRGBごとに独自に調整できるように構成することが好ましい。RGBのEL素子15ごとにガンマカーブ、印加電流が異なるからである。

また、ベース電流はオンオフ制御できるように構成することが好ましい。ベース電流を印加（ソース信号線18から電流を吸収する場合もある）すると、画像によっては、黒浮きが発生するからである。したがって、ベース電流をオンオフさせることにより、最適に調整できるようにする。また、ベース電流のオンオフもRGBごとに独自に設定できるようにしておくことが好ましい。

【1857】なお、先にも説明したが親トランジスタ2753に流す基準電流、トランジスタ2754bに流すベース電流は温度補償をしておく。パネル（正確にはEL素子15の温度）を検出し、検出した温度によって、基準電流、ベース電流の値を変化させる。一般的にEL素子15は、温度が上がると発光効率が低下する。そのため、温度が上がるとEL素子15に印加する電流を増大させるように構成する。また、基準電流、ベース電流の温度補償も、RGBごとに独自に補償値を設定できるようにすることが好ましい。

【1858】また、図126でも説明したが、黒の階調でのブリチャージ（ディスチャージ）機能を付加する。図351はその実施例である。ソースドライバ回路14内にブリチャージ回路3511を形成（配置）している。

【1859】ブリチャージ電圧はVb1とVb2の2種類ある。もちろん、図126でも説明したように1種類でもよい。また、Vb電圧は3つ以上設けてもよい（たとえば、Vb1、Vb2、Vb3、Vb4）。図351では、Vb1は完全に画素16に黒表示させるための電圧である。図1の画素構成では、Vb1電圧を印加することによりTFT11aは完全にオフ状態になる。しかし、図126でも説明したように、これでは、完全に黒表示から次の第1階調目まで階調の飛びが発生する。この飛びの発生を抑制するのが、ブリチャージ電圧Vb2である。Vb2電圧を印加すると、図1の画素構成では、TFT11aは微小な電流をEL素子15に流す。したがって、階調飛びが抑制される。

【1860】Vb1電圧を印加するか、Vb2電圧を印加するか、もしくは、両方とも印加せず、電流プログラムを行うかは、画像データD(5:0)で決定される。たとえば、D(5:0)の値が‘0’であるときは、Vb1電圧を印加する。D(5:0)が1以上7以下の場合は、Vb2電圧を印加する。この印加条件は、ドライバ回路14へのコマンドにより変更できるように構成されている。たとえば、画像データD(5:0)の値が‘0’または‘1’であるときは、Vb1電圧を印加し、D(5:0)が1以上15以下の場合は、Vb2電圧を印加するということである。また、Vb電圧が3つ以上印加できるように構成している場合は、それぞれに応じて、入力データに対するVb電圧を印加できるように構成する。なお、Vb1などは電圧としたが、これに限定するものではなく、電流に置き換えても良い。

【1861】本発明では、少なくとも、D(5:0)の値が‘0’であるときは、Vb1電圧を印加している。このようにすることにより、非常によい黒が表示され、画質が格段に向上するからである。また、全階調の1/16、つまり、D(5:0)が1以上3以下の場合は、Vb2電圧を印加している。この範囲で、ソースドライバ回路14からの出力（入力）電流が小さく、画素への書き込み不足が発生するからである。なお、以上の実施例は、EL表示パネルに印加するガンマカーブの設定に応じて変化するように構成しても良い。

【1862】以上の実施例では、TFT2754はそれぞれ、1つあたり、同一の電流を流すことができるとして説明をした。したがって、63階調の場合は、TFT2754の個数は63個とした。この構成では電流きざみは等間隔である。しかし、人間の視覚は2乗カーブでないとリニアに階調が変化しているようには見えない。つまり、低輝度部（低階調表示領域部：64階調では0-15階調目）では、1ステップ（1階調）あたりの明るさ変化はわずかにし、高輝度（高階調表示領域部：64階調では48-63階調目）では、1ステップ（1階調）あたりの明るさ変化を大きくする。

【1863】以前に説明したソースドライバ回路14では、1ステップごとに同一きざみの電流が増加する。そのため、階調とEL素子15に流れる電流は比例関係となっている。したがって、低輝度部（低階調表示領域部：64階調では0-15階調目）では、1ステップ（1階調）あたりの明るさ変化は大きく変化しているように人間の目には見える。高輝度（高階調表示領域部：64階調では48-63階調目）では、1ステップ（1階調）あたりの明るさ変化がほとんど変化していないように見える。この状態では、表示画像の黒表示部が白く浮いて見える。

【1864】この課題を解決するのが図388のドライバ構成である。ソースドライバ14の電流出力段に電流倍率変換回路3881を具備している。電流倍率変換回路3881は、具体的には、カレントミラー回路が例示される。カレントミラー回路は入力した電流値の大きさを変更することができる。たとえば、電流倍率変換回路3881は入力された1μAを1/2の0.5μAに変換してソース信号線18に出力する。

【1865】つまり、電流倍率変換回路3881は入力された電流を1/2にする低電流モードと、スルー（入力された電流をそのまま出力するモード）で出力するスルー電流モードの2モードを切り替えることができる。この切り替えは、B(R)端子に印加されたロジック信号により行う。たとえば、B(R:赤)端子への印加ロジックがLの時は、スルー電流モードであり、Hのときは、低電流モードとする。もちろん、電流倍率変換回路3881は、入力された電流を1/2にする低電流モードと、スルー電流モードと、2倍の電流に変換して出力

する高電流モードとを切り替えることができるように構成してもよい(3電流モード)。この場合は、B(R)は2ビット必要となる。また、電流倍率変換回路3881は、入力された電流を1/4にする超低電流モードと、入力された電流を1/2にする低電流モードと、スルー電流モードと、2倍の電流に変換して出力する高電流モードとを切り替えることができるように構成してもよい(4電流モード)。つまり、複数の電流に変換できるように構成する。

【1866】複数の電流に変換することは、TFT2752とTFT2754の関係(カレントミラー)であるカレント倍率の設計と、切り替え回路(アナログスイッチなど)の組み合わせにより容易に実現できることは当該技術分野の当事者であれば明らかであろう。もちろん、カレントミラー回路を使用せず、電流の分流回路でも構成できることは言うまでもない。したがって、説明を省略する。複数のモードから1つの電流出力の選択は画像データD(5:0)(R)の値により、B(R)のロジックが制御される。本発明では、D(5:0)の値が、0以上15以下の時、低電流モードを選択するように構成されている。その他の場合(D(5:0)が16以上63以下)は、スルー電流モードが選択される。つまり、D(5:0)の値が、0以上15以下の時は、階調ステップに対する電流の増加割合が小さく、その他の場合(D(5:0)が16以上63以下)は階調ステップに対する電流の増加割合が大きい。また、本発明では、この切り替えポイント(上記の実施例では、D(5:0)=16)は、複数のポイントで行えるように構成している。具体的には、D(5:0)=0(変化ポイントなし)、4、8、16の4ポイントである。また、D(5:0)=0以上7以下の時は、電流を1/4、D(5:0)=8以上15以下の時は、電流を1/2、D(5:0)が16以上の場合、スルーとなるように制御しても(動作させても)よい。

【1867】低電流モードでの階調ステップに対する電流の増加割合は、スルー電流モードの階調ステップに対する電流増加割合の1/5以上1/2以下にすることが好ましい。特に1/4以上1/3以下とすることが好ましい。また、この増加割合は、低電流モードとスルー電流モードの基準電流を設定する2つの抵抗(電子ポリウムでもよい)2751を配置し、可変できるように構成しておくことが好ましい。また、R(赤)、G(緑)、B(青)色のうち、少なくとも1つ以上(好ましくは3つ)の低電流モードとスルー電流モードの基準電流を独立に設定(調整)できるように構成することが好ましい。また、基準電流は、EL素子15の温特を補償できるように温度による変化をフィードバックし変化(調整)できるように構成しておくことが好ましい。

【1868】以上のように本発明は、有機EL表示パネルのドライバ回路で、2つ以上の電流領域を設け、この

領域で1ステップあたりの出力電流(ソース信号線18に印加する電流あるいは、ソース信号線18から吸い込む電流、つまり、プログラム電流である)を異ならせていることに特徴がある。以上のことは、電流モードが3以上ある場合でも適用される。また、以上の実施例は、シリコンチップで形成(作製)したソースドライバ回路14のみに限定されるものではなく、低温ポリシリコンあるいは高温ポリシリコンあるいはCGSなどのように画素電極と同時に(一体として)形成(作製)されたソースドライバ回路14にも適用されることは言うまでもない。

【1869】なお、図388の実施例では、ドライバIC14の出力段(ソース信号線18との接続直前部)に電流倍率変換回路3881を配置(形成)するとして説明した。しかし、本発明はこれに限定するものではない。図389の実施例に図示するように、途中部に配置(形成)してもよい。

【1870】図389では、D2とD3間に電流倍率変換回路3881を配置している。したがって、トランジスタ2754a、2754b、2754cに流れる電流(あるいは流れ出す電流)がB(R)端子(もちろん、G(緑)ではB(G)、B(青)ではB(B)である)のロジック信号により、1/2の電流値などに交換される。トランジスタ2754d、・・・2754g、2754hに流れる電流はスルーで出力(あるいは流れ出す)される。

【1871】以上の実施例は、ソース信号線18から流れ込む(場合によっては流れ出す)電流を可変することにより、EL素子15にプログラムする電流を容易に調整する方式であった。

【1872】他に電流を調整する構成として、図390の構成が例示される。画素にプログラムされる電流はプログラム電流Iwとしてソース信号線18に流れ、ドライバIC14に流れ込む。もちろん、この電流は、本発明ではトランジスタ2754のオンの個数で制御される。このトランジスタ2754のオンの個数で制御される電流をIbとする。

【1873】図390の構成では、ソース信号線18からの電流Iwに、電流供給回路3901からの電流Iaを加えた電流がIbとなる。したがって、Ib電流が固定であっても、Ia電流を変化させることにより、画素のプログラム電流Iwを変化(調整)することができる。Ia電流の大きさはデータD(5:0)によって変化(制御)される。

【1874】Ia電流は、図388、図389の電流倍率変換回路3881が形成された構成と同一の動作を行う。入力された電流を1/2にする低電流モードでは、Ib電流の1/2の電流を供給する。スルー(入力された電流をそのまま出力するモード)モードでは、オフ状態(電流を供給しない。Ia=0)となる。また、先の

実施例と同様に、低電流モードとスルー電流モードの2モードを切り替えることができる。もちろん、電流供給回路3901は、入力された電流を $1/2$ にする低電流モードと、スルー電流モードと、2倍の電流に変換して出力する高電流モードとを切り替えることができるように構成してもよい(3電流モード)。また、電流供給回路3901は、入力された電流を $1/4$ にする超低電流モードと、入力された電流を $1/2$ にする低電流モードと、スルー電流モードと、2倍の電流に変換して出力する高電流モードとを切り替えることができるように構成してもよい(4電流モード)。つまり、複数の電流を供給できるように構成する。

【1875】複数のモードから1つの電流出力の選択は画像データD(5:0)(R)の値により制御される。本発明では、D(5:0)の値が、0以上15以下の時、低電流モードを選択するように構成されている。その他の場合(D(5:0)が16以上63以下)は、スルー電流モードが選択される。つまり、D(5:0)の値が、0以上15以下の時は、電流供給回路3901は階調ステップに対応する電流をステップ(階調数)に応じて供給する。D(5:0)が16以上63以下の場合

は、電流供給回路3901はオフ状態となる。

【1876】また、本発明では、この切り替えポイントは、複数のポイントで行うように構成している。具体的には、D(5:0)=0(変化ポイントなし)、4、8、16の4ポイントである。ポイントが0の時は、電流供給回路3901は階調0-63でオフである。ポイントが4の時は、D(5:0)が0以上3以下で電流供給回路3901は階調ステップに対応する電流(具体的には、 $I_a$ の $1/2$ )をステップ(階調数)に応じて供給する。D(5:0)が4以上では電流供給回路3901はオフ状態となる。ポイントが8の時は、D(5:0)が0以上7以下で電流供給回路3901は階調ステップに対応する電流(具体的には、 $I_a$ の $1/2$ )をステップ(階調数)に応じて供給する。D(5:0)が8以上では電流供給回路3901はオフ状態となる。ポイントが16の場合も同様である。

【1877】また、電流供給回路3901は、D(5:0)=0以上7以下の時は、 $I_a$ 電流の $3/4$ を供給し、D(5:0)=8以上15以下の時は、 $I_a$ 電流の $1/2$ と供給し、D(5:0)が16以上の場合は、完全

にオフとなるように制御しても(動作させても)よい。

【1878】なお、図388などの実施例と同様に、電流供給回路3901を制御して、低電流モードでは、電流 $I_w$ がスルー電流モードの階調ステップに対する電流増加割合の $1/5$ 以上 $1/2$ 以下にすることが好ましい。特に $I_w$ は $1/4$ 以上 $1/3$ 以下とすることが好ましい。また、EL素子15の温特を補償できるように温度による変化をフィードバックし変化(調整)できるよ

うに構成しておくことが好ましい。

【1879】以上のように本発明は、有機EL表示パネルのドライバ回路で、2つ以上の電流領域を設け、この領域で1ステップあたりの $I_w$ 電流、つまり、プログラム電流である)を異ならせていることに特徴がある。以上のことは、電流モードが3以上ある場合でも適用される。また、以上の実施例は、シリコンチップで形成(作製)したソースドライバ回路14のみに限定されるものではなく、低温ポリシリコンあるいは高温ポリシリコンあるいはCGSなどのように画素電極と同時に(一体として)形成(作製)されたソースドライバ回路14にも適用されることは言うまでもない。

【1880】図390では、電流供給回路3901をICチップ14に形成するとしたが、本発明はこれに限定するものではない。図391に図示するように、階調数制御回路3911を形成(配置)してもよい。

【1881】図391トランジスタ2753RC(Rは赤の意味である)、2754i、2753iなどからなるカレントミラー回路が構成されている。また、カレントミラー回路に流れる電流はバイアス抵抗2751RC(電子ポリウムでもよいことはいうまでもない。つまり、トランジスタ2754iに流れる電流の大きさを制御する手段である)で制御(調整)される。トランジスタ2754iは階調数制御回路3911で制御される。さらに階調数制御回路3911はデータD(5:0)の大き

さで制御される。

【1882】したがって、データD(5:0)の大き

さで階調数制御回路3911が動作し、トランジスタ2753iをオンオフさせる。トランジスタ2753iがオンすると、プログラム電流 $I_w$ の一部(あるいは全部の場合もある)が、分流されてトランジスタ2754iに流れる。分流が $I_w$ の $1/2$ であれば、以降のD(5:0)に対するトランジスタ2754a~2754hには $I_w$ の $1/2$ の電流しか流れない。

【1883】したがって、図388、図389、図390とほぼ同様に、ソース信号線18に流れる電流 $I_w$ をトランジスタ2754a~2754hと階調数制御回路3911で制御することができる。スルー電流モードを設けること、変化ポイントに関する事項などは、図388、図389、図390などで説明している事項をそのまま適用できるので説明を省略する。

【1884】なお、電流倍率変換回路3881、電流供給回路3901、階調数制御回路3911などはICチップあるいはソースドライバ回路14内に構成(形成)することに限定するものではない。ソース信号線18に電流を供給(構成によっては、ソース信号線18から電流を吸収する場合もある。これは、画素構成と電流プログラム方式により決定される)ように構成されてい

端に形成（配置）してもよい。また、電流供給回路3901のかわりに、電流を供給する画素を形成（構成）してもよい。

【1885】また、ドライバ14の各電流出力段とソース信号線18間には、電流を切断するスイッチング回路を配置する。スイッチング回路は、全ソース信号線への出力段に配置され、オンオフ信号により一斉にオンまたはオフするように構成されている。スイッチング回路

（図示せず）は、いずれの画素行も選択されていないときにオフし、カレントミラーを構成するトランジスタ2754の電流がソース信号線18に流れる（ソース信号線18から流入する）ことを防止する。もし、いずれの画素も選択されていない（図1のゲート信号線17aにオフ電圧が印加されている）時に、前記スイッチングがオンしていると以下の問題点が発生する。

【1886】ソース信号線18に接続されたいずれの画素もオン状態でない時であっても、ソースドライバ14は所定の電流を流そうとする。しかし、画素が選択されていないので、電流を流す経路がない。電流がIC（ソースドライバ回路）14に流れ込む構成では、ソース信号線18にある寄生容量の電荷を吸収し、ソース信号線18の電位を低下させる。そのため、次に画素が選択されると、電流経路が発生し、急激に電流が流れるため、ソース信号線18の電位が急上昇する。この電位の急激な変化は、画質にノイズを発生させ、また、画面に横筋ムラなどを発生させる。

【1887】ソース信号線18に接続されたいずれの画素もオン状態でない時に、スイッチング回路がオフ（オープン）であれば、ソース信号線18からソースドライバ回路14内に電流を引き込むことはない。そのため、ソース信号線18の電位は寄生容量などで保持される。したがって、電位変動は発生しない。

【1888】前記スイッチング回路の制御は、1H期間に同期して行ってもよい。つまり、ある画素行から次の画素行の選択に所定時間の間隔があるとき（つまり、画素行が選択される期間が、1Hよりも短い時）、この間隔の期間にスイッチング回路をオフ（オープン）にする。以上の事項は本発明の他のソースドライバ回路にも適用される。

【1889】もし、前記スイッチング回路がない場合は、前記間隔の期間に、図254、図255に説明したようにダミー画素行2471をオンさせてもよい。つまり、いずれの画素行も選択されていないときには、ダミー画素行2471をオンさせて、このダミー画素行2471からソースドライバ回路14に電流を流す。もしくは、すべてのスイッチング用のトランジスタ2753をオフ状態にする。また、スイッチング回路はパワーセーブ時にも動作させ、スイッチをオープン状態にするともよい。以上の事項は本発明の他のソースドライバ回路にも適用される。

【1890】表示が白表示から黒表示になる時は、ソース信号線18の電位の変化が遅い。そのため、1H期間に目標の電位まで変化させることができない（変化させることが難しい）。この課題を解決するための方法（方式）を図352に示す。

【1891】図352（a）は、ソース信号線18の電位変化を図示している。各RGBのグラフでは、縦軸を+（電圧が高い）としている。図1の画素構成を想定している。図1の画素構成では、電位が高いほど、TFT11aのゲート電位が高くなり、TFT11aは電流を流さなくなる。したがって、EL素子15は点灯せず、黒表示となる。また、ソースドライバ回路14からみれば、完全な黒表示では図351などにおいても、トランジスタ2754はすべてオフである。したがって、ソース信号線18には電流が流れない。ソース信号線18に電流が流れなければソース信号線18の電位は変化しない。

【1892】したがって、ソースドライバ回路14に入力されたデータが白（たとえば、D（5：0）=63）から完全に黒（D（5：0）=0）に変化すると、ソース信号線18には電流が流れず、画素16に書き込み不足が発生する。

【1893】この課題を解決するためには、白から黒に変化させる際、一旦灰色レベルの画像データを印加して、ソース信号線18の電位を変化させて後、最終的な黒の画像データに対応する電流をソース信号線18に印加すればよい。

【1894】つまり、灰色表示では、ソースドライバ回路14のトランジスタ2754のいくつかはオン状態である。したがって、ソース信号線18にも電流が流れる。また、画素の駆動用TFT11aも電流を流すことができる。

【1895】そのため、白表示でのソース信号線18の電位レベルから、灰色（中間調）レベルのデータに応じてソース信号線18に電流を流す。電流が流れるのであるから、ソース信号線18の電位レベルは急速に変化し灰色（中間調）の電位まで変化する。その後、黒表示の電流をソース信号線18に流す。この時は、流れる電流が小さいため、少しずつしか電位は変化しない。しかし、ソース信号線18の電位は、目標値近くなっているため、画素16への書き込み不足が発生しても視覚的には目立たない。

【1896】図352では、以上の駆動方法を実現するため、入力データD（5：0）の値をシフトするデータシフト回路3521を具備している。データシフト回路3521は例えば、入力データD（5：0）が4の時、1ビットシフトして、8に変化させる。このシフト方向、シフト量はコマンド設定で変更できるように構成されている。また、シフト方向は、前回（1H前）のソース信号線18に印加されたデータの値を考慮して行う。



【1897】1H前が白表示（たとえば、D（5：0）＝63）で、次が黒表示（たとえば、D（5：0）＝2）であれば、1ビットデータが大きい方にシフトする。つまり、D（5：0）＝4となる。この場合、ソース信号線18に印加されているデータは、1H前にD（5：0）＝63に対応する電圧が印加されており、次に、D（5：0）＝4に対応する電圧（V<sub>b</sub>とする）が印加され、最終的（1Hの1H／2以降）にD（5：0）＝2に対応する電圧（V<sub>a</sub>とする）が印加される。したがって、図352（a）のRのグラフで図示しているように、ソース信号線の電位はV<sub>b</sub>からV<sub>a</sub>電圧に変化する。このため、ソース信号線の電位変化は速く、書き込み不足は解消する。なお、D（5：0）＝0の時は、シフトしても0である。この場合は図351でも説明したようにブリチャージ電圧V<sub>b1</sub>を印加する。

【1898】データシフトする方向は、1H前にソース信号線18に印加されている電圧（つまり、データ）を考慮する。図354は黒表示から白表示に変化させる場合である。1H前が黒表示（たとえば、D（5：0）＝2）で、次が白表示（たとえば、D（5：0）＝32）であれば、1ビットデータが小さい方にシフトする。つまり、D（5：0）＝16となる。この場合、ソース信号線18に印加されているデータは、1H前にD（5：0）＝2に対応する電圧が印加されており、次に、D（5：0）＝16に対応する電圧（V<sub>a</sub>とする）が印加され、最終的（1Hの1H／2以降）にD（5：0）＝32に対応する電圧（V<sub>b</sub>とする）が印加される。

【1899】したがって、図354（a）のRのグラフで図示しているように、ソース信号線の電位はV<sub>a</sub>からV<sub>b</sub>電圧に変化する。このため、ソース信号線の電位変化は速く、書き込み不足は解消する。なお、D（5：0）＝32の時は、前の1Hと次の1Hのデータは同一である。したがって、シフトするとよけいにデータを書き込み不足の方向となる。したがって、データシフトは実施しない。以上のように、シフトするかしないか、また、何ビットシフトするかは、前回ソース信号線18に書き込まれている電位を考慮して行う。なお、前回だけでなく、複数Hの期間を考慮してデータシフト回路3521の動作を決定してもよいことは言うまでもない（場合によっては複数フィールドも考慮する）。

【1900】なお、図353に図示するように、図351などで説明したブリチャージ回路と組み合わせることも有効である。図353では、まず、より黒に近い、ブリチャージ電圧V<sub>c</sub>を印加している。その後、データシフト回路3521からV<sub>b</sub>電圧をソース信号線に印加し、最後に目標電圧V<sub>a</sub>を印加している。

【1901】以上の実施例では、画素16に突き抜け電圧発生用のコンデンサ19bを形成する、あるいは、TFT11bなどのチャンネル容量を利用して黒表示のバイアス電流をより多く流したりする方式であった。以上

の事項は、ソース信号線18の電位をシフトすることによっても実現できる。

【1902】図299はその実施例である。たとえば、スイッチ1223に印加される電圧は図122の電圧出力回路1221である。つまり、画像データに応じて、スイッチ1223をオンさせてソース信号線18の電位をV<sub>dd</sub>電圧の方にシフトさせる。したがって、TFT11aのゲート（G）端子の電位V<sub>g</sub>が高くなり、TFT11aは電流を流さなくなる。スイッチ1223を閉じるタイミングは選択された画素行が非選択となる直前である。つまり、ゲート信号線17aにオフ電圧が印加される直前である。したがって、画素16のコンデンサ19aに電流プログラムされ、スイッチ1223が動作することによるソース信号線18による電位シフトがコンデンサ19aに重畳されたのち、ゲート信号線17aにオフ電圧が印加され、該当画素行が非選択となる。

【1903】なお、「画像データに応じて」とは、64階調のうち、黒表示に近い下位8階調では、スイッチ1223を閉じるという制御を行うという意味である。黒表示ではソース信号線18に流す電流が小さいため、書き込み不足が発生しやすいからである。つまり、以前に説明した選択ブリチャージである。

【1904】図299の電流出力回路1222は図122、図123、図275、図276、図293などに限定されるものではない。以下、本発明の他の電流出力回路1222について説明をする。

【1905】図300は他の電流出力回路1222を用いた表示パネルの構成図である。なお、図300などでは、電流出力回路1222は、基板46に画素16と同時に形成してもよい。つまり、電流出力回路1222は低温ポリシリコン技術で形成してもよい。つまり、画素のTFTと同一のプロセスで形成するもちろん、シリコンチップのソースドライバ14内に形成し、COG技術などを用いて基板46上に実装してもよいことは言うまでもない。また、高温ポリシリコン技術で形成してもよく、有機材料で形成（有機TFT）してもよい。

【1906】図300の電流出力回路1222は図41のEL素子15を削除し、この削除したEL素子の箇所とソース信号線18と接続した構成である。つまり、図41のソース信号線18が電流プログラム線3002となる。この電流プログラム線3002には電流サンプリング回路3001の出力が接続される。電流プログラム線3002に流れる電流はソース信号線18に流れる電流である。したがって、電流サンプリング回路3001からの電流が電流プログラム線3002に流れ、この電流がコンデンサ19にプログラムされる。そして、プログラムされた電流がソース信号線18に1Hクロックに同期してソース信号線18に印加されるのである。したがって、1Hクロックに同期して一斉に電流をソース信号線18に印加する必要があるため、電流出力回路12

22の出力段には1Hクロックに同期してオンオフするスイッチを具備している。

【1907】なお、電流出力回路1222は図43のカレントミラーの画素16構成でもよい。図300の電流出力回路1222は図43のEL素子15を削除し、この削除したEL素子の箇所とソース信号線18と接続した構成である。つまり、図43のソース信号線18が電流プログラム線3002となる。この電流プログラム線3002には電流サンプリング回路3001の出力が接続される。電流プログラム線3002に流れる電流はソース信号線18に流れる電流である。したがって、電流サンプリング回路3001からの電流が電流プログラム線3002に流れ、この電流がコンデンサ19にプログラムされる。そして、プログラムされた電流がソース信号線18に1Hクロックに同期してソース信号線18に印加されるのである。

【1908】なお、図43のカレントミラーの構成では、カレント倍率を設定すること（構成すること）により、電流出力回路1222にサンプリングして書き込む電流と、ソース信号線18から吸い込む電流値を異ならせることができる。したがって、電流サンプリング回路3001からの書き込み電流を増加させることができ、電流サンプリング回路3001の書き込み不足を解消することができる。また、逆にソース信号線18への書き込み電流を増加させることもできる。

【1909】なお、図300、図301などにおいて、電流出力回路1222は、図41、図43を変形させたものとして説明したがこれに限定するものではない。たとえば、2本の信号線に流れる電流（一方の電流はバイアス電流、他方の電流はバイアス電流+信号（書き込み）電流）の差を電流出力回路1222に書き込む差動構成であってもよい。差動構成では、電流サンプリング回路3001から電流出力回路1222への電流書き込み不足は発生しない。しかし、電流プログラム線3002は2本必要である。

【1910】また、図41、図43において、図277、図224、図222などで説明したように画素16構成に突き抜け電圧発生用のコンデンサ19bなどを付加することにより、バイアス電流を発生することができる。したがって、黒表示状態などにおいて、ソース信号線18に流す電流を増加させることができる。

【1911】図300の構成では、デジタル画像データをアナログ電流に変換するDA回路（図示せず）からの出力は、電流サンプリング回路3001で電流サンプリングされ、それぞれソース信号線18に配置（形成）された電流出力回路1222に保持される（コンデンサ19に記憶される）。この保持された電流を1Hクロックに同期してソース信号線18に印加され（ソース信号線18から電流を吸収し）、各表示領域21の画素16に順次書き込まれるのである。以上の構成を採用すること

により、図123などで説明したオペアンプなどが不要になり、図293で説明したカレントミラー回路なども不要になる。また、電流出力回路1222の構成が容易であるので低温ポリシリコン技術などでも形成することができる。

【1912】ただし、課題がある。電流サンプリング回路3001の動作周波数が高く、電流出力回路1222への書き込み不足が発生するからである。これを解決するのは、図301に図示するように、2つの電流出力回路（1222a、1222b）と、2つの電流サンプリング回路3001（3001a、3001b）を配置（形成）すればよい。

【1913】このように2層にすることにより、第1H目では電流出力回路1222aからソース信号線18に電流を印加し、その期間に、電流サンプリング回路3001bを動作させて電流出力回路1222bに書き込み電流を保持させる。第1H目の次の第2H目では電流出力回路1222bからソース信号線18に電流を印加し、その期間に、電流サンプリング回路3001aを動作させて電流出力回路1222aに書き込み電流を保持させることができる。つまり、電流サンプリング回路3001の動作スピードを1/2にすることができる。なお、表示領域は図3001に図示するように表示領域21aと21bの2分割としてもよい（ソース信号線18を画面の中央部で切断する）。

【1914】なお、図300、図301などで説明した電流出力回路1222がプログラム電流Iwを吸い込む方向か、吐き出す方向かは、画素16構成によって異なる。つまり、画素16構成にあわせて出力電流回路1222の構成を設定（形成）する。

【1915】図301では、図179で説明したようにゲート信号線17bを複数信号線ずつ共通にしている。つまり、ブロック駆動方式を実施する。以上のように、本発明は、本明細書に記載した他の構成と組み合わせることができる。さらに、図302は、点灯制御線1791を複数本形成し、かつ、逆バイアス電圧を印加するように構成している。以上のように、本発明は、本明細書に記載した他の構成と組み合わせることができる。

【1916】EL表示装置は、液晶表示装置のようなバックライトが不要である。したがって、モジュール厚を薄くできるという特徴がある。液晶表示装置は、バックライトを点灯して画像を表示する。また、バックライトの消費電力は携帯電話に使用するモジュールで200～300（mW）と大きい。それに比較して、液晶表示パネルで使用する消費電力は5～10（mW）と小さい。したがって、画像を表示する際は、バックライトが点灯しているため、どんな画像を表示してもモジュールとしての消費電力には差がない。

【1917】EL表示装置は、画像表示状態と消費電力には密接な関係がある。通常の自然画では消費電力は少

ない。しかし、白ラスター表示では、自然画の3〜4倍の電流を消費する。また、画像の表示状態によって、モジュールに流れる電流がたえず変化する。

【1918】白ラスター表示、画像の表示状態に追従するように電源回路を構成すると非常に回路構成が大きくなる。また、電源容量も大きくなる。本発明はこれらの課題を解決するものであり、また、表示画像21の明るさ制御を容易に実現するものである。

【1919】図261は、情報表示装置の一例としての本発明の携帯電話の表示方法の説明図である。図261(a)は、携帯電話の表示画面21を示している。表示領域21bはアンテナの受信状態、時刻などを表示する部分である。つまり、定常的に必要な情報を表示する領域である。表示領域21cも同様に操作アイコンなど定常的に必要な情報を表示する領域である。表示領域21aはメニュー、画像などを表示する領域でたえず、表示する画像が変化する領域である。

【1920】図261では説明を容易にするため、図179、図198などで説明したブロック表示方法を適用しているとする。表示領域21bは3つのブロック1981bを対応させ、表示領域21cは3つのブロック1981cを対応させている。また、表示領域21aは残りのブロック1981aを対応させている。したがって、選択するブロック1981の回数などを制御することにより容易にブロック1981ごとに画像の明るさを調整できる。なお、断っておくが、表示領域21a、21b、21cなどの明るさ調整は、図179、図198などで説明したブロック駆動に限定されるものではない。当然のことながら、図134、図87、図88などで説明した順次駆動でもよいことは言うまでもない。順次駆動でも、クロックの速度などを制御することにより、画面21を部分ごとに明るさ調整を容易に実現できるからである。

【1921】表示領域21b、21cは定常的に表示する部分であるので、一定の表示画面の明るさを保つ必要がある。また、電流の消費量は一定である。しかし、図261(a)の表示領域21aは画像の種類により画像の明るさを制御することが好ましい。たとえば、表示領域21aにテレビ画像を表示していて、突然画面全体が白表示(白ラスター)と変化すると急激に電源回路からモジュールに電流が流れる。この電流によりモジュールが発熱し劣化、あるいは不良が発生する危険性がある。なお、図261(b)で図示したブロック1981a、1981b、1981cはそれぞれ個別にオンオフ処理(点灯、非点灯処理)を行うことができ、画像の明るさを調整できる。これは、点灯制御線1791を制御することにより容易に実現できる。

【1922】したがって、表示領域21aにどんな画像が表示されるかを監視し、消費電力区が急激に増加する場合は、表示する画像データに演算処理などを施して表

示画像21aの全体輝度を低下させる必要がある。たとえば、白ラスター表示を行う時には、白ラスターの画像データの大きさなどを $1/2$ とし、表示輝度を $1/2$ に低減させる。なお、画像の輝度は、図179などでも説明しているように、非表示領域312と点灯領域311の割合を変化することにより行う。このようにすることにより、画像データの大きさを変化させずに画像の明るさ調整を実現できる。もちろん、画像データの大きさを変化させて実現してもよいことは言うまでもない。

【1923】図262は、画像データによる消費電力変化を抑制する回路である。フレーム(フィールド)メモリ2621は2つの領域(2621a、2621b)に分かれており、それぞれ、1画面の画像データを保持できる。メモリ2621aとメモリ2621bとは交互に選択される。たとえば、メモリ2621aからデータ変換回路2623に画像データを読み出している時には、マイコン(図示せず)からメモリ2621bに画像データが書き込まれている。逆に、メモリ2621bからデータ変換回路2623に画像データを読み出している時には、マイコン(図示せず)からメモリ2621aに画像データが書き込まれている。なお、説明を容易にするため、画像データDATA(5:0)はD5〜D0の6ビット(64階調)であるとして説明をする。

【1924】画像データDATA(5:0)はメモリ2621aと2621bに交互に書き込まれる。MSBのDATA5は、カウンタ回路2622でカウントされる。DATA5をカウントするのは、DATA5のビットがたっている画像データ、つまり、最高輝度の $1/2$ 以上となる画像データの個数をカウントしているのである。したがって、カウンタ回路2622のカウント値が大きいほど画像の輝度が高く、モジュールで消費する電力が大きいことを示していることになる。

【1925】今、画像データはメモリ2621aに書き込まれるとともに、カウンタ回路2622でカウントされているとする。この時、メモリ2621bの画像データが読み出されている。

【1926】カウンタ回路2622のカウント値が所定値(この所定値はマイコン(図示せず)などにより可変できるように構成しておく)以上の時、カウンタ回路2622はデータ変換回路2623を制御する。この制御とは、メモリ2622からの画像データの値を $1/2$ する(1ビット右にシフトする)などの処理である。つまり、カウンタ回路は1画面の画像データをカウントする(画像データはメモリ2621aに書き込まれる)。そして、この画像データをメモリ2621aから読み出し、この画像データを制御するのである。

【1927】なお、カウントはD5だけでなく、DATA(5:4)あるいはDATA(5:3)をカウントすることにより、より画像の特徴抽出が正確に行えることは言う今でもない。特徴抽出を正確に行うことにより表

示領域 21a の明るさ調整をより適切に実施することができる。

【1928】画像データが白ラスタなど、非常に消費電力が大きくなる場合は、データ変換回路 2623 で画像データを小さくする画像データ変換処理をした後、その変換後のデータをソースドライバ 14 に印加する。なお、画像を 1 フレームごとに処理し、1 フレームごとに表示画像の明るさ調整をすると画像がブリンクしてしまう（明るい画面と暗い画面が繰り返され、画像がまばたいた状態となる）。この課題に対しては、画像処理に遅延を持たし、また、複数フレームの画像変化を考慮しながら、データ変換回路 2623 のデータ変換制御を行うことにより対応できる。

【1929】なお、図 262 では、画像データを変換し、ソースドライバ 14 に印加することにより表示領域 21a の明るさ調整を行うとしたが、これに限定するものではなく、図 261 のブロック 1981a の点灯時間を制御することにより実現しても良いことは言うまでもない。以下、この実施について説明をする。

【1930】図 268 はその実施例の説明図である。フレーム（フィールド）メモリ 2621 は 2 つの領域（2621a、2621b）に分かれており、それぞれ、1 画面の画像データを保持できる。メモリ 2621a とメモリ 2621b とは交互に選択される。たとえば、メモリ 2621a からソースドライバ 14 に画像データを読み出している時には、マイコン（図示せず）からメモリ 2621b に画像データが書き込まれている。逆に、メモリ 2621b からソースドライバ 14 に画像データを読み出している時には、マイコン（図示せず）からメモリ 2621a に画像データが書き込まれている。以上の事項は図 262 と同様である。

【1931】画像データ DATA（5:0）の MSB の DATA5 は、カウンタ回路 2682a でカウントされる。図 262 の実施例と同様に、最高輝度の 1/2 以上となる画像データの個数をカウントするためである。したがって、カウンタ回路 2682a のカウント値が大きいほど画像の輝度が高い画像データが多いことを示している。

【1932】加算回路（演算処理回路）2682b は、画像 21 を複数のブロックに区切り、それぞれのブロックでも平均輝度分布を処理する。また、演算処理回路 2682c は画像データの所定輝度以上の画像データの分布状態と、所定輝度以下の画像データの分布状態を演算により求めている。つまり、加算回路（演算処理回路）2682 は、画像 21 平均輝度分布、画像データの分布状態などを解析するものである。

【1933】ゲートドライバ制御回路 2683 は、演算処理回路 2682 からの演算結果（処理結果）を複数フレームにわたって蓄積し、ゲートドライバ 12 のシフトレジスタ 22 に印加する ST データあるいは、点灯制御

線 1791 のオンオフデータを送出する。

【1934】たとえば、シフトレジスタ 22 の制御により画面の明るさを調整するのであれば、図 273 のようになる。画像を暗くする場合は、図 273（a）に図示するようにシフトレジスタ 22 に印加する ST データ数を少なくする。したがって、表示領域 21 に占める点灯領域 311 の割合が低下して暗くなる。比較的、表示画像 21 を明るくする場合は、図 273（b）の点灯領域 312 の幅を太くするか、もしくは点灯領域 312 の個数を多くする。さらに、表示画像 21 を明るくする場合は、図 273（c）の点灯領域 312 の幅をさらに太くするか、もしくは点灯領域 312 の個数をさらに多くする。なお、以上の処理は、図 261 のブロック 1981 の選択処理でも実現できることは明らかである。したがって、説明を省略する。

【1935】また、画像データが動画であるか静止画であるかを検出し（動画検出、ID 処理で行う）、図 273 の点灯領域 312 の数を調整すればよい。つまり、動画であれば、点灯領域 312 の個数を減らし、動画ボケをなくす。静止画であれば、フリッカの発生を抑制するために、点灯領域 312 の個数を多くし、また点灯領域を表示領域 21 に分散させる。

【1936】図 262 では、所定輝度以上の画像データの個数をカウントし、表示画面 21 の明るさ制御を行うとしたが、図 268 と同様に、画像の特徴を抽出して表示画面 21 の輝度を変化させてもよい。この実施例を図 269 に示す。なお、図 268 と図 269 の実施例を組み合わせても良いことは言うまでもない。

【1937】図 269 はその実施例の説明図である。フレーム（フィールド）メモリ 2621 は 2 つの領域（2621a、2621b）に分かれており、それぞれ、1 画面の画像データを保持できる。メモリ 2621a とメモリ 2621b とは交互に選択される。たとえば、メモリ 2621a からデータ変換回路 2692 に画像データを読み出している時には、マイコン（図示せず）からメモリ 2621b に画像データが書き込まれている。逆に、メモリ 2621b からデータ変換回路 2692 に画像データを読み出している時には、マイコン（図示せず）からメモリ 2621a に画像データが書き込まれている。以上の事項は図 262 または図 268 と同様である。

【1938】画像データ DATA（5:0）の MSB の DATA5 は、カウンタ回路 2682a でカウントされる。カウンタ回路 2682a のカウント値が大きいほど画像の輝度が高い画像データが多いことを示している。加算回路（演算処理回路）2682b の先と同様に、画像 21 を複数のブロックに区切り、それぞれのブロックでも平均輝度分布を処理する。また、演算処理回路 2682c は画像データの所定輝度以上の画像データの分布状態と、所定輝度以下の画像データの分布状態を演算に

より求めている。つまり、加算回路（演算処理回路）2682は、画像21平均輝度分布、画像データの分布状態などを解析するものである。

【1939】データ制御回路2691は、演算処理回路2682からの演算結果（処理結果）を複数フレームにわたって蓄積し、データ変換回路2692を制御して、画像データの変換処理をする。

【1940】たとえば、画面の明るさを調整するのであれば、図262と同様にデータをビットシフトさせた画像データの大きさを変換する。同時に画像データの解析結果に基づき、図274に図示するように最適なガンマ変換処理を実施する。

【1941】図274がガンマテーブルである。横軸に階調番号を示し、縦軸は表示輝度の相対値をとっている。図274の点線がリニアの場合であり、実線は黒表示領域と白表示領域で階調つぶれを発生させた場合である。また、一点鎖線は、黒階調部のみを階調つぶれを発生させた場合である。

【1942】以上のように、演算処理回路2682で画像の特徴抽出を行い、この結果に基づき、表示画像のガンマカーブを選択し、データのテーブル変換を行う。ガンマテーブルは3種類以上設け、最適なものを選択する。そして変換した画像データをソースドライバ14に入力する。

【1943】特に、ゲーム画像などの場合、画像を白黒反転させることは、消費電力の低減に効果がある。ただし、カラー画像を反転させるとネガポジ反転となってしまう。これに対応するため、本発明では、カラー画像は白黒画像に変換する。その後、白黒画像を白黒反転させる。または、カラー画像をネガポジ変換した後、白黒画像に変換する。

【1944】図441はこの実現回路である。メモリ2621からのデータは白黒画像処理回路4351に入力される。この白黒画像処理回路4351は、カラー画像から輝度成分を抽出し、白黒画像に変換する。白黒画像変換は、良く知られているように簡単な演算で行うことができる。表示パネルがカラーパネルの場合は、この演算によりRGBの画素16が白黒表示となるようにされる。なお、通常のカラー画像を表示する場合は、この白黒画像処理回路4351に入力された画像データはスルーさせるように処理回路を構成する。

【1945】一方、カウンタ回路2622は最上位ビット（最上位ビットの1ビットに限定するものではない）の個数をカウントし、1画面のデータが所定値以上となるとき、反転処理回路4352を制御して、画像データを白黒（ネガポジ）反転させる。この制御はオートで実施しても、ユーザーが手動で切り替えてもよい（手動で切り替える場合は、カウンタ回路2622は不要である。以上の回路の動作により画像は白黒反転され、ソースドライバ14に入力される。

【1946】白黒反転の切り替えは、画像の特徴抽出により自動的に行う方法、以前に説明した伝送フォーマット（図16などを参照のこと）に記載された情報をデコード（解読）することにより自動的あるいは半自動的に行う方法がある。その他、ユーザーが状態に応じて（好みに応じて）ボタンなどを押すことにより実現する手動による方法などが例示される。

【1947】このように白黒反転させると消費電力を低減できることは、図442を見れば明らかである。図442（a）が原画像である。現画像はパースナル領域21aと、画像表示領域21bから構成されている。パースナル領域21aは時計表示などを行う部分である。したがって、画像の書き換えは、1秒単位などゆっくりであり、また、ほぼ静止画像である。

【1948】一方、画像表示領域21bにはゲーム画像などが表示される。この領域21bは液晶表示パネルのノーマリホワイトモードを対象として画像が作製されている。そのため、比較的白表示が多い（ノーマリホワイトモードでは、白表示では液晶層に電圧が印加されない。したがって、低電力化を実現できる。また、白表示部分が多いと、画像が明るく見える）。液晶表示パネルでは白表示が多くとも、バックライトは常時点灯しているため、消費電力が増大するという事はない。しかし、有機ELなどの自己発光型の表示デバイスでは、発光面積に比例して消費電力が増大する。

【1949】そのため、有機ELなどの表示パネルでは、発光部分を少なくする必要がある。しかし、ゲームなど表示場面は比較的白表示が多い絵作りとなっているため、消費電力が大きい。この課題に対応するため、図441に示すような白黒画像処理回路4351などを用いるのである。

【1950】図442（b）に図示するように、原画像である図442（a）の犬は、白黒反転されて画像の図442（b）のようになる。画像のほとんどが黒表示となるように白黒反転されている。しかし、十分に犬として認識できる。ゲームなどの画面も白黒反転させてもゲームを楽しむことができる。

【1951】なお、以上の実施例では、カラー画像を白黒画像化し、白黒反転するとしてがこれに限定するものではなく、カラー画像をそのまま、ネガポジ反転させたり、RGBの1色のみあるいは2色をネガポジ反転させてもよい。この反転の切り替えは、表示画面21に例画像とともに、「1. 白黒反転、2. R反転、3. G反転、4. B反転、5. そのまま」などと表示させ、ユーザーに選択させるように制御するとよい。

【1952】さらに図273で説明したように、画像を暗くする場合は、図273（a）に図示するようにシフトレジスタ22に印加するSTデータ数を少なくする。したがって、表示領域21に占める点灯領域311の割合が低下して暗くなる。比較的、表示画像21を明るく

する場合は、図 273 (b) の点灯領域 312 の幅を太くするか、もしくは点灯領域 312 の個数を多くする。さらに、表示画像 21 を明るくする場合は、図 273 (c) の点灯領域 312 の幅をさらに太くするか、もしくは点灯領域 312 の個数をさらに多くする。なお、少ない消費電力で表示画像を比較的明るく見えるようにするためには、表示輝度の最高輝度を低くし、最低輝度を高くし（つまり、画像のコントラストを低下させる）、かつ全体の平均輝度を小さくするとよい。

【1953】また、画像データが動画であるか静止画であるかを検出し（動画検出、ID 処理で行う）、図 273 の点灯領域 312 の数を調整すればよい。つまり、動画であれば、点灯領域 312 の個数を減らし、動画ボケをなくす。静止画であれば、フリッカの発生を抑制するために、点灯領域 312 の個数を多くし、また点灯領域を表示領域 21 に分散させる。

【1954】図 261 では表示領域は 21a、21b、21c の 3 つの領域とし、表示領域 21a の表示輝度を変化させるとしたが、これに限定するものではなく、表示領域 21b、21c とも変化させてもよい。

【1955】また、図 263 に図示するように、表示領域の端に表示領域 21d、21e を設けてもよい。表示領域 21d、21e は単なる枠としての表示を行う（つまり、画素電極が形成されておらず、ドットパターンの表示はできない）。したがって、表示領域 21d、21e は単純マトリックス的な表示となる。つまり、21d、21e に電圧を印加すると領域全体が点灯する。

【1956】図 265 に図示するように、点灯制御線 1791a に電圧を印加すると、領域 21d の EL 膜が点灯する。また、点灯制御線 1791b に電圧を印加すると、領域 21e の EL 膜が点灯する。他の構成（1891 など）は、以前に説明したので説明を省略する。

【1957】図 264 に図示するように、ポリシリコン技術で形成されたゲートドライバ回路 12 に平坦化膜 71 が形成されている。この上に画素電極 48a と同一材料で電極 48b が形成されており、電極 48b 上に EL 膜 47 が形成されている。EL 膜 47 上にはカソード電極（もしくはアノード電極）が形成される。電極 48b に電圧を印加することにより、領域 21d、21e が点灯する。

【1958】以上の実施例では、EL 素子 15 は R、G、B であるとしたがこれに限定するものではない。たとえば、シアン、イエロー、マゼンダでもよいし、任意の 2 色でもよい。R、G、B、シアン、イエロー、マゼンダの 6 色あるいは任意の 4 色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルタで RGB にしたのもでもよい。また、有機 EL 素子に限定するものではなく、無機 EL 素子であってもよい。

【1959】本発明の液晶表示パネルあるいはそれと用いた表示装置において、ドライバ回路 12、14 は複数

個（複数種類）集積することが好ましい。こうすることで、携帯電話網や無線 LAN からダウンロードした動画や静止画や、地上波のテレビ放送を受信する画像など、あらゆる通信網から入る画像を、MPU に負担をかけることなく表示できるようになる。高精細画像は VGA 対応で 6 ビットのドライバ回路 12、14 を使って表示し、精細度が落ちれば QVGA に切り替え、テキスト・データならば 1 ビットのドライバ回路 12、14 を使用する。また、別途、NTSC 表示用ドライバ（インターレース、擬似インターレース走査）、プログレッシブ表示用ドライバ（ノンインターレース）を形成することも好ましい。なお、これらの複数の機能を有するドライバ 12、14 はシリコンチップで形成し、COG 技術などで実装してもよいことは言うまでもない。

【1960】なお、図 87、図 88 などでは、アクティブマトリックス型表示パネルを例示して説明したがこれに限定するものではない。ソースドライバ IC 14 などからは所定電流の N 倍電流をソース信号線 18 に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、EL 素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

【1961】ドライバ回路 12、14 が 1 種類の場合、精細度の異なる画像を表示するために MPU で信号の変換処理を実行する必要がある。液晶表示パネル以外で多数のドライバ回路 12、14 を用意する場合は、個別に IC を実装する必要があるため、コストが高くなるとともに実装面積が拡大してしまう。また、ドライバ回路 12、14 だけでなく画像処理回路など多くの回路をパネル 8 2 上の Si 膜中に集積してもよい。

【1962】また、EL 素子は点灯初期に特性変化が大きい。そのため、焼きツキなどが発生しやすい。この対策のため、パネル形成後、20 時間以上 150 時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも 2-10 倍程度の明るさで表示させることが好ましい。

【1963】なお、本発明は、図 54、図 67、図 103 など説明した画素構成を電圧プログラムの画素構成、図 1、図 21、図 43、図 71 など説明した電流プログラムの画素構成を中心として説明し、各画素には、1H 期間に同期してソースドライバ回路 14 から信号が供給されて書き込まれる。しかし、本発明はこれに限定するものでない。たとえば、1 フレームまたは 1 フィールドを複数のサブフレーム（フィールド）に分割して駆動する時分割駆動と組み合わせてもよい。また、1 画素の複数の画素に分割する面積階調方式を組み合わせても良い。

【1964】図 2、図 35、図 60、図 74、図 84、図 31、図 32、図 56、図 61、図 89 から図 10

1、図104、図105、図106などを用いて駆動（表示）方法、駆動回路について説明した。これらの技術的思想を実現するガリウム、シリコン、ゲルマニウムなどで作製された半導体チップも本発明の権利範囲である。これらの半導体チップを表示パネルに実装することにより表示装置、情報表示装置などを実現できる。

【1965】また、図1(b)、図22、図75、図76、図77、図78などのV<sub>b</sub>bを印加する端子を図74で説明したゲートドライバ回路12bに接続することにより、良好な画像表示を実現することができる。

【1966】また、図79、図80などで説明した電源電圧V<sub>d</sub>dなどに関する事項も本明細書のすべての画素構成あるいは、表示パネル、情報表示装置あるいは駆動方法に適用される。また、図4、図5、図6、図7、図8、図9、図10、図11、図14、図15、図18、図20、図25、図26、図27、図28、図29、図30、図45、図46、図47、図48、図86、図89から図101、図110から図114などに関しても本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用され

ることは言うまでもない。  
【1967】図87、図88、図134から図167で説明した本発明の駆動方法、駆動回路と、図52、図89から図102などで説明したEL素子15に逆バイアスを印加する方法あるいは構成とを組み合わせることによりさらに特徴ある効果が発揮される。また、これらは、図1、図21、図43、図71、図22、図54、図67、図68、図103、図107、図108、図89から図101、図115、図171から図174、図21、図43、図710などで説明した画素構成に適用

できることも言うまでもない。また、これらの構成で、図31、図32から図39、図61から図67、図104、図105、図106などを実現できることも説明を要しない。図26から図30、図110から図114の3辺フリーの構成と組み合わせることも有効であることは言うまでもない。また、これらの技術を用いて、図4、図5、図6、図7、図8、図9、図10、図11、図14、図15、図18、図20、図25、図26、図27、図28、図29、図30、図45、図46、図47、図48、図86、図89から図101、図110から図114などの表示パネル、情報表示装置あるいは駆動方法に適用できることも言うまでもない。  
【1968】また、図52、図89から図102などで説明したEL素子15に逆バイアスを印加する方法あるいは構成も、図1、図21、図43、図71、図43、図71、図22、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図119から図121、図171から図174、図21、図43、図710などの画素構成あるいは

アレイ構成などに適用することは言うまでもない。また、これらの構成で、図31、図32から図39、図61から図67、図104、図105、図106などを実現できることも説明を要しない。図26から図30、図110から図114、図179から図192、図21、図43、図711から図21、図43、図714などの3辺フリーの構成と組み合わせることも有効であることは言うまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、TFT素子の特性バラツキのプロセス制御が不可能のため、本発明の電流駆動を実施することが好ましい。

【1969】さらに、これらの技術を用いて、図4、図5、図6、図7、図8、図9、図10、図11、図14、図15、図18、図20、図25、図26、図27、図28、図29、図30、図45、図46、図47、図48、図86、図89から図101、図110から図114などの表示パネル、情報表示装置あるいは駆動方法に適用できることも言うまでもない。

【1970】図107、図108、図89から図101、図115などで説明した画素構成、あるいは駆動方法は、などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。たとえば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。たとえば、液晶の場合は、TN (Twisted Nematic)、IPS (In-Plane Switching)、FLC (Ferroelectric Liquid Crystal)、OCB (Optically Compensatory Bend)、STN (Super Twisted Nematic)、VA (Vertically Aligned)、ECB (Electrically Controlled Birefringence) およびHAN (Hybrid Aligned Nematic) モード、DSMモード（動的散乱モード）などである。特に、DSMは印加する電流により光変調できるので、本発明とはマッチングがよい。

【1971】また、スイッチング素子11についてもTFTに限定されるものでない。また、本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【1972】図1、図21、図43、図71、図22、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図110から図114、図119から図121、図171から図174、図21、図43、図710、図21、図4

3、図710、図221から図260、図267、図291、図292、図294などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。たとえば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。また、スイッチング素子11についてもTFTに限定されるものでないことは、図80などで説明した。

【1973】また、図15、図19、図17、図18、図25、図26、図28、図45、図46、図47、図48、図110から図114、図261、図264、図266、図283から図285などの構成、装置、方式はEL表示パネルを用いたものに限定されるものではない。たとえば、PDP表示パネル、PLZT表示パネル、液晶表示パネルなどを用いたものにも適用することができる。また、以上の表示装置などを用いて、本発明の前段ゲート制御方式、リセット駆動方式などを実施できることはいうまでもない。

【1974】図22、図23、図286から図288、図290の製造方法を用いることにより、図1、図21、図43、図71、図22、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図119から図121、図171から図175、図21、図43、図710、図221から図260、図267、図283から図285、図291、図292、図294などの画素構成あるいはアレイ構成の表示パネルを容易に製造できる。また、これらを用いて情報表示装置を構成することができる。また、図280から図285、図289の構成あるいは構造は、本発明の表示パネルあるいは表示装置に適用できることはいうまでもない。また、以上の表示装置などを用いて、本発明の前段ゲート制御方式、リセット駆動方式などを実施できることはいうまでもない。

【1975】また、図248から図255、図309から図350、図355から図359、図360、図361、図366、図367の表示パネルの構成もしくはその駆動方法は、画素構成が図1、図21、図43、図71、図22、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図119から図121、図171から図175、図21、図43、図710、図221から図260、図267、図283から図285、図291、図292、図294、図303、図308などのいずれの構成であっても適用できることはいうまでもない。また、以上の表示装置などを用いて、本発明の前段ゲート制御方式、リセット駆動方式などを実施できることはいうまでもない。

【1976】また、図351から図354のドライバ

C回路は上記のいずれの画素構成あるいは表示パネルなどにも適用することができることはいうまでもない。図362から図365の表示パネルの構成あるいは構造は、上記のいずれの画素構成でも適用することができることはいうまでもなく、また、どの駆動回路、駆動方法のものでも適用できることもいうまでもない。

【1977】図1、図21、図43、図71、図22、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図119から図121、図171から図175、図21、図43、図710、図221から図260、図267、図291、図292、図294などの画素構成あるいはアレイ構成は、図203、図204、図205、図206、図265、図261、図263などの情報表示装置に適用できることはいうまでもない。また、以上の表示装置などを用いて、本発明の前段ゲート制御方式、リセット駆動方式などを実施できることはいうまでもない。

【1978】また、図1、図21、図43、図71、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図119から図121、図171から図174、図21、図43、図710、図221から図260、図267、図283から図285、図291、図292などの画素構成あるいはアレイ構成は、図15、図19、図17、図18、図25、図26、図28、図45、図46、図47、図48、図110から図114、図198から図209、図21、図43、図715から図220、図21、図43、図710、図221から図260、図267、図291、図292、図294に採用できることはいうまでもない。また、以上の表示装置などを用いて、本発明の前段ゲート制御方式、リセット駆動方式などを実施できることはいうまでもない。

【1979】また、図275、図276、図293のソースドライバの構成、図299から図302の電流出力回路1222などの構成は、画素構成が、図1、図21、図43、図71、図22、図44、図31、図40、図41、図42、図43、図44、図53、図54、図58、図59、図60、図67から図78、図89から図101、図103、図119から図121、図171から図174、図21、図43、図710、図221から図260、図267、図283から図285、図291、図292などに適用できることはいうまでもない。同様に、図229、図231から図232、図237から図238、図240から図241、図252、図262、図268から図269、図271から図272、図273から図274の駆動方法あるいはデータ処理方式にあってても適用できることはいうまでもない。また、図248から図255などで説明した駆動方法、画



素構成についても同様である。また、これらを用いて情報表示装置などを構成できることも言うまでもない。また、以上の表示装置などを用いて、本発明の前段ゲート制御方式、リセット駆動方式などを実施できることはいうまでもない。

【1980】図23、図24、図286から図288、図290などの製造方法にあっては、EL表示パネルの製造方法に限定されるものではない。たとえば、液晶表示パネルの製造方法にも適用できることはいうまでもない。また、図26から図30、図110から図114の構成あるいは方法にあってはEL表示パネルに限定されるものではなく、LED表示パネル、液晶表示パネルなどにも適用できることはいうまでもない。図31、図32から図39、図61から図67、図104、図105、図106、図261、図263、図265などの表示方法についても同様である。

【1981】本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【1982】また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【1983】さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることはいうまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

【1984】また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことはいうまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【1985】また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易

である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用液晶表示パネルのバックライトとしても用いることができる。

【1986】

【発明の効果】本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【1987】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図1】本発明の表示パネルの回路構成図

【図2】本発明の表示装置の回路構成図

【図3】本発明の表示装置の説明図

【図4】本発明の表示装置の断面図

【図5】本発明の表示装置の説明図

【図6】本発明の表示装置の説明図

【図7】本発明の表示装置の断面図

【図8】本発明の表示装置の断面図

【図9】本発明の表示装置の断面図

【図10】本発明の表示装置の構成図

【図11】本発明の表示装置の構成図

【図12】従来の表示パネルの回路構成図

【図13】本発明の表示パネルの説明図

【図14】本発明の表示装置の説明図

【図15】本発明の表示装置の説明図

【図16】本発明の表示装置のデータ伝送方法の説明図

【図17】本発明の表示装置のデータ伝送方法の説明図

【図18】本発明の表示装置のデータ伝送方法の説明図

【図19】本発明の情報表示装置の平面図

【図20】本発明の情報表示装置の説明図

【図21】本発明の表示パネルの説明図

【図22】本発明の表示パネルの説明図

【図23】本発明の表示パネルの製造方法の説明図

【図24】本発明の表示パネルの製造方法の説明図

【図25】本発明の表示パネルの断面図

【図26】本発明の表示パネルの説明図

【図27】本発明の表示パネルの説明図

【図28】本発明の表示パネルの説明図

【図29】本発明の表示パネルの説明図

【図30】本発明の表示パネルの説明図

【図31】本発明の表示パネルの駆動方法の説明図

【図32】本発明の表示パネルの駆動方法の説明図

- 50

- 【図 8 3】本発明の表示パネルの説明図  
【図 8 4】本発明の表示パネルの回路ブロック図  
【図 8 5】本発明の情報表示装置の説明図  
【図 8 6】本発明の情報表示装置の説明図  
【図 8 7】本発明の表示パネルの駆動方法の説明図  
【図 8 8】本発明の表示パネルの駆動方法の説明図  
【図 8 9】本発明の表示パネルの説明図  
【図 9 0】本発明の表示パネルの説明図  
【図 9 1】本発明の表示パネルの説明図  
【図 9 2】本発明の表示パネルの説明図  
【図 9 3】本発明の表示パネルの説明図  
【図 9 4】本発明の表示パネルの説明図  
【図 9 5】本発明の表示パネルの説明図  
【図 9 6】本発明の表示パネルの説明図  
【図 9 7】本発明の表示パネルの説明図  
【図 9 8】本発明の表示パネルの説明図  
【図 9 9】本発明の表示パネルの説明図  
【図 1 0 0】本発明の表示パネルの説明図  
【図 1 0 1】本発明の表示パネルの説明図  
【図 1 0 2】本発明の表示パネルの説明図  
【図 1 0 3】本発明の表示パネルの説明図  
【図 1 0 4】本発明の表示パネルの駆動方法の説明図  
【図 1 0 5】本発明の表示パネルの駆動方法の説明図  
【図 1 0 6】本発明の表示パネルの駆動方法の説明図  
【図 1 0 7】本発明の表示パネルの駆動方法の説明図  
【図 1 0 8】本発明の表示パネルの駆動方法の説明図  
【図 1 0 9】本発明の表示パネルの駆動方法の説明図  
【図 1 1 0】本発明の表示パネルの駆動方法の説明図  
【図 1 1 1】本発明の表示パネルの説明図  
【図 1 1 2】本発明の表示パネルの説明図  
【図 1 1 3】本発明の表示パネルの説明図  
【図 1 1 4】本発明の表示パネルの説明図  
【図 1 1 5】本発明の表示パネルの説明図  
【図 1 1 6】本発明の表示パネルの画素構成の説明図  
【図 1 1 7】本発明の表示パネルの画素構成の説明図  
【図 1 1 8】本発明の表示パネルの画素構成の説明図  
【図 1 1 9】本発明の表示パネルの画素構成の説明図  
【図 1 2 0】本発明の表示パネルの画素構成の説明図  
【図 1 2 1】本発明の表示パネルの画素構成の説明図  
【図 1 2 2】本発明の表示パネルの駆動方法の説明図  
【図 1 2 3】本発明の表示パネルの駆動方法の説明図  
【図 1 2 4】本発明の表示パネルの駆動方法の説明図  
【図 1 2 5】本発明の表示パネルの駆動方法の説明図  
【図 1 2 6】本発明の表示パネルの駆動方法の説明図  
【図 1 2 7】本発明の表示パネルの説明図  
【図 1 2 8】本発明の表示パネルの説明図  
【図 1 2 9】本発明の表示パネルの説明図  
【図 1 3 0】本発明の表示パネルの説明図  
【図 1 3 1】本発明の表示パネルの説明図  
【図 1 3 2】本発明の表示パネルの説明図

- [illegible]

50

[illegible]

50

【図３８３】本発明の表示パネルの説明図  
【図３８４】本発明の表示パネルの説明図  
【図３８５】本発明の表示パネルの説明図  
【図３８６】本発明の表示パネルの説明図  
【図３８７】本発明の表示パネルの説明図  
【図３８８】本発明のドライバ回路の説明図  
【図３８９】本発明のドライバ回路の説明図  
【図３９０】本発明のドライバ回路の説明図  
【図３９１】本発明のドライバ回路の説明図  
【図３９２】本発明のドライバ回路の説明図  
【図３９３】本発明の表示装置の検査および修正方法の説明図  
【図３９４】本発明の表示装置の検査および修正方法の説明図  
【図３９５】本発明の表示装置の検査および修正方法の説明図  
【図３９６】本発明の表示装置の検査および修正方法の説明図  
【図３９７】本発明の表示装置の検査および修正方法の説明図  
【図３９８】本発明の表示装置の検査および修正方法の説明図  
【図３９９】本発明の表示装置の検査および修正方法の説明図  
【図４００】本発明の表示パネルの構成図  
【図４０１】本発明の表示パネルの構成図  
【図４０２】本発明の表示パネルの構成図  
【図４０３】本発明の表示パネルの構成図  
【図４０４】本発明の表示パネルの構成図  
【図４０５】本発明の表示パネルの構成図  
【図４０６】本発明の表示パネルの構成図  
【図４０７】本発明の表示装置の構成図  
【図４０８】本発明の表示装置の駆動方法の説明図  
【図４０９】本発明の表示装置の駆動方法の説明図  
【図４１０】本発明の表示装置の駆動方法の説明図  
【図４１１】本発明の表示装置の駆動方法の説明図  
【図４１２】本発明の表示装置の駆動方法の説明図  
【図４１３】本発明の表示装置の駆動方法の説明図  
【図４１４】本発明の表示装置の構成図  
【図４１５】本発明の表示装置の駆動方法の説明図  
【図４１６】本発明の表示装置の構成図  
【図４１７】本発明の表示装置の駆動方法の説明図  
【図４１８】本発明の表示装置の駆動方法の説明図  
【図４１９】本発明の表示装置の構成図  
【図４２０】本発明の表示装置の駆動方法の説明図  
【図４２１】本発明の表示装置の構成図  
【図４２２】本発明の表示パネルの構成図  
【図４２３】本発明の表示装置の駆動方法の説明図  
【図４２４】本発明の表示装置の構成図  
【図４２５】本発明の表示装置の駆動方法の説明図

- 【図 4 2 6】本発明の表示装置の構成図  
 【図 4 2 7】本発明の表示装置の構成図  
 【図 4 2 8】本発明の表示装置の駆動方法の説明図  
 【図 4 2 9】本発明の表示装置の構成図  
 【図 4 3 0】本発明の表示装置の駆動方法の説明図  
 【図 4 3 1】本発明の表示装置の駆動方法の説明図  
 【図 4 3 2】本発明の表示装置の駆動方法の説明図  
 【図 4 3 3】本発明の表示装置の構成図  
 【図 4 3 4】本発明の表示装置の構成図  
 【図 4 3 5】本発明の表示装置の駆動方法の説明図  
 【図 4 3 6】本発明の表示装置の構成図  
 【図 4 3 7】本発明の表示装置の駆動方法の説明図  
 【図 4 3 8】本発明の表示装置の駆動方法の説明図  
 【図 4 3 9】本発明の表示装置の駆動方法の説明図  
 【図 4 4 0】本発明の表示装置の駆動方法の説明図  
 【図 4 4 1】本発明の表示装置の構成図  
 【図 4 4 2】本発明の表示装置の説明図  
 【図 4 4 3】本発明の表示装置の検査方法の説明図  
 【図 4 4 4】本発明の表示装置の検査方法の説明図  
 【図 4 4 5】本発明の表示装置の検査方法の説明図  
 【図 4 4 6】本発明の表示装置の構成図  
 【図 4 4 7】本発明の表示装置の説明図  
 【図 4 4 8】本発明の表示装置の駆動方法の説明図  
 【図 4 4 9】本発明の表示装置の駆動方法の説明図  
 【図 4 5 0】本発明の表示装置の駆動方法の説明図  
 【図 4 5 1】本発明の表示装置の駆動方法の説明図  
 【図 4 5 2】本発明の表示装置の構成図  
 【図 4 5 3】本発明の表示装置の駆動方法の説明図  
 【図 4 5 4】本発明の表示装置の駆動方法の説明図  
 【図 4 5 5】本発明の表示装置の構成図  
 【図 4 5 6】本発明の表示装置の駆動方法の説明図  
 【図 4 5 7】本発明の表示装置の駆動方法の説明図  
 【図 4 5 8】本発明の表示装置の構成図  
 【図 4 5 9】本発明の表示装置の駆動方法の説明図  
 【図 4 6 0】本発明の表示装置の構成図  
 【図 4 6 1】本発明の表示装置の構成図  
 【図 4 6 2】本発明の表示装置の構成図  
 【符号の説明】  
 11 TFT (薄膜トランジスタ、スイッチング素子)  
 12 ゲートドライバ (回路)  
 14 ソースドライバ (回路)  
 15 EL 素子 (EL 部、発光部)  
 16 画素 (画素部)  
 17 ゲート信号線  
 18 ソース信号線  
 19 キャパシタ (蓄積容量、コンデンサ)  
 20 電流供給線 (電力供給線、電圧供給線)  
 21 表示領域 (表示画面、有効表示領域)  
 23 レーザー照射スポット  
 41 封止フタ (封止材)  
 43, 44 凸部  
 45 シール剤 (材)  
 46 反射膜  
 47 有機 EL (EL 素子)  
 48 画素電極  
 49 アレイ基板  
 50  $\lambda/4$  板 ( $\lambda/4$  シート)  
 51 カソード配線  
 52 コンタクト  
 53 カソード  
 54 偏光板  
 55 乾燥剤 (乾燥材、吸湿手段)  
 61, 62 接続端子  
 63 アノード  
 71 平滑化膜  
 72 透明電極  
 73 封止膜  
 74 円偏光板  
 81 エッジ保護膜  
 91 遮光膜  
 92 低抵抗化配線 (金属膜)  
 101 コントロール IC  
 102 電源 IC  
 103 プリント基板  
 104 フレキシブル基板  
 105 データ信号  
 141 誤差拡散コントローラ  
 151 内蔵表示メモリ  
 152 演算メモリ  
 153 演算回路  
 154 バッファ回路  
 191 アンテナ  
 192 テンキー (入力キー)  
 193 筐体  
 194 ボタン (スイッチ、制御部)  
 201 デュプレクサ  
 202 LNA  
 203 LO バッファ  
 204 ダウンコンバータ  
 205 アップコンバータ  
 206 PA ブリドライバ  
 207 PA  
 241 ガラス基板  
 242 位置決めマーカ  
 251 凸部  
 252 凹凸部 (エンボス加工部)  
 14a 1 チップドライバ IC  
 311 画像表示領域  
 312 非表示領域  
 351 カウンタ回路

352 輝度メモリ  
 353 CPU  
 354 フレーム（フィールドメモリ、SRAM）  
 355 切り替え回路  
 391 書き込み画素行  
 392 保持画素行  
 401 電圧源  
 402 電流源  
 403 電源切り替え手段  
 404 浮遊容量（寄生容量）  
 451 ボデー（筐体）  
 452 接眼リング  
 453 拡大レンズ（拡大手段）  
 454 正レンズ（凸レンズ）  
 461 撮影レンズ（撮影部）  
 462 ビデオカメラ本体  
 463 格納部  
 464 接眼カバー  
 465 表示モード切り替えスイッチ  
 466 蓋（ふた）  
 467 支点（回転部）  
 471 シャッター  
 472 デジタルカメラ（電子カメラ）本体  
 481 外枠  
 482 固定部材  
 483 脚  
 484 脚取り付け部  
 491 壁  
 492 固定金具  
 493 保護フィルム（保護板、保護手段）  
 501 走査領域  
 601 ENBL端子（制御端子）  
 602 OR回路  
 851 シャッター（遮光手段）  
 852 眼鏡（切り替え手段）  
 871 書き込み画素行  
 1221 電圧出力回路  
 1222 電流出力回路  
 1223 切り替え回路（アナログスイッチ）  
 1224 オペアンプ（出力バッファ）  
 1225 調整ボリウム（可変抵抗、調整手段）  
 1226 DAコンバータ（デジタルーアナログ変換手段（器））  
 1227 出力トランジスタ（トランジスタ、FET）  
 1228 抵抗  
 1321 信号配線  
 1751 画素コンタクト部  
 1761 保護膜（層）  
 1781 スペース  
 1791 点灯制御線

1981 ブロック（単位）  
 2041 スピーカー（音発生手段）  
 2043 ファンクションスイッチ（FSW）  
 2044 マイク（音入力手段）  
 2045 鏡（ミラー）  
 2046 表示パネル（表示装置）  
 2111 逆バイアス制御線  
 2561 絶縁膜  
 2621、2681 フレーム（フィールド）メモリ  
 2622 カウンタ回路  
 2623 データ変換回路  
 2682 加算回路（演算処理回路）  
 2683 ゲートドライバ制御回路  
 2691 データ制御回路  
 2692 データ変換回路  
 2751 バイアス抵抗（電子ボリウム、電流変更手段）  
 2752 スイッチトランジスタ（選択スイッチ）  
 2753 親トランジスタ  
 2754 子トランジスタ  
 2791 光（の軌跡）  
 2801 屈折シート（板、フィルム）  
 2802 屈折部  
 2861 透明膜  
 2862 ローラー  
 2863 凹凸部（凹部）  
 2871 凸部  
 2881 メタルマスク  
 2901 プレス板（圧接手段、転写手段）  
 2902 光（UV光、可視光）  
 3001 電流サンプリング回路  
 3002 電流プログラム線  
 3271 バッファ回路  
 3272 OR回路  
 3491 デコーダ回路  
 3511 ブリチャージ回路  
 3521 データシフト回路  
 3661 土手（リブ）  
 3662 第2画素電極  
 3781 電圧供給ソース信号線（信号供給配線）  
 3751 拡散シート（光散乱シート（板）、光拡散部）  
 3791 反射板（反射手段、反射シート、光吸収板）  
 3792 穴（光出射穴）  
 3793 反射壁（遮光壁、遮光部、反射部）  
 2802c マイクロレンズ（光屈曲手段、微小屈曲部）  
 3821 光散乱部（散乱膜、散乱材、光拡散部）  
 3871 光結合層（オブティカルカップリング材（剤）、光結合部）

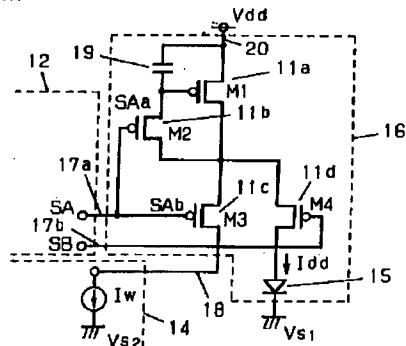
373

- 3872 凹レンズ（凹部）
- 3873 正レンズ（平凸レンズ）
- 3874 封止材（封止剤、封止部、封止手段）
- 3875 空気ギャップ
- 3881 電流倍率変換回路
- 3901 電流供給回路
- 3911 階調数制御回路
- 3921 電子ポリウム回路
- 3922 TFT（スイッチング素子のSDショート）
- 3931 ショートリング（短絡部）
- 3932, 3933 端子電極（接続部）
- 3934, 3935 ブローブ（接続手段）
- 3951 レーザー照射装置（光（エネルギー）照射装置、光ビーム照射装置）
- 3952 レーザー光（光ビーム）
- 3953 開口部

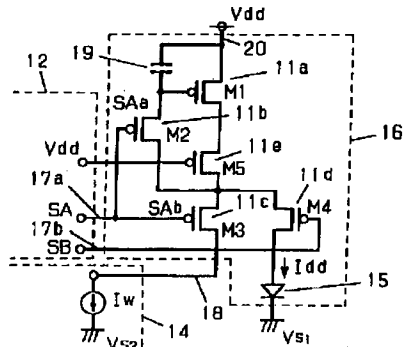
【図1】

- 11 TFT
- 12 ゲートドライバ
- 14 ソースドライバ
- 15 EL素子
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 キャパシタ（コンデンサ）
- 20 電流供給線

(a)



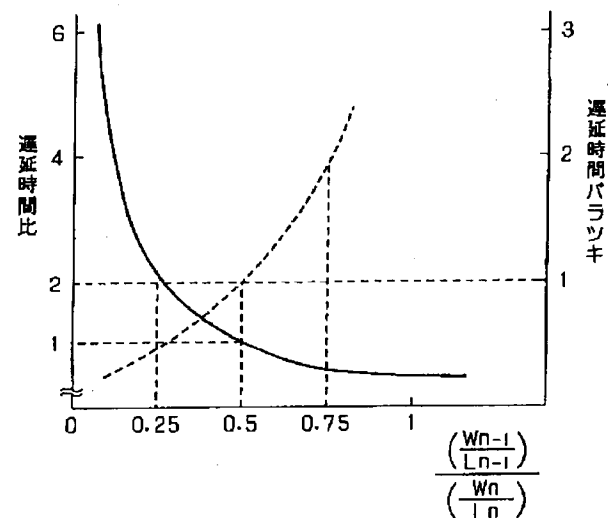
(b)



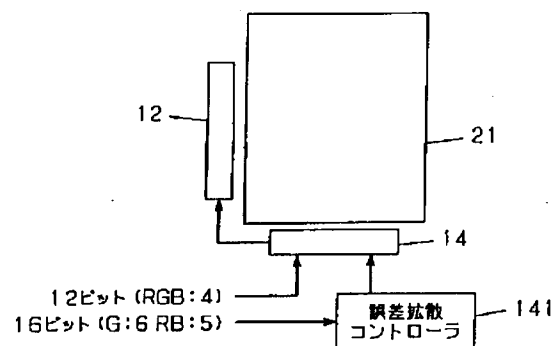
374

- \* 3941 切断箇所
- 3972 画素電極-カソードショート
- 4001 逆バイアス線
- 4003 ゲート電位制御線
- 4131 逆バイアス電圧印加ブロック
- 4132 逆バイアス電圧非印加ブロック
- 4141 逆バイアス共通線
- 4151 逆バイアス電圧印加画素行
- 4152 逆バイアス電圧非印加画素行
- 10 4341 AND回路
- 4351 白黒画像化処理回路
- 4352 反転処理回路
- 4381 リセット領域
- 4431 電流計（電流検出手段、電圧検出手段、欠陥検出手段）
- \* 4441 電圧源（電圧印加手段、信号発生源）

【図3】

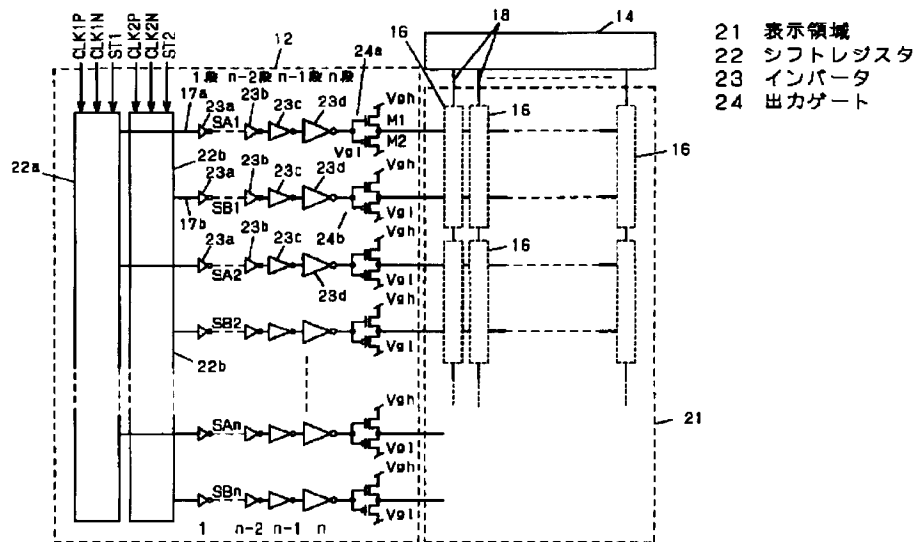


【図14】





【図2】



【図18】

(a)

色数

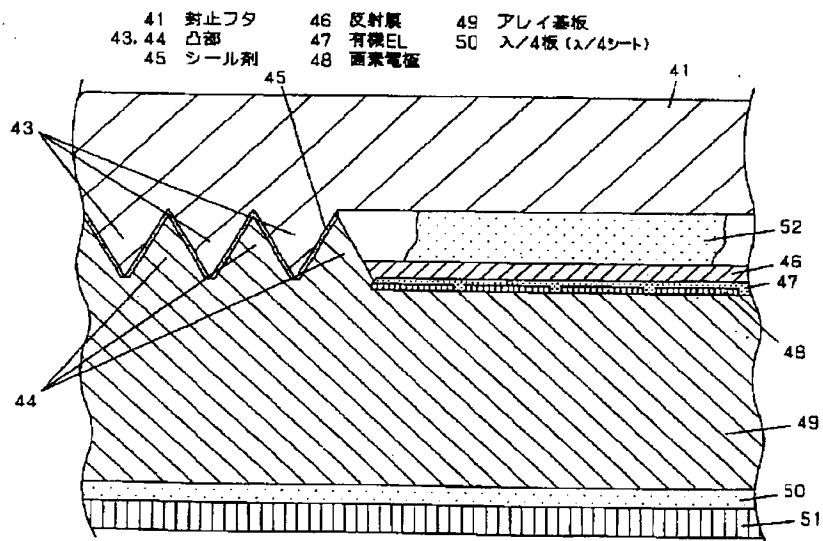
数値	表示色
0	白黒
1	8色
2	256色
3	4096色
4	65K色
5	260K色
6	フルカラー
7	予約

(b)

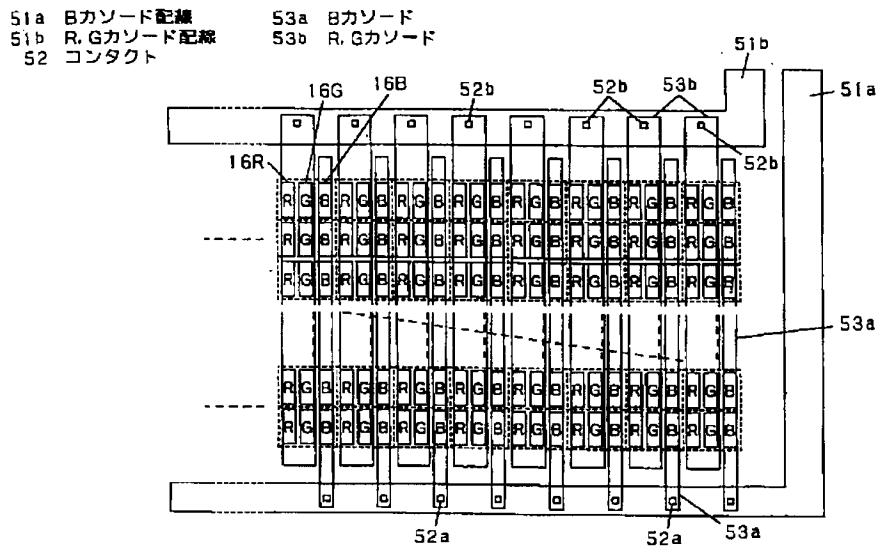
レート

数値	レート
0	20
1	40
2	60
3	80
4	100
5	120
6	160
7	予約

【図4】

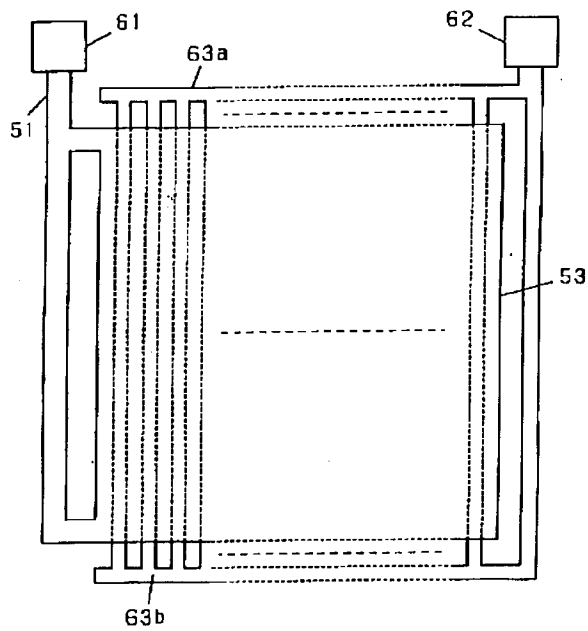


【図5】



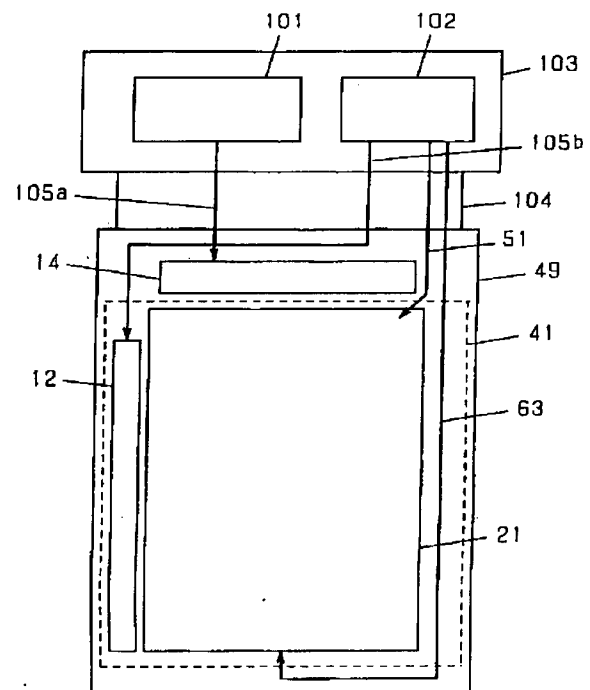
【図6】

61, 62 接続端子  
63 アノード



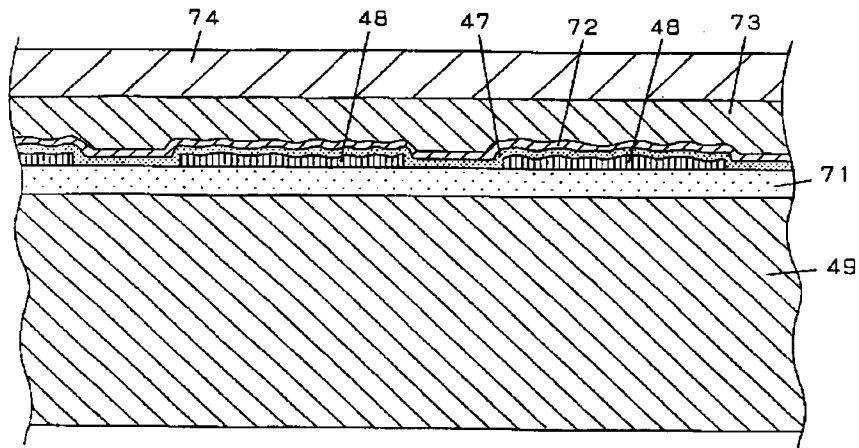
【図10】

101 コントロール IC      104 フレキシブル基板  
102 電源 IC              105 データ信号  
103 プリント基板



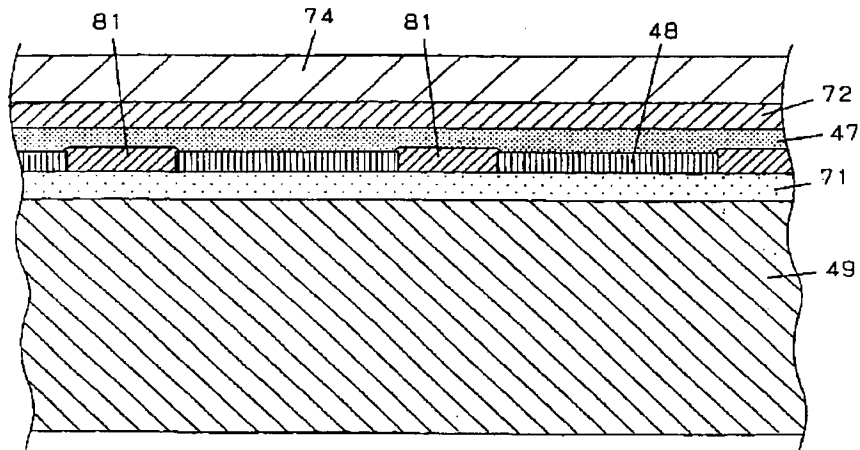
【図7】

71 平滑化膜      73 封止膜  
72 透明電極      74 円偏光板

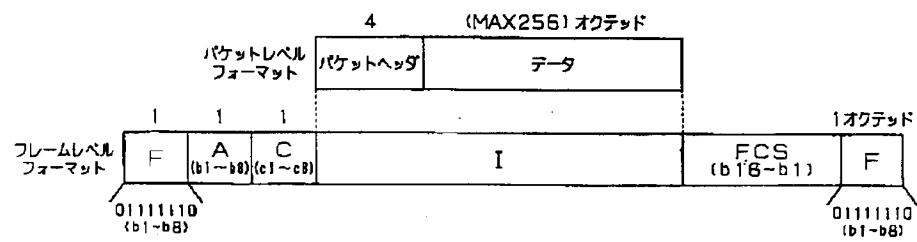


【図8】

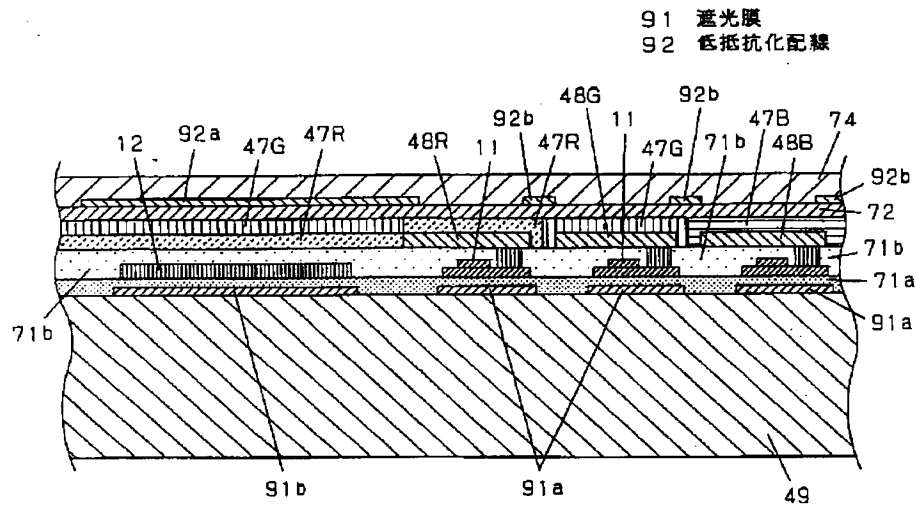
81 エッジ保護膜



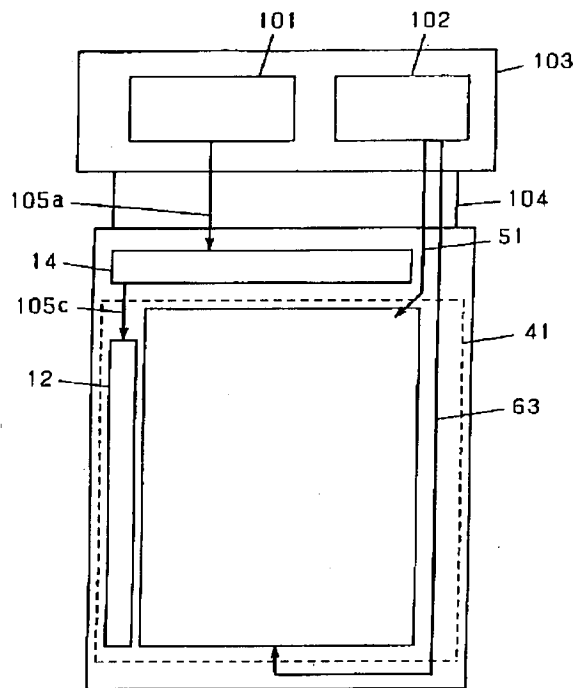
【図17】



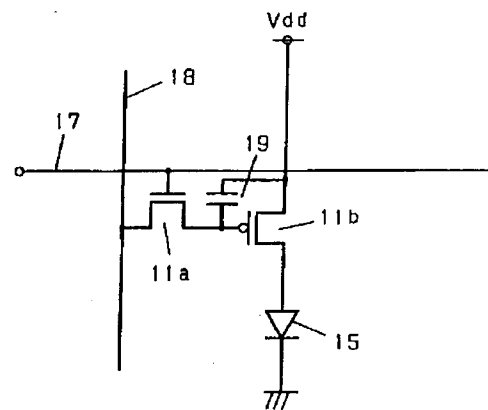
【図9】



【図11】



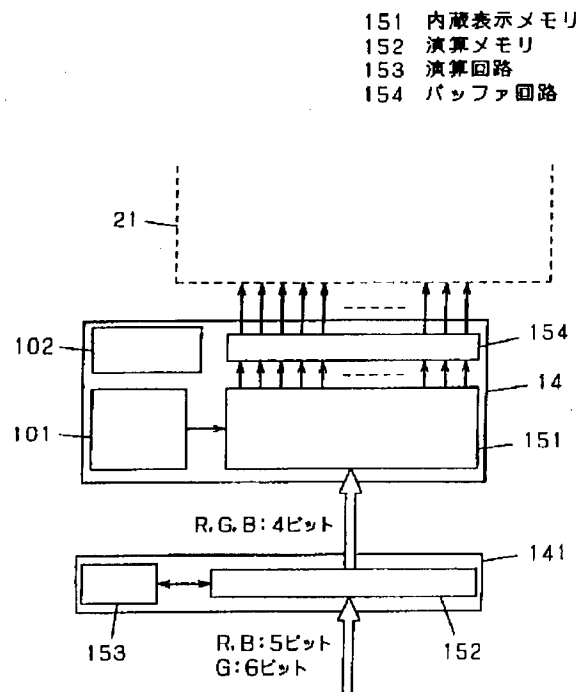
【図12】



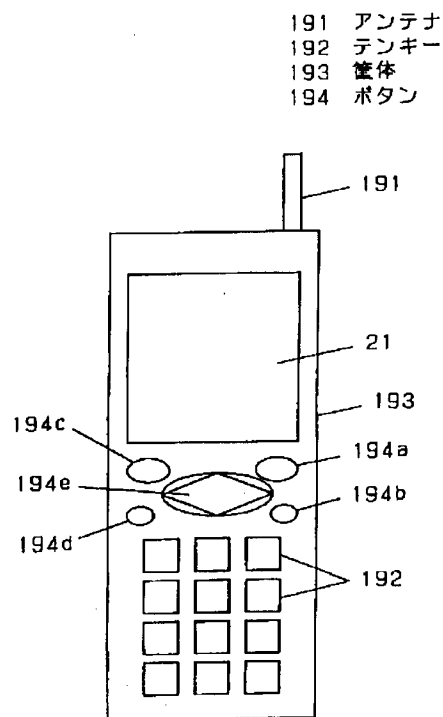
【図16】

形式	ビットレンジ							
情報転送形式 Iフレーム	受信順序 番号			P		送信順序 番号		
	$2^2$	$2^1$	$2^0$			$2^2$	$2^1$	$2^0$
監視形式 Sフレーム	受信順序 番号			P/F		監視機能 ビット		
	$2^2$	$2^1$	$2^0$			S	0	1
非番号制形式 Uフレーム	修飾機能 ビット			M		P/F	修飾機能 ビット	M
							1	1

【図 15】

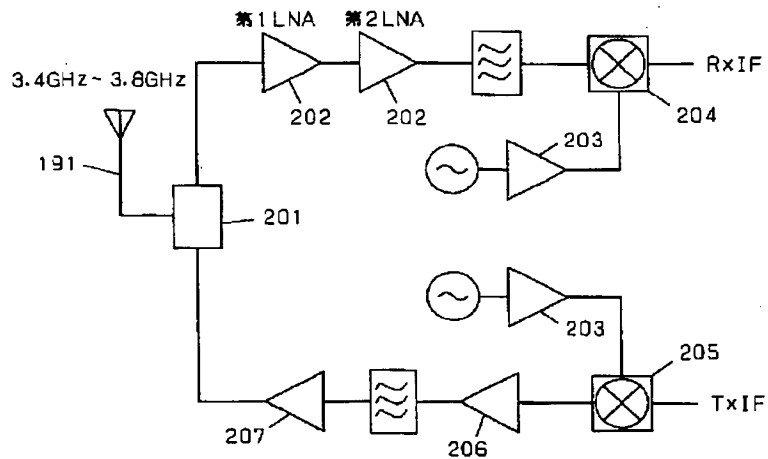


【圖 19】

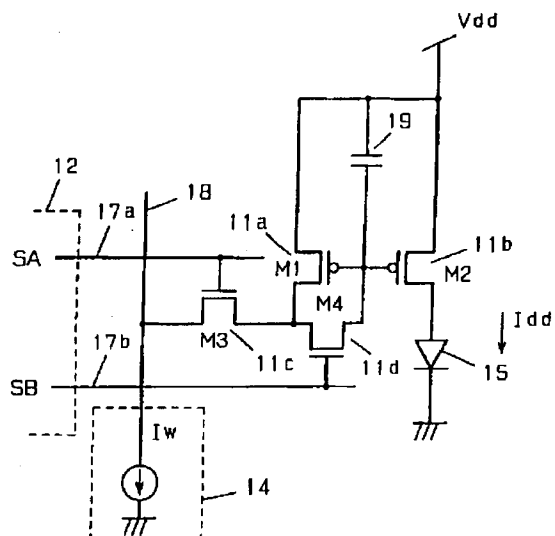


【図20】

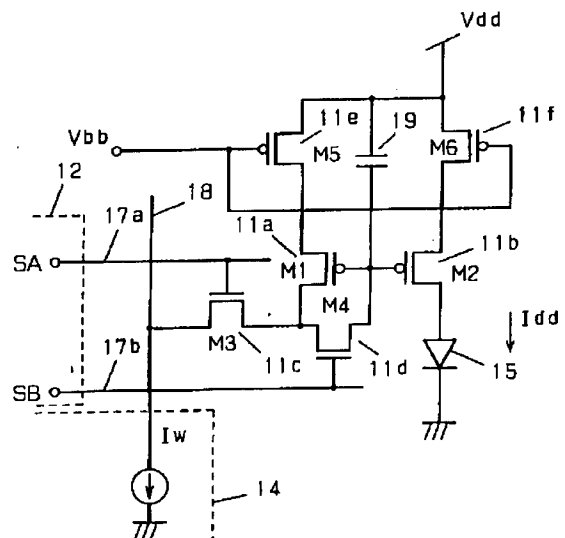
201 デュプレクサ    204 ダウンコンバータ    206 PAブリッドライバ  
 202 LNA    205 アップコンバータ    207 PA  
 203 LOバッファ



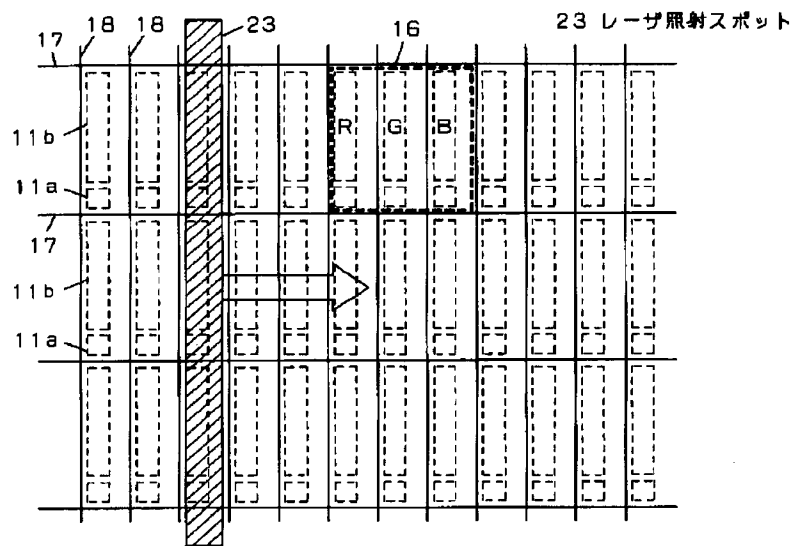
【図21】



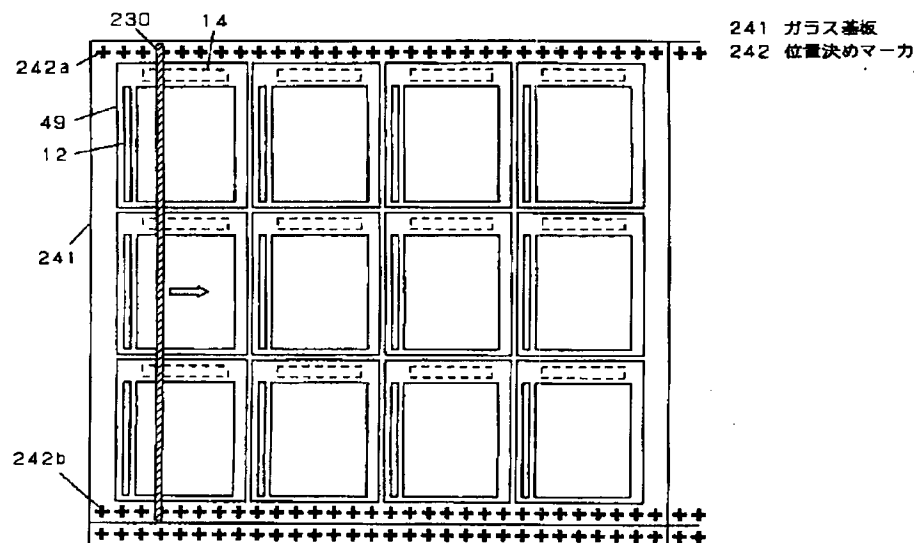
【図22】



【図23】

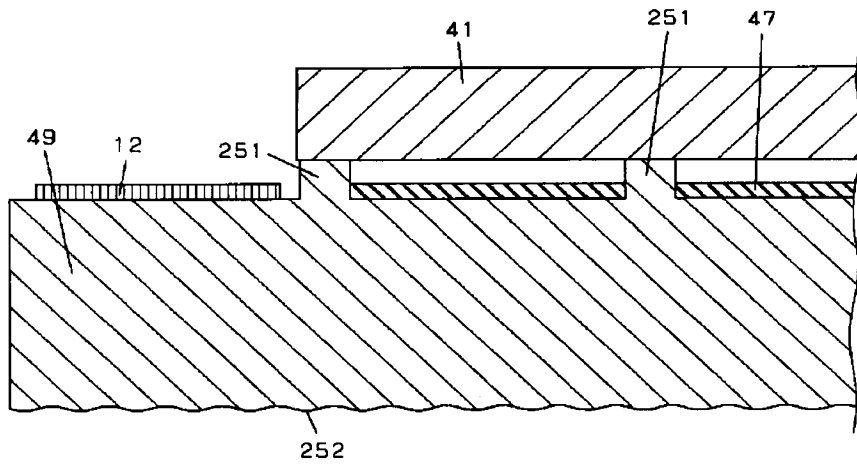


【図24】

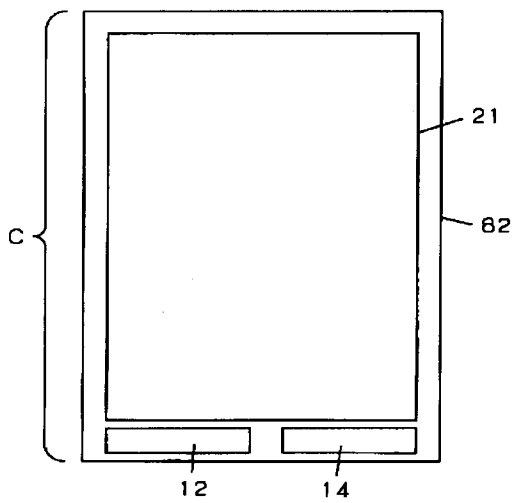


【図25】

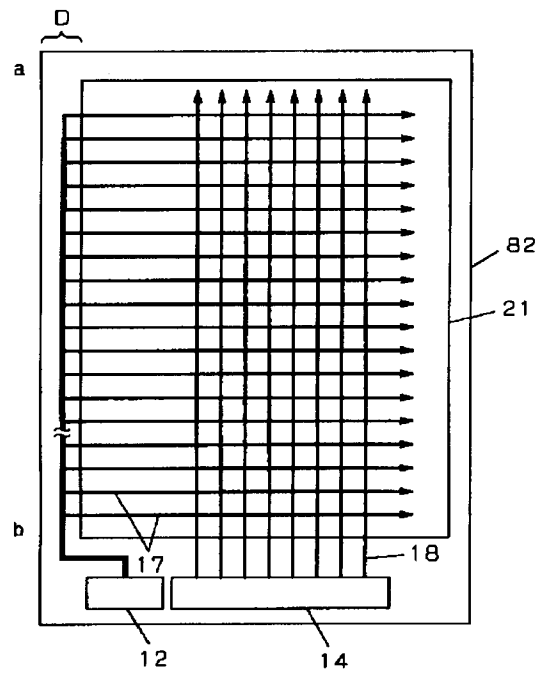
251 凸部  
252 凹凸部（エンボス加工部）



【図26】

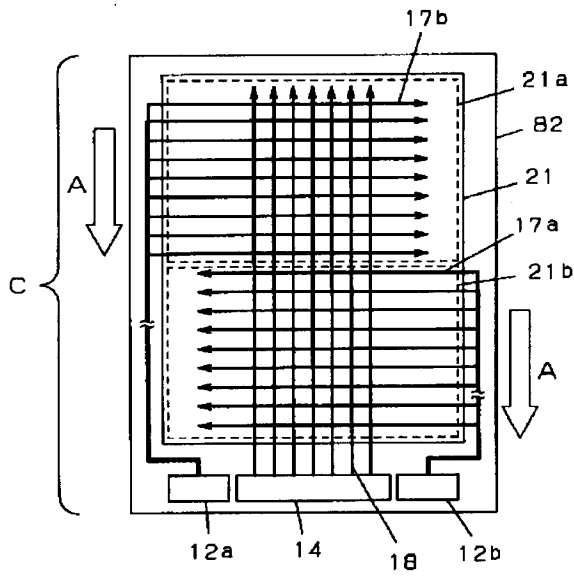


【図27】

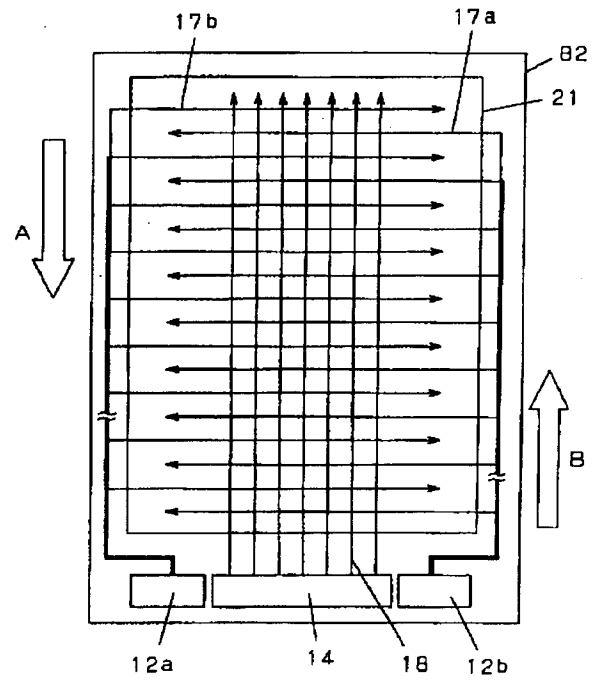




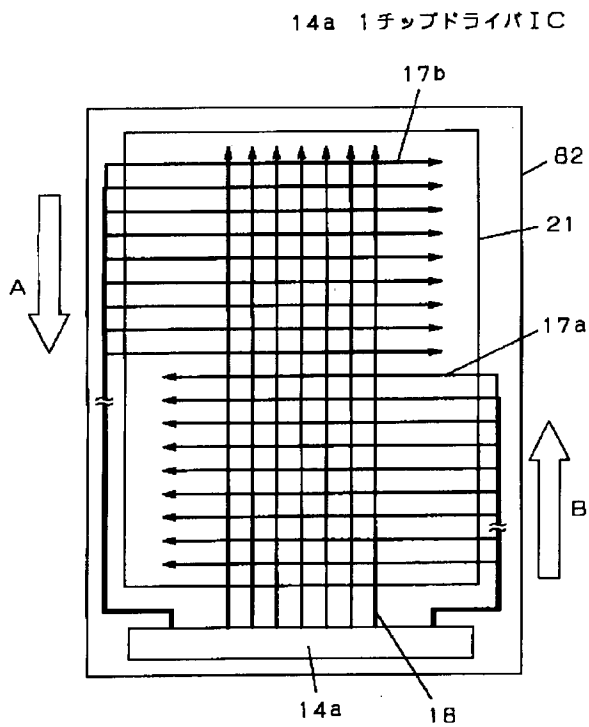
【図28】



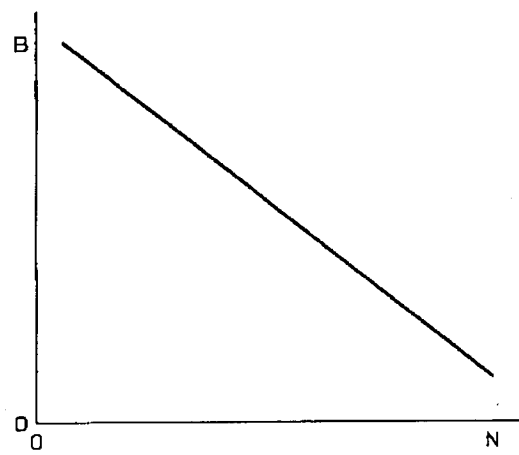
【図29】



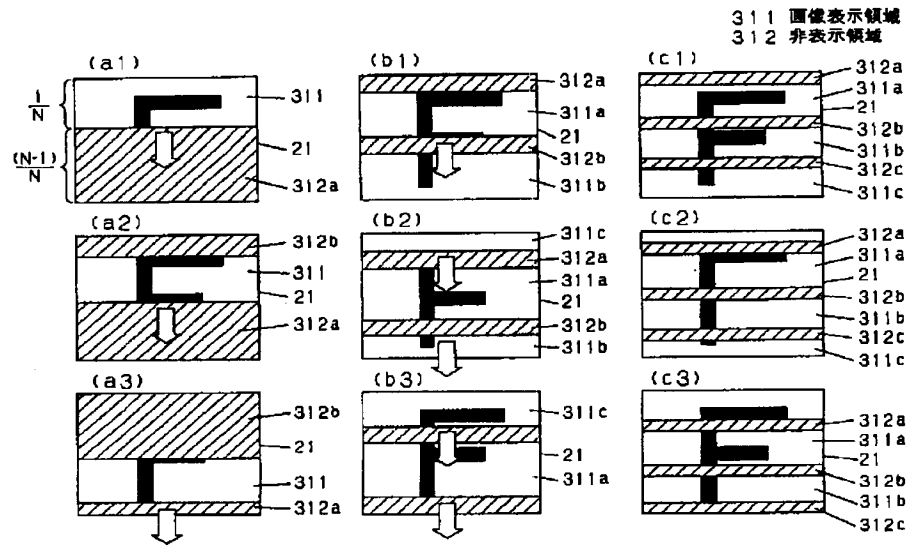
【図30】



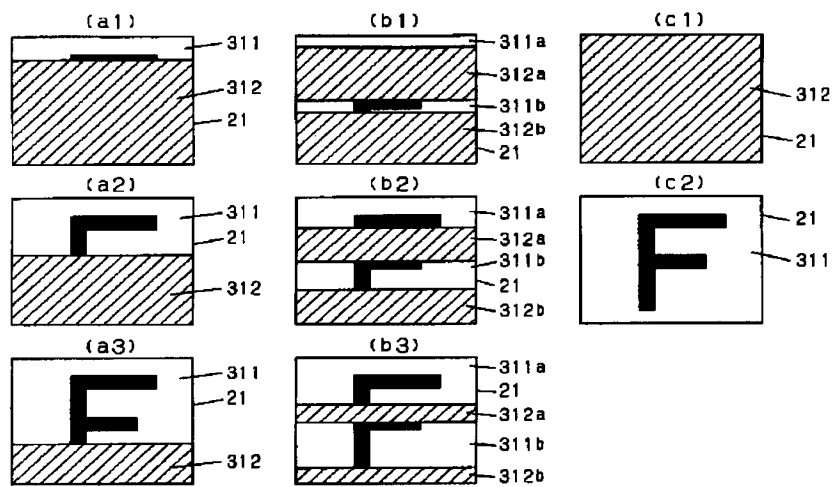
【図34】



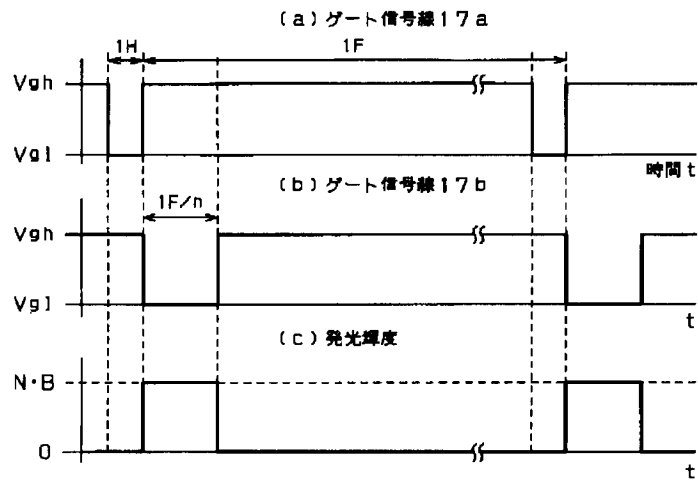
【図31】



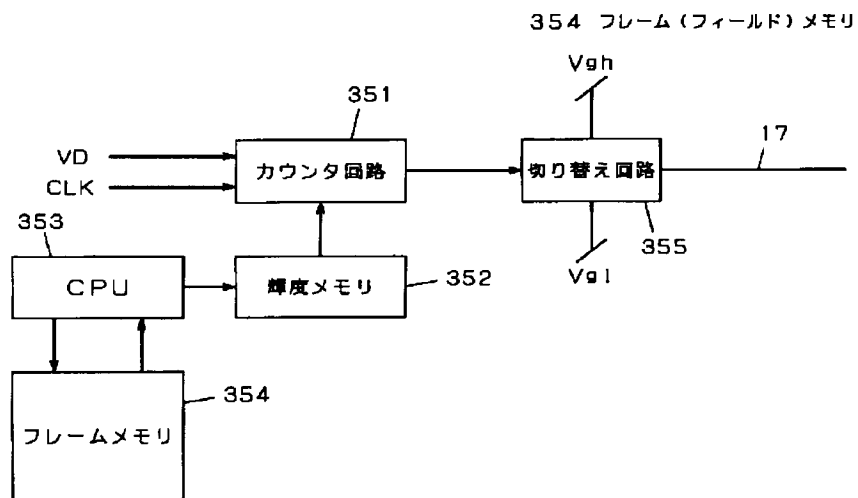
【図32】



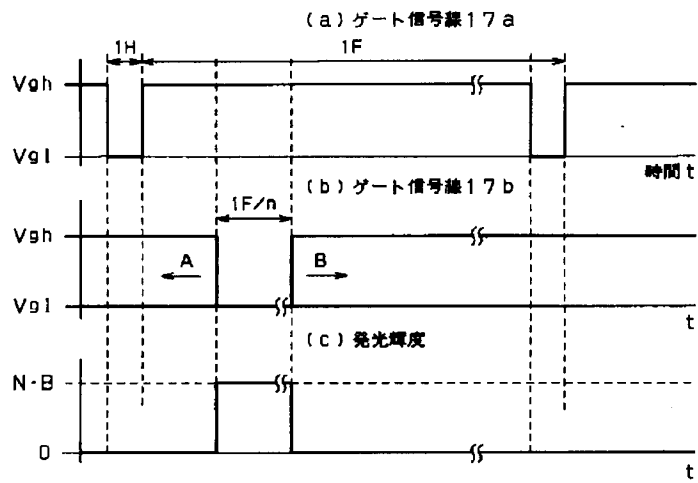
【図33】



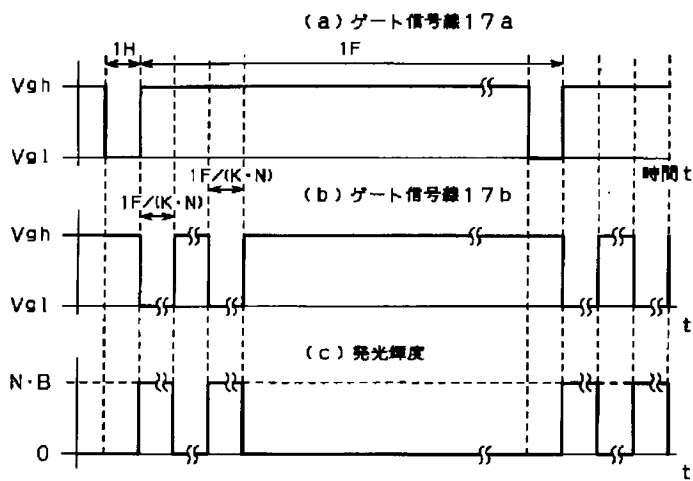
【図35】



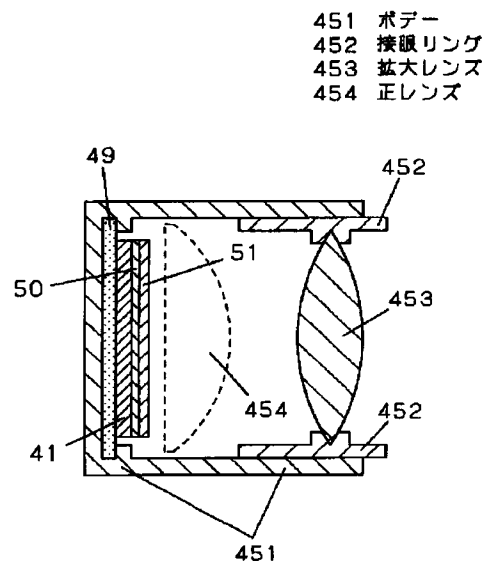
【図36】



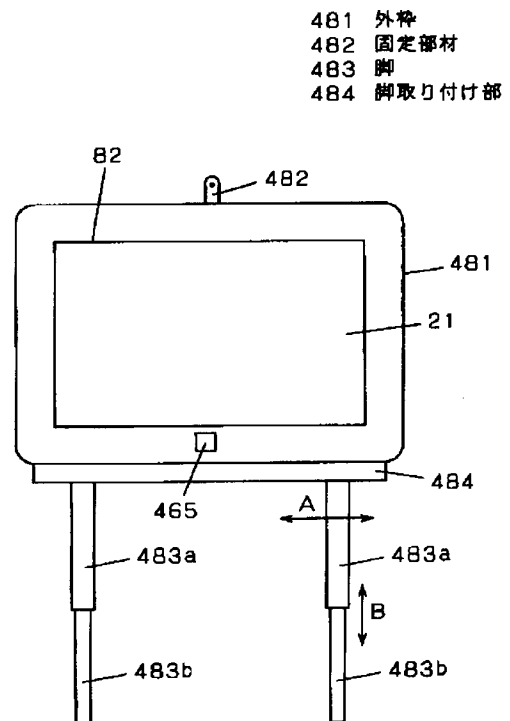
【図37】



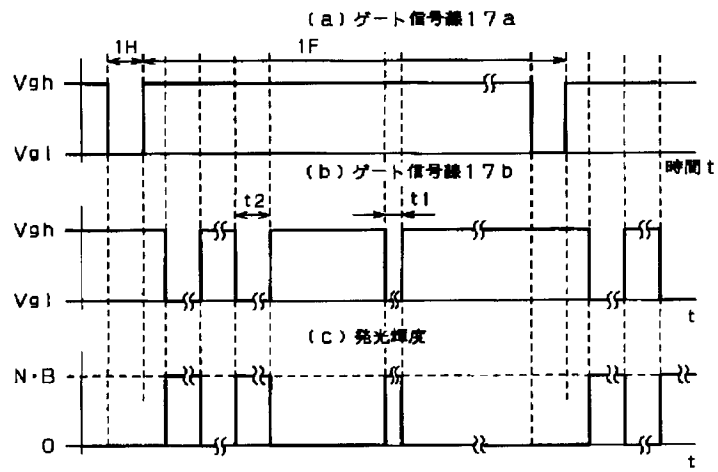
【図45】



【図48】

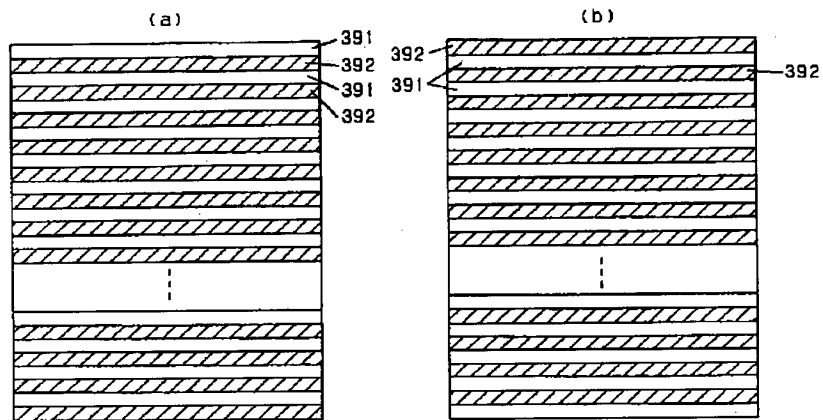


【図38】

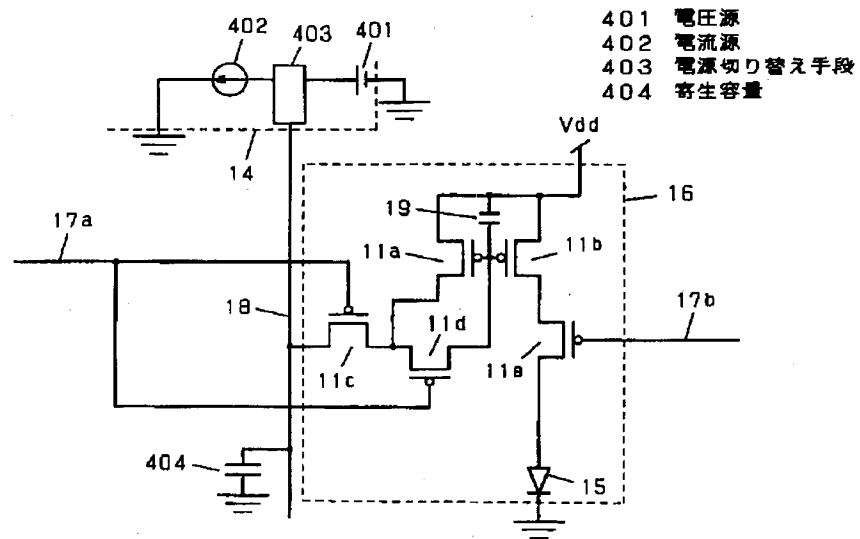


【図39】

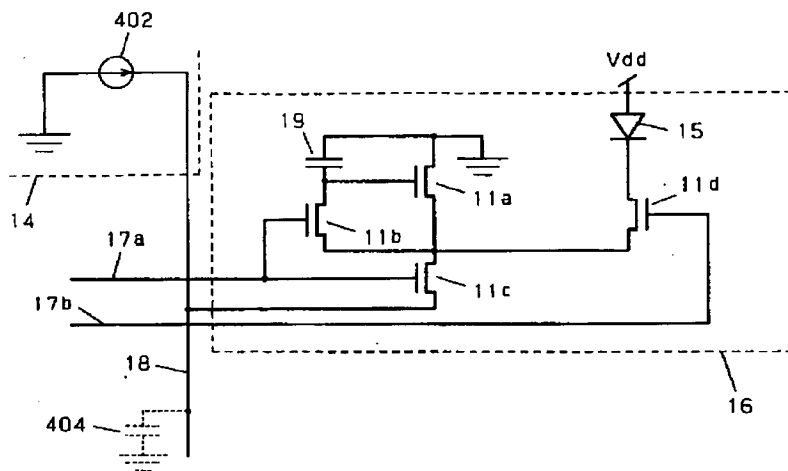
391 書き込み画素行  
392 保持画素行



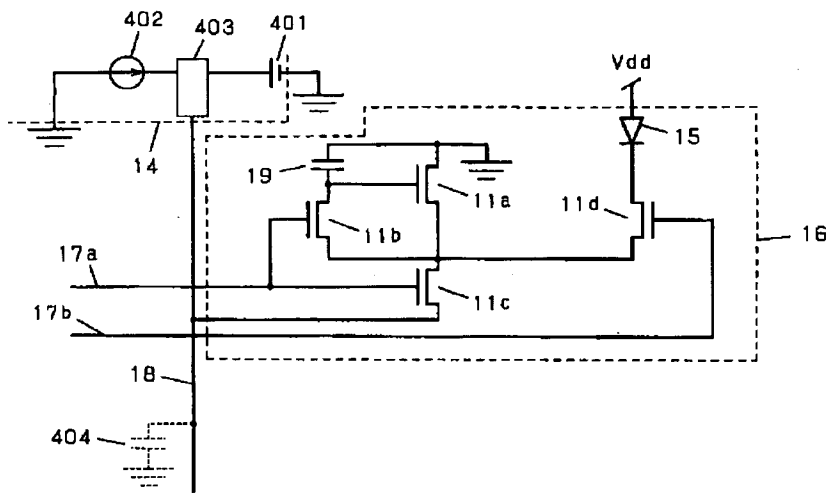
【図40】



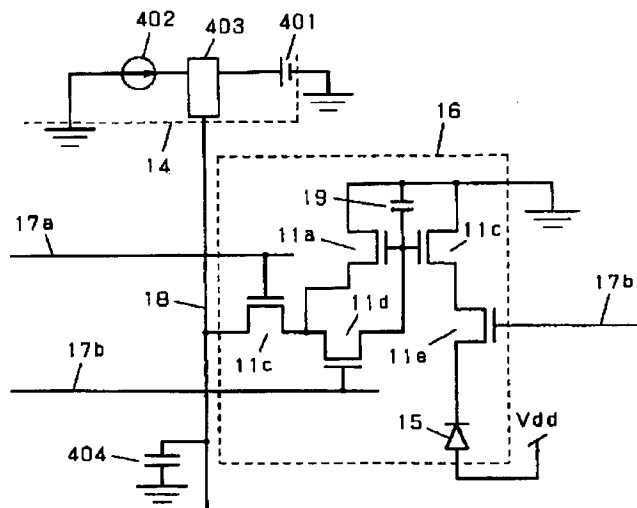
【図41】



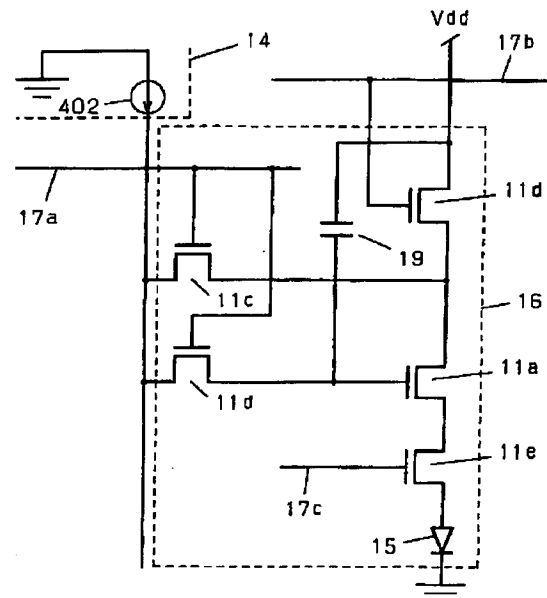
【図42】



【図43】

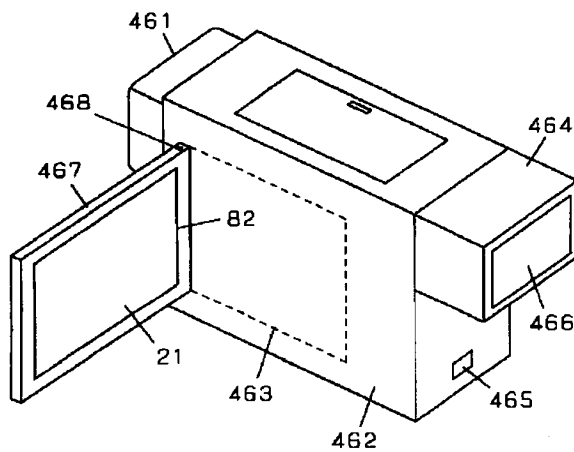


【図44】



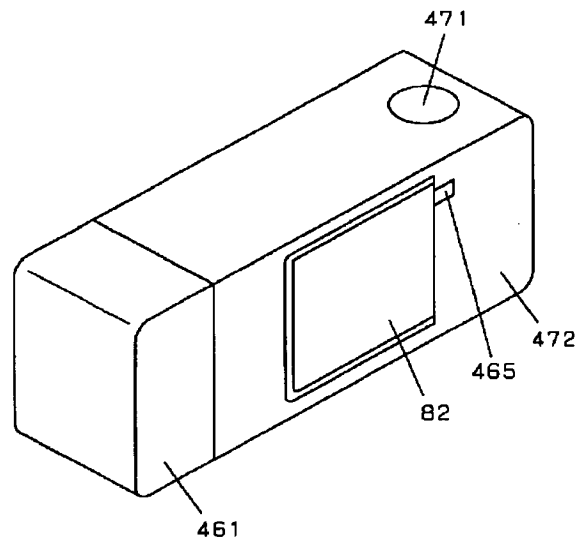
【図46】

- 461 撮影レンズ
- 462 ビデオカメラ本体
- 463 格納部
- 464 接眼カバー
- 465 表示モード切り換えスイッチ
- 466 ビューファインダ
- 467 蓋
- 468 支点



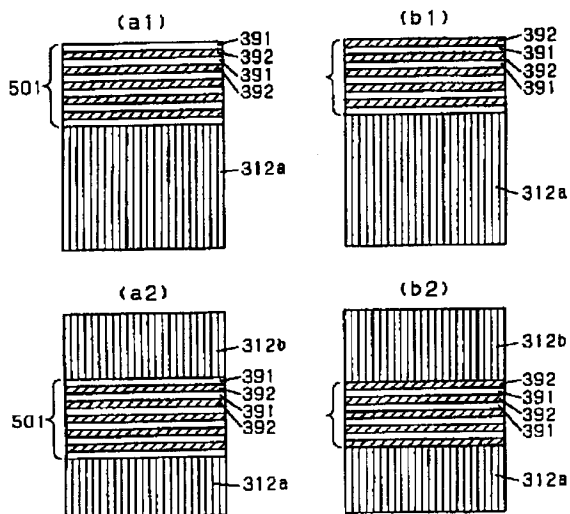
【図47】

- 471 シャッター
- 472 デジタルカメラ本体

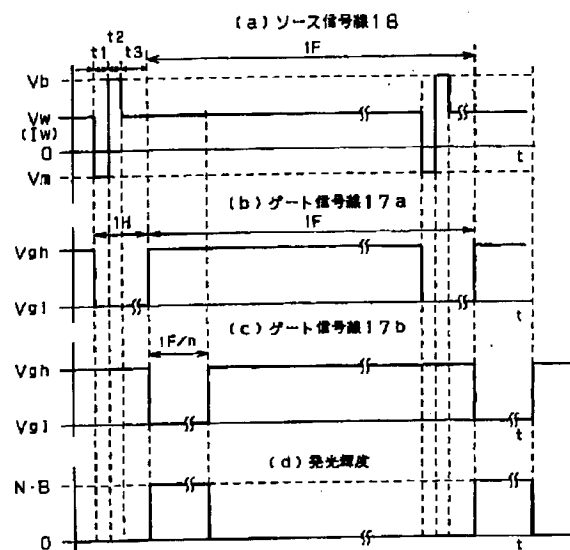


【図50】

501 走査領域

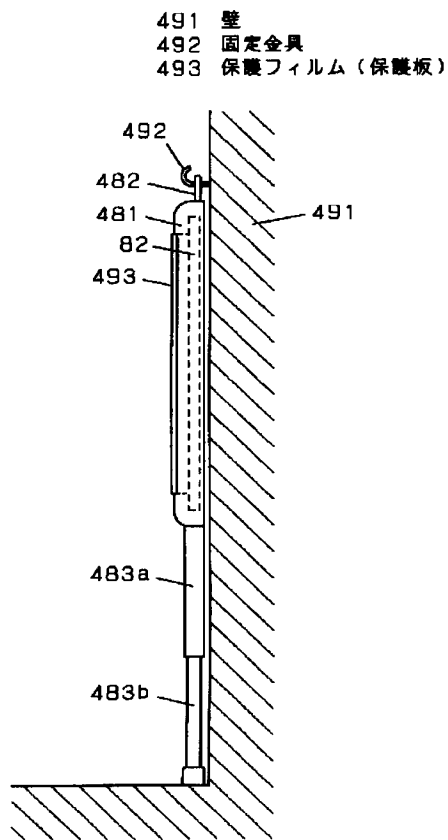


【図51】

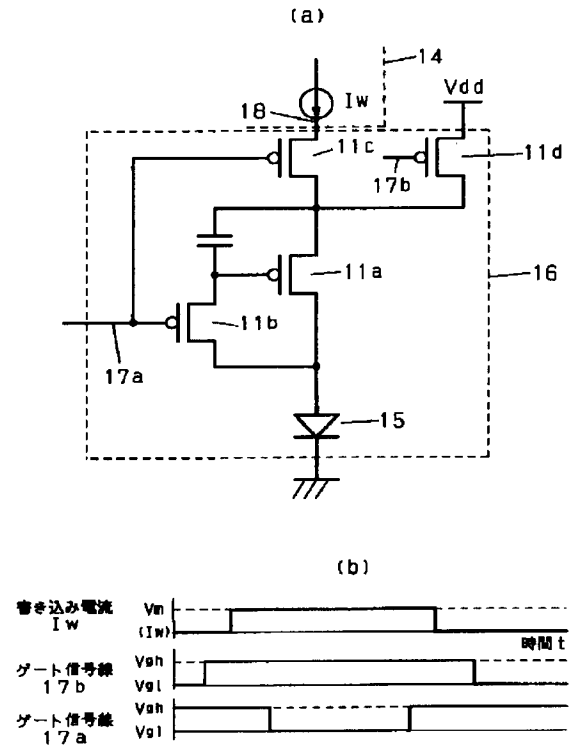




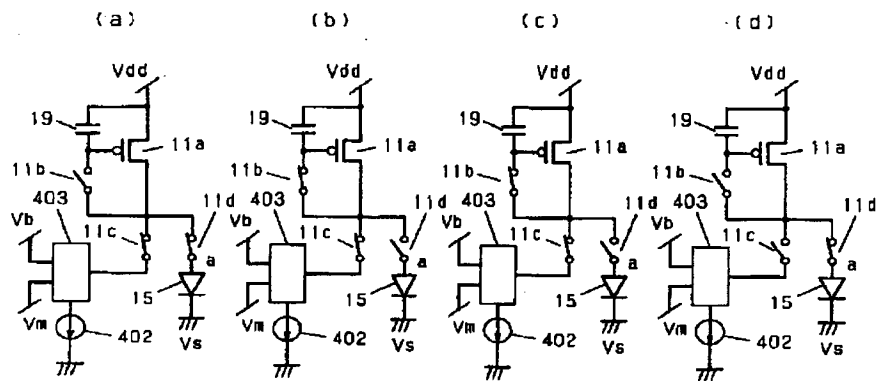
【図49】



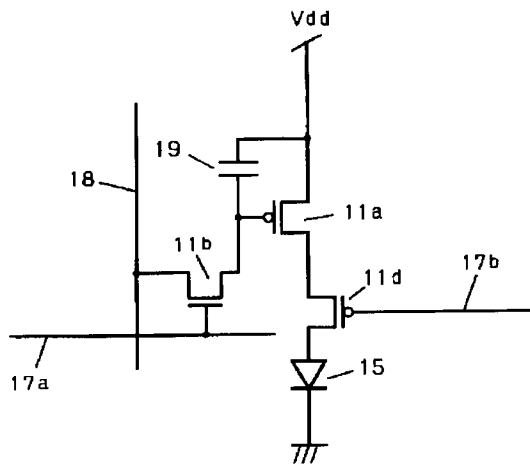
【図53】



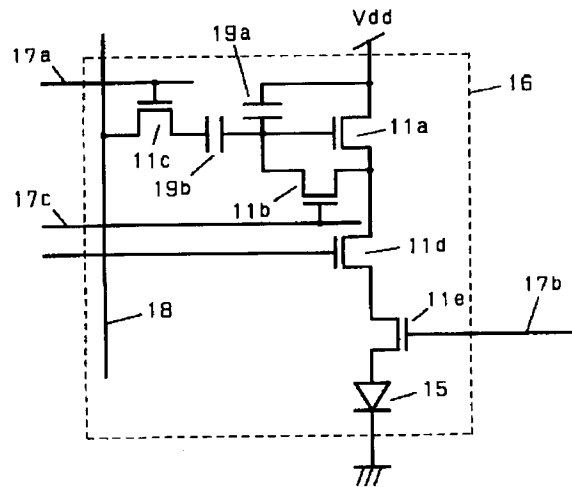
【図52】



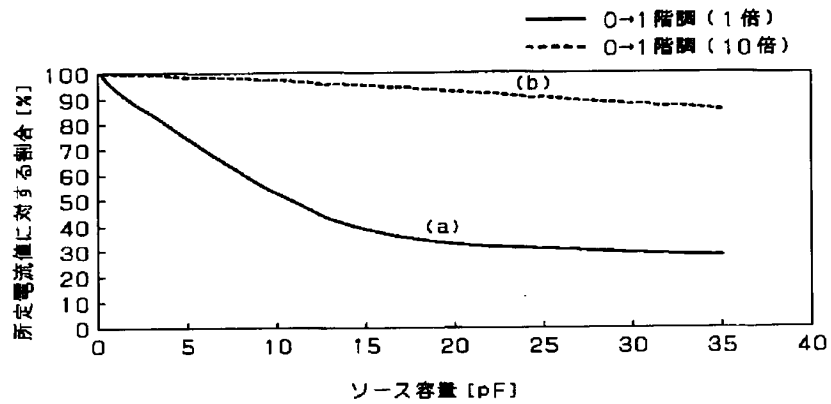
【図54】



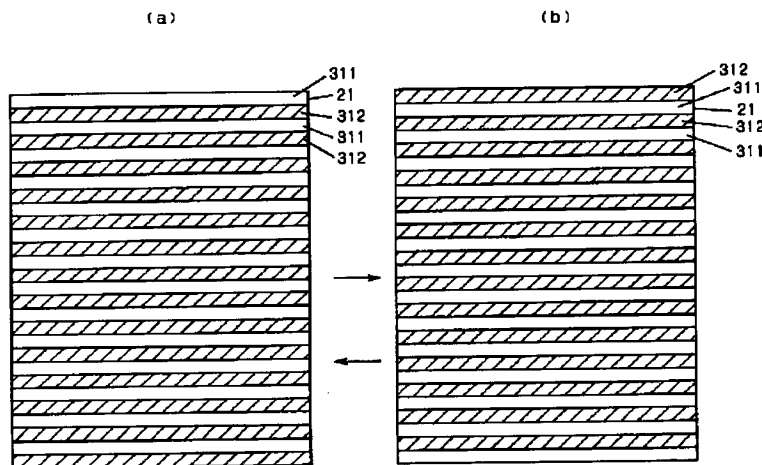
【図67】



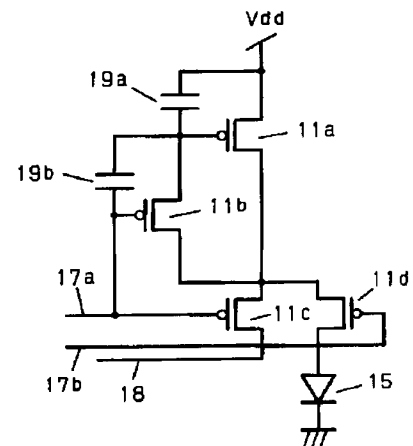
【図55】



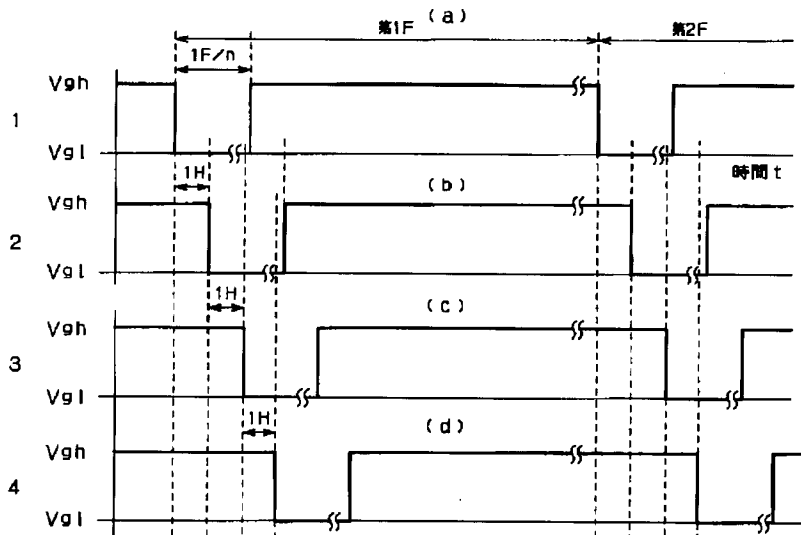
【図61】



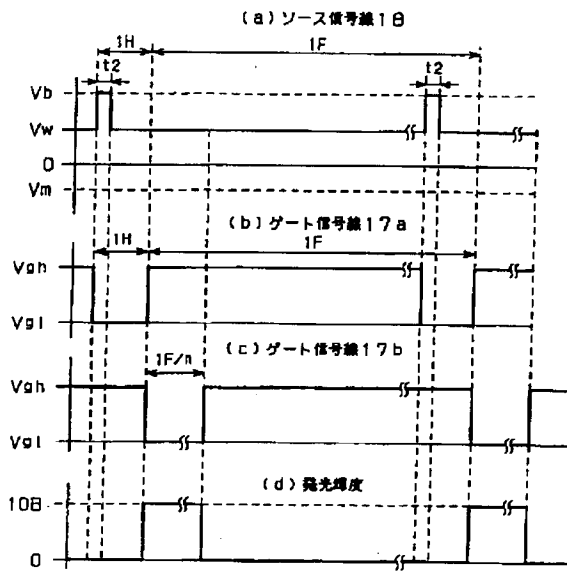
【図171】



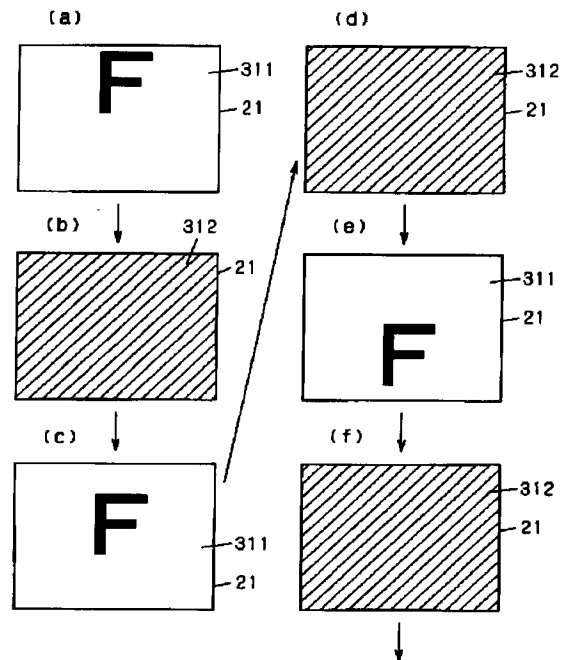
【図56】



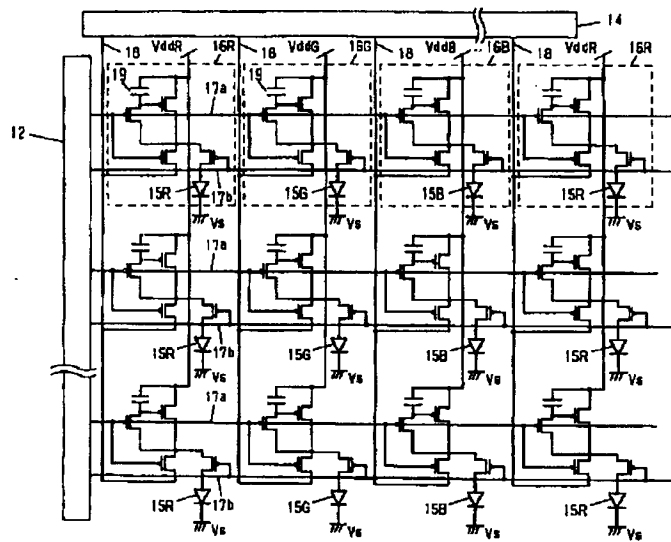
【図57】



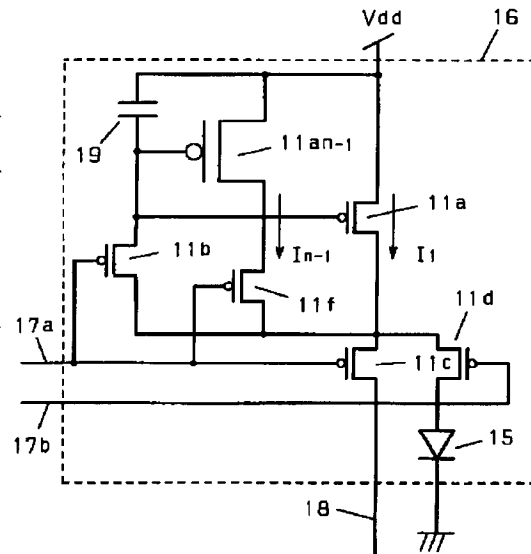
【図64】



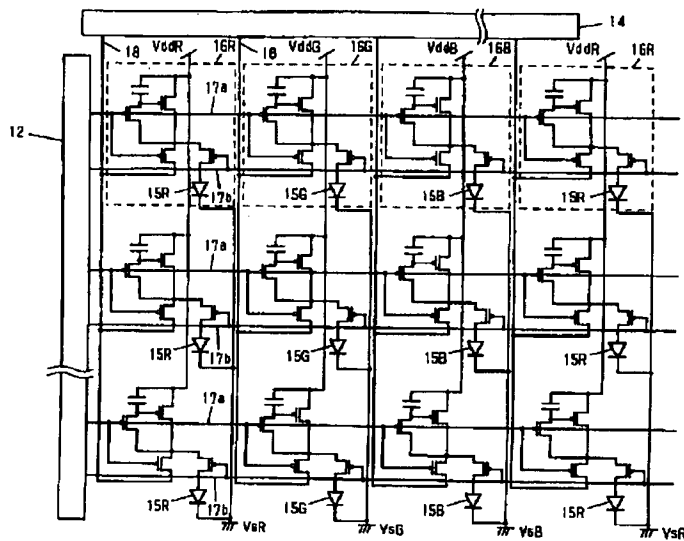
【図58】



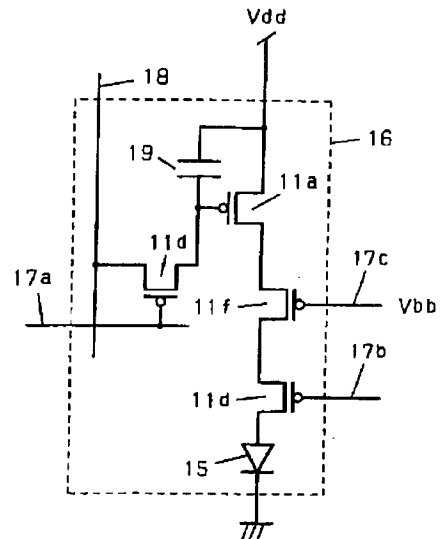
【図69】



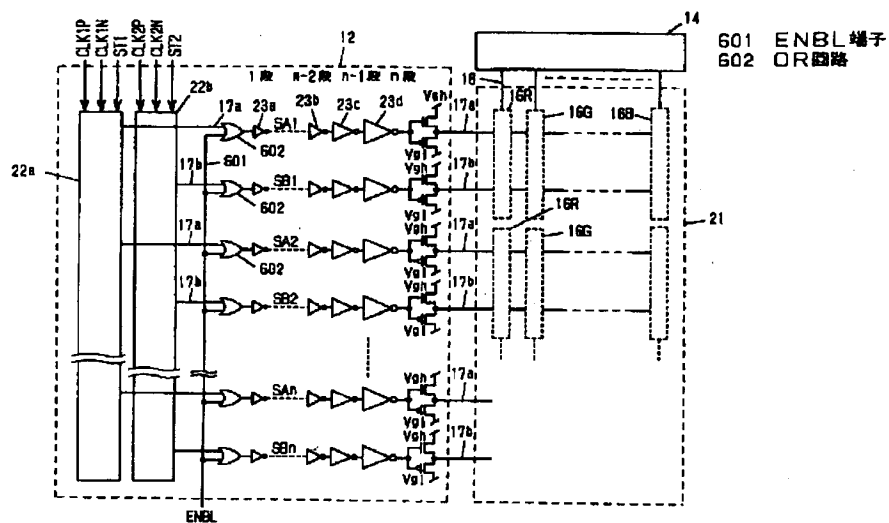
【図59】



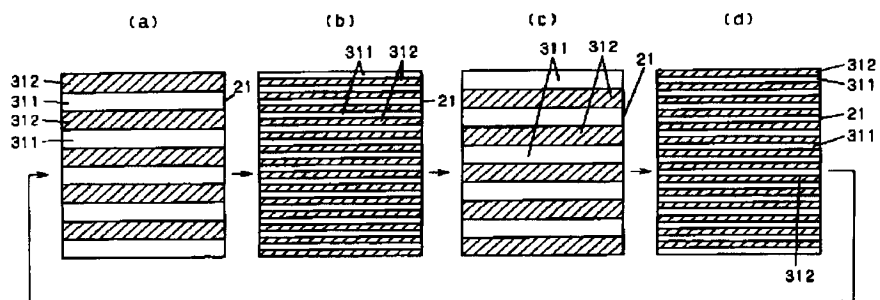
【図77】



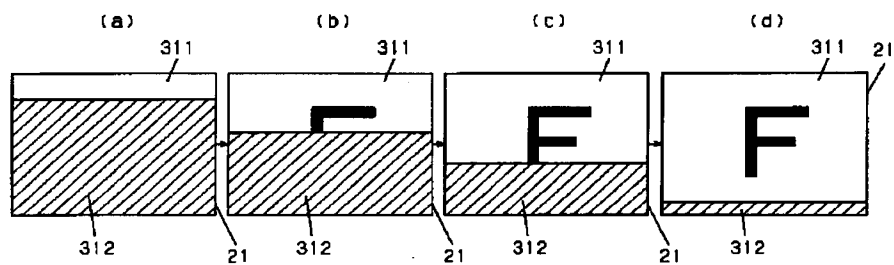
【図60】



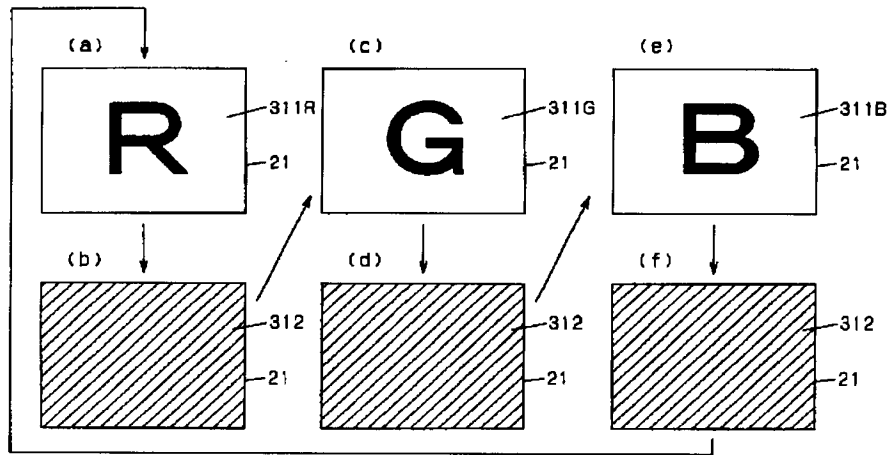
【图 6 2】



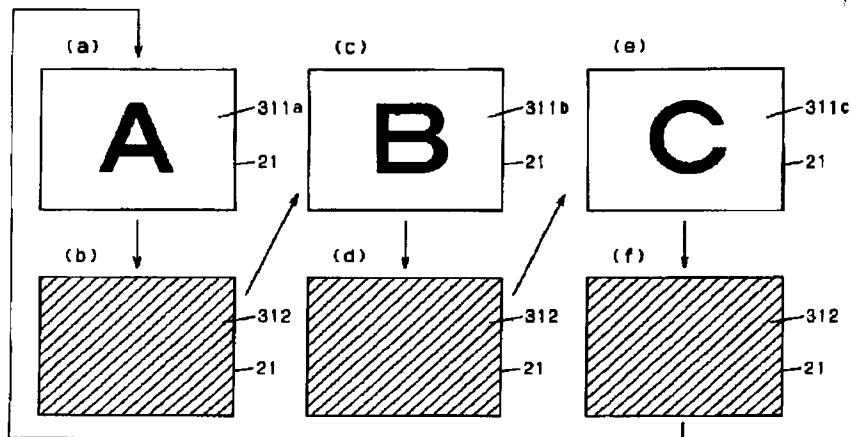
【图 6 3】



【図65】

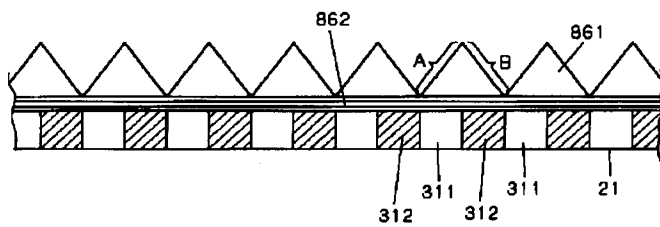


【図66】

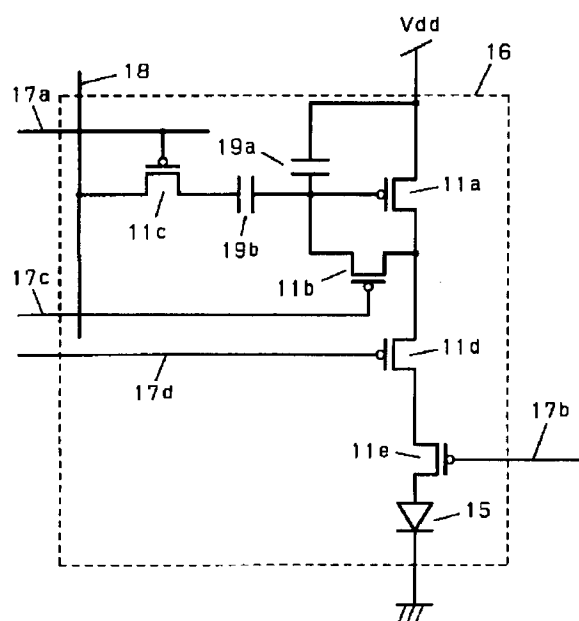


【図86】

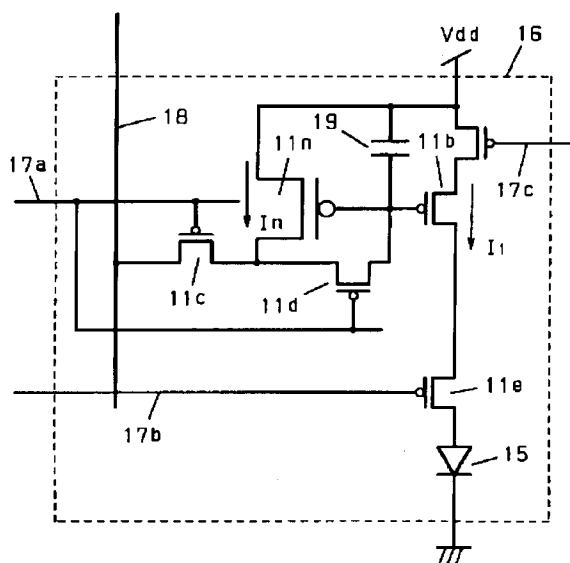
861 プリズム  
862 光結合材



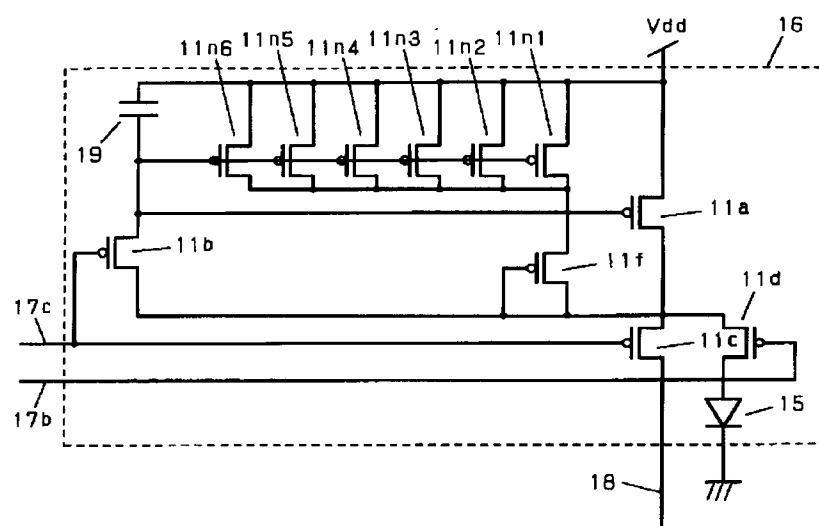
【図68】



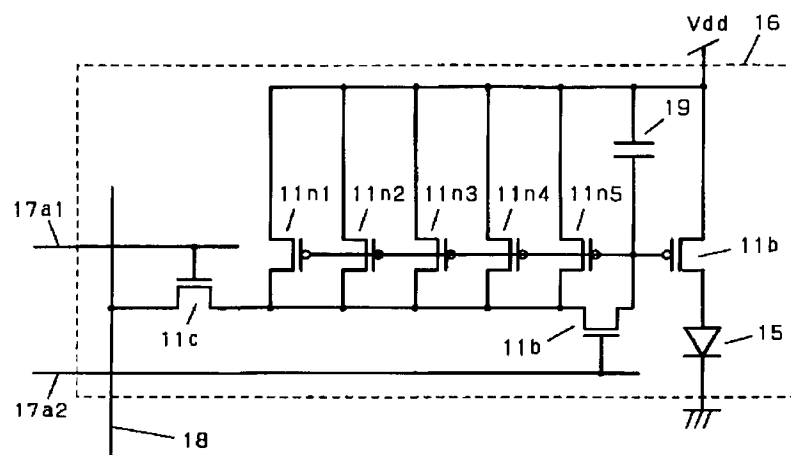
【図71】



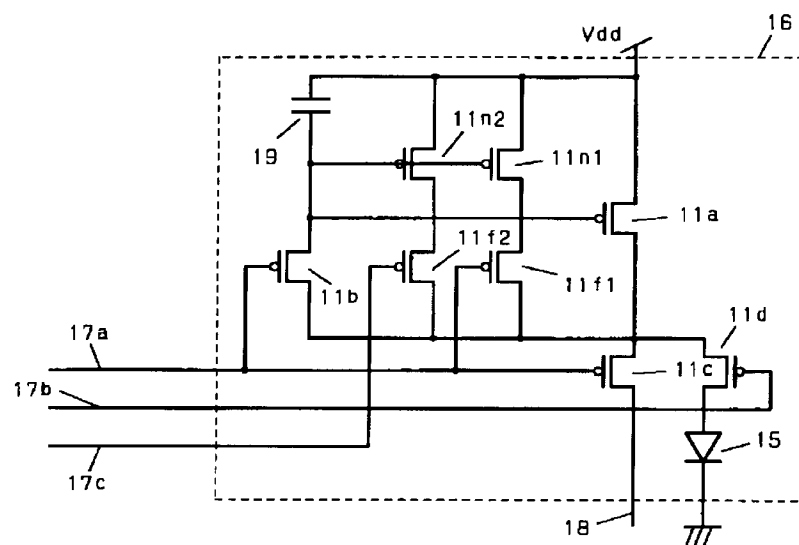
【図70】



【図72】

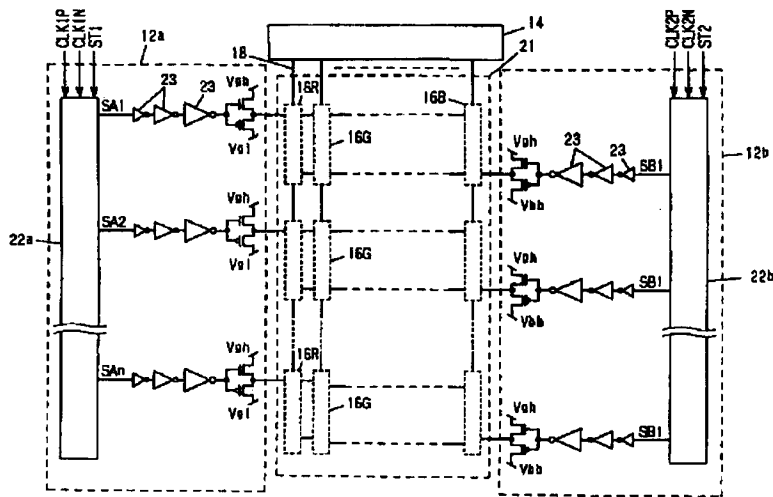


【図73】

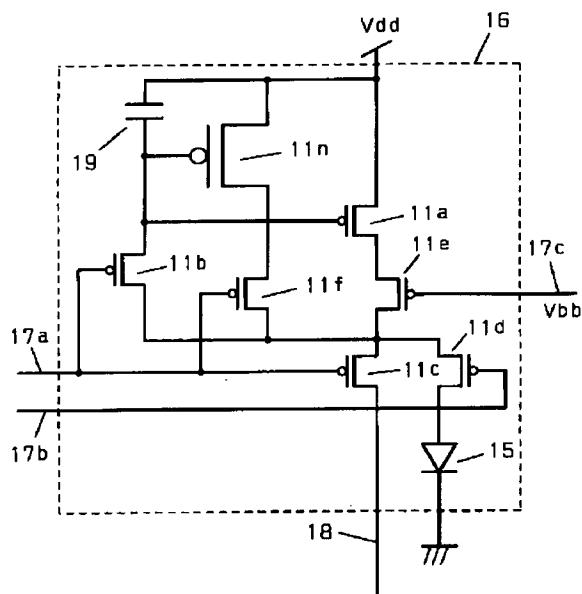




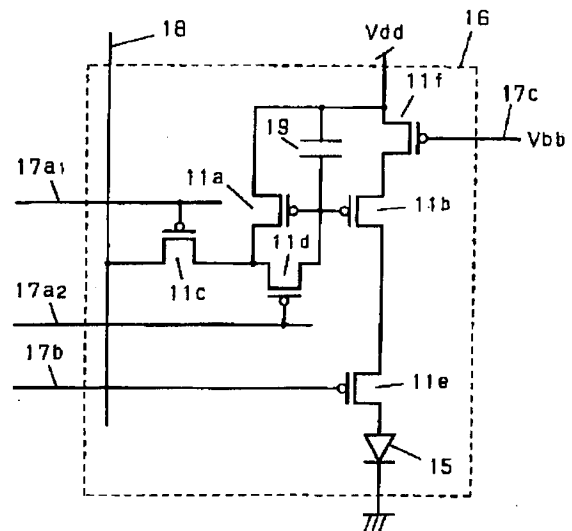
【図74】



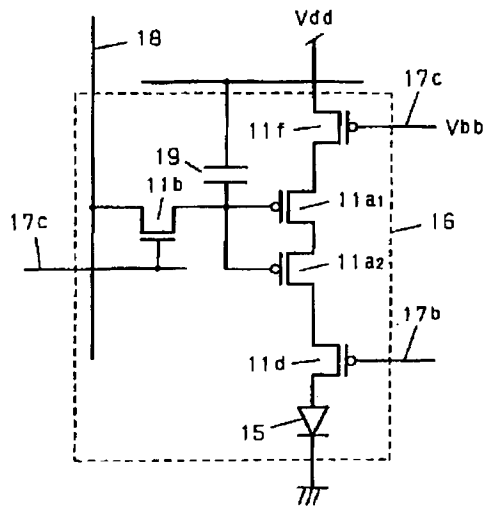
【図75】



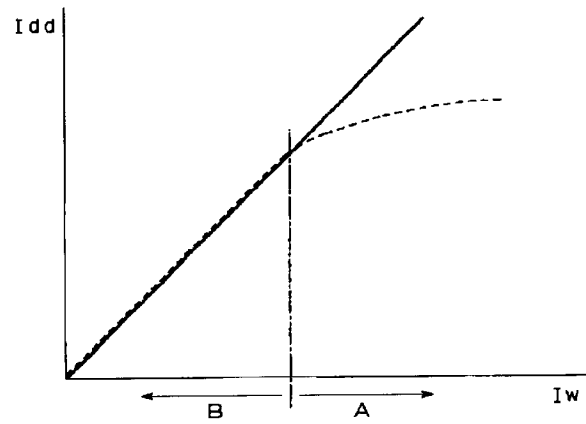
【図76】



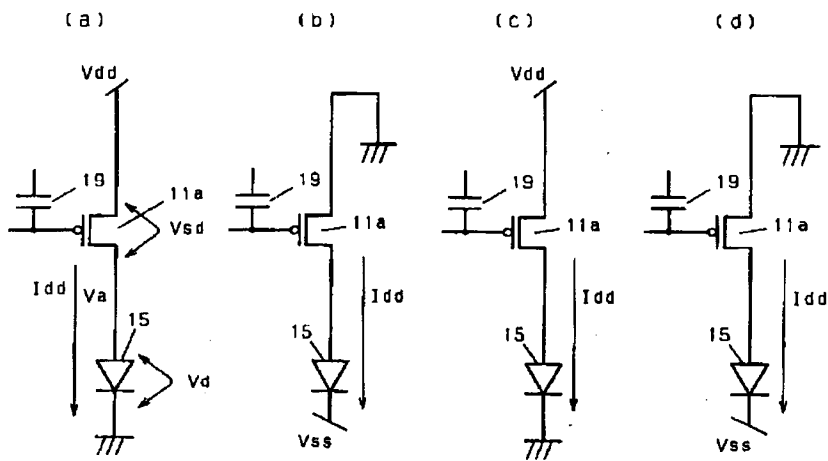
【図78】



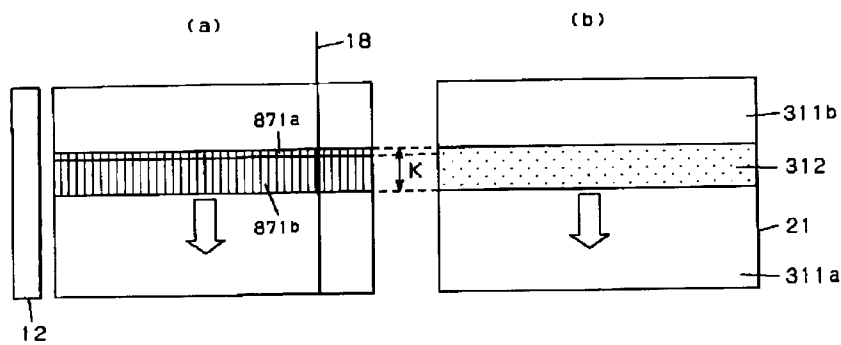
【図81】



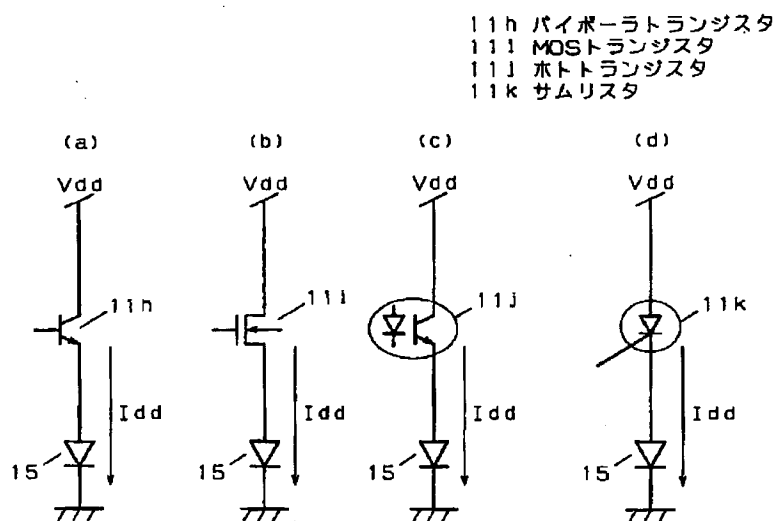
【図79】



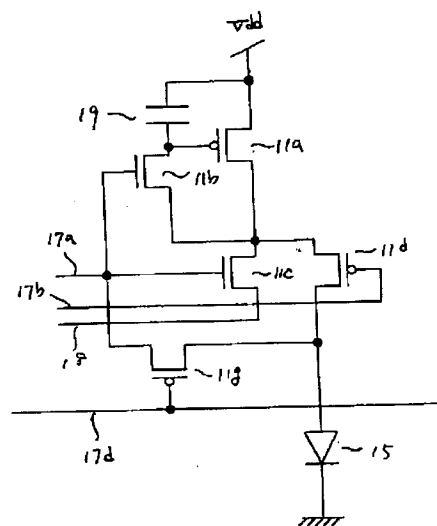
【図88】



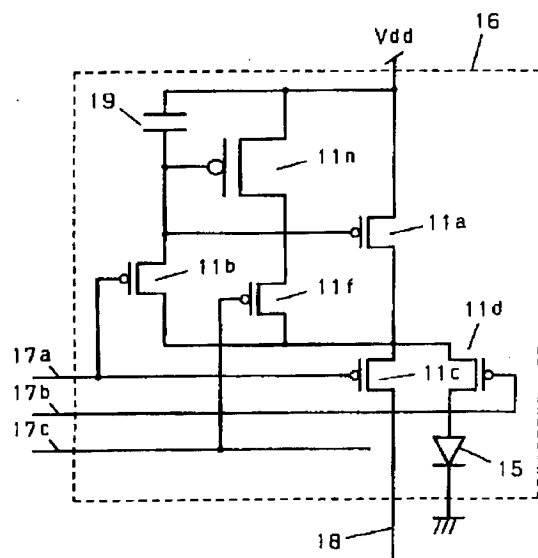
【図80】



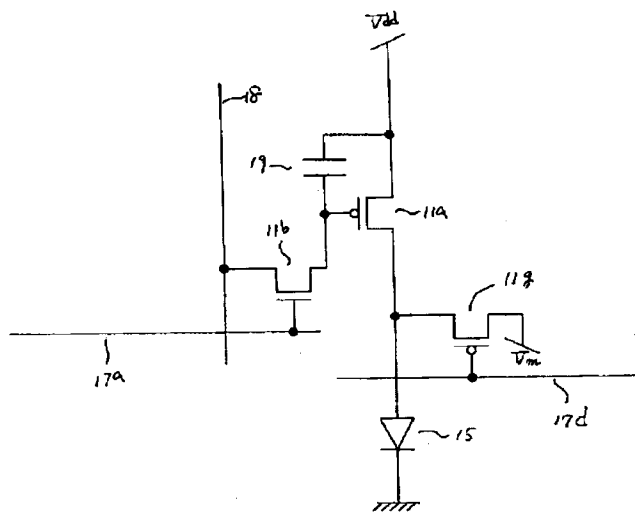
【図93】



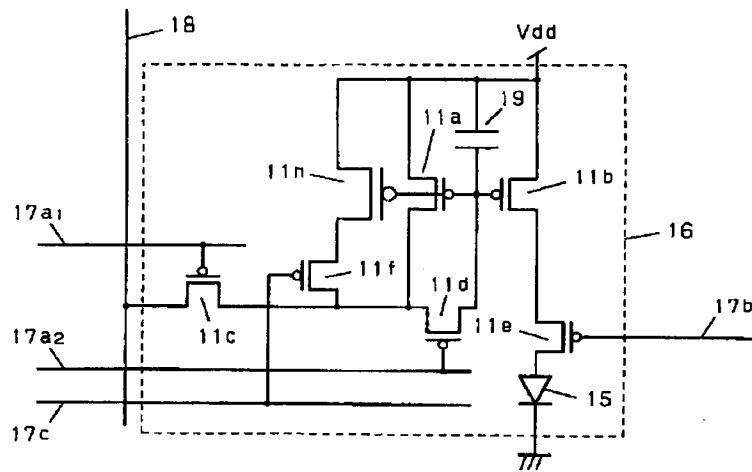
【図82】



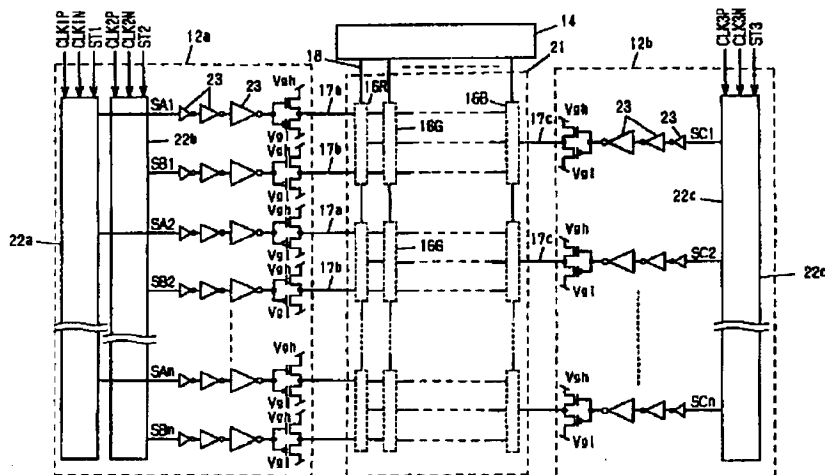
【図89】



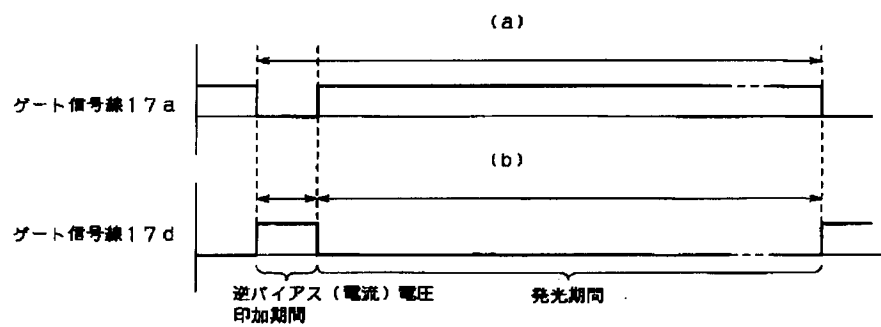
【図83】



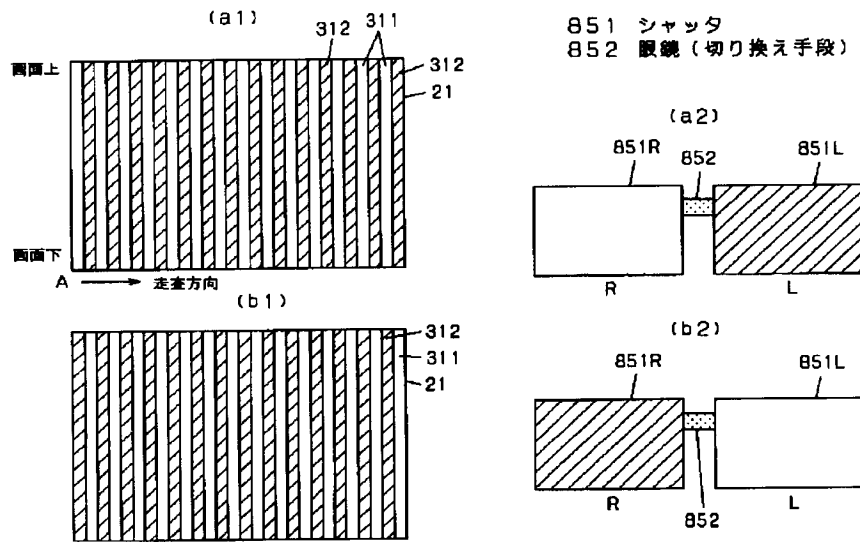
【図84】



【図98】

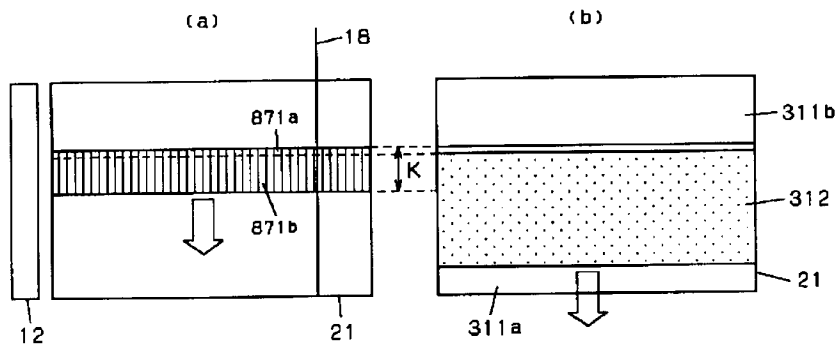


【図85】

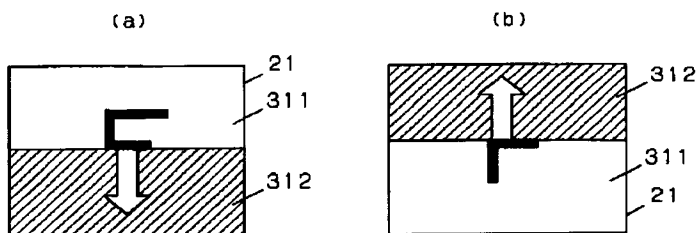


【図87】

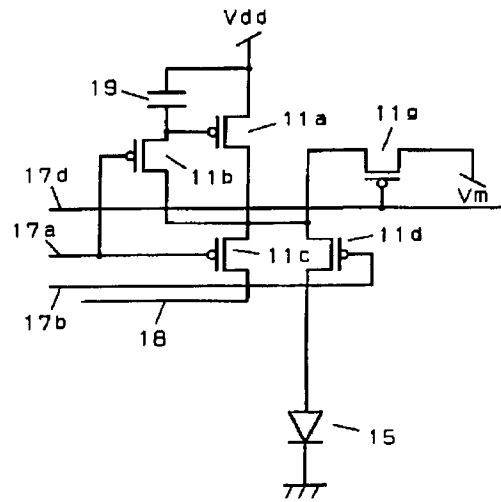
871 書き込み画素行



【図104】

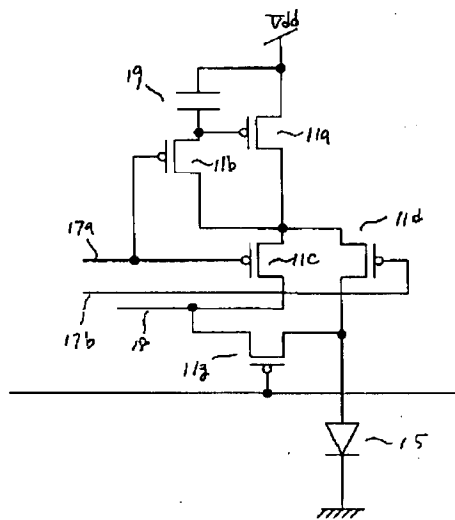


【図92】

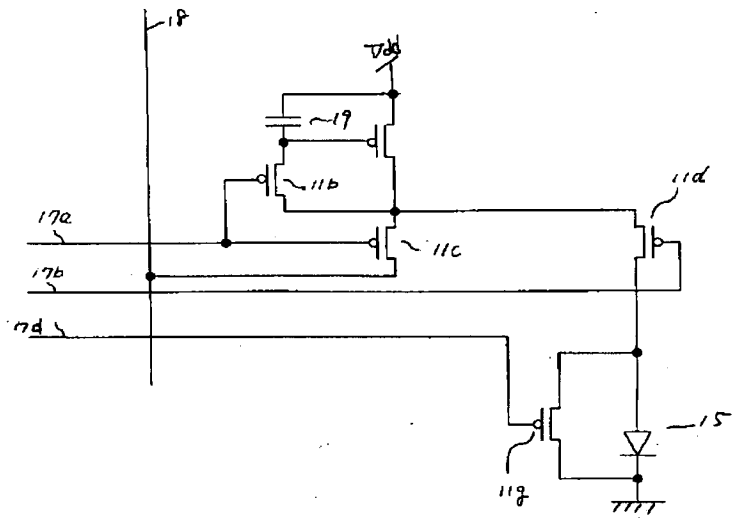


【図 9 1】

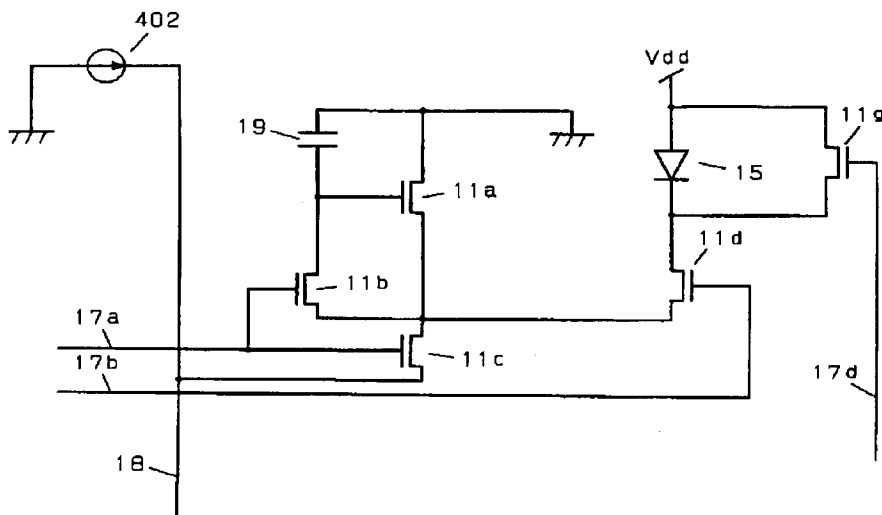
【図94】



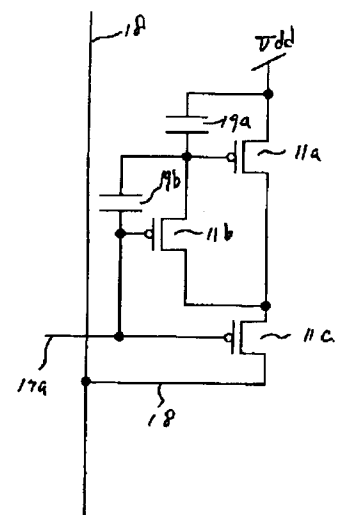
【図95】



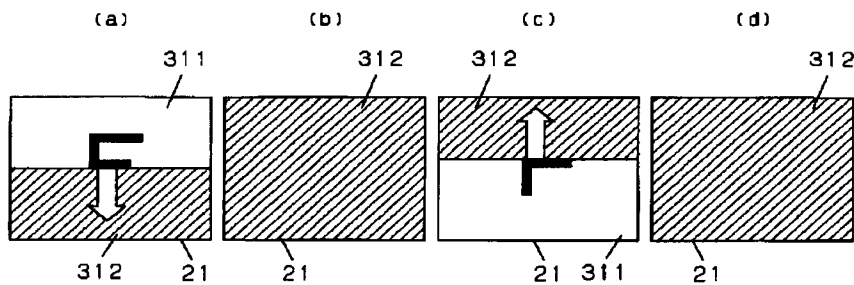
【図96】



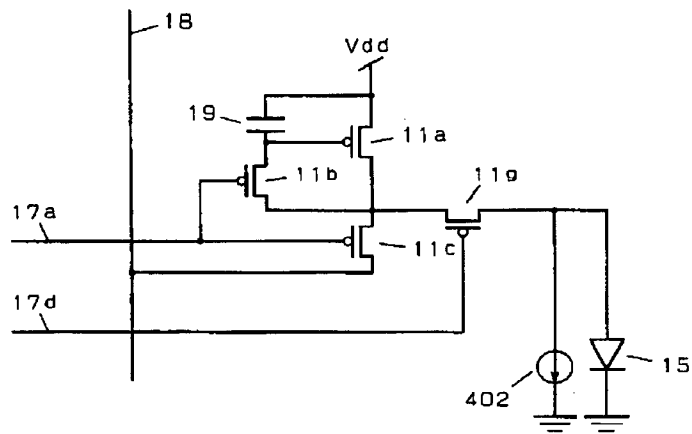
【図258】



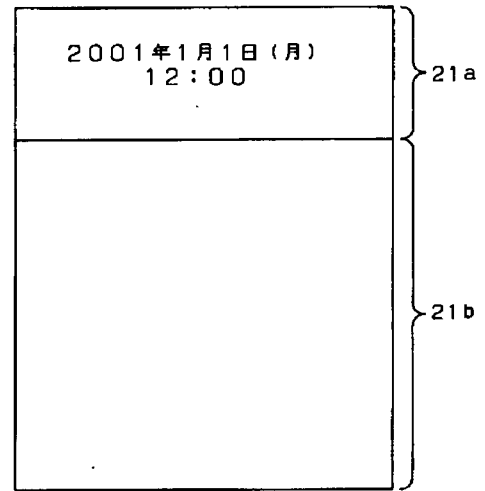
【図105】



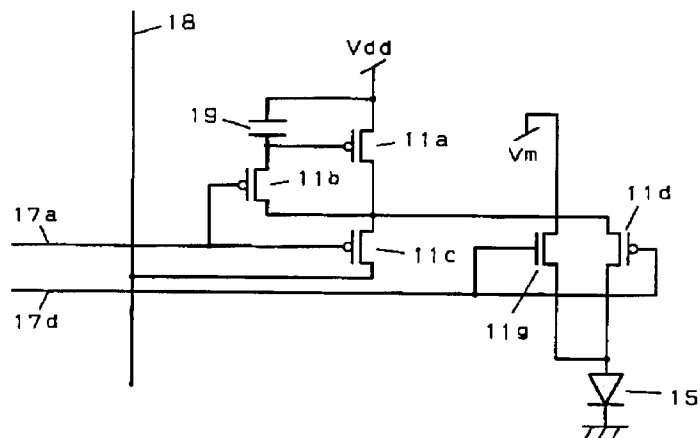
【図97】



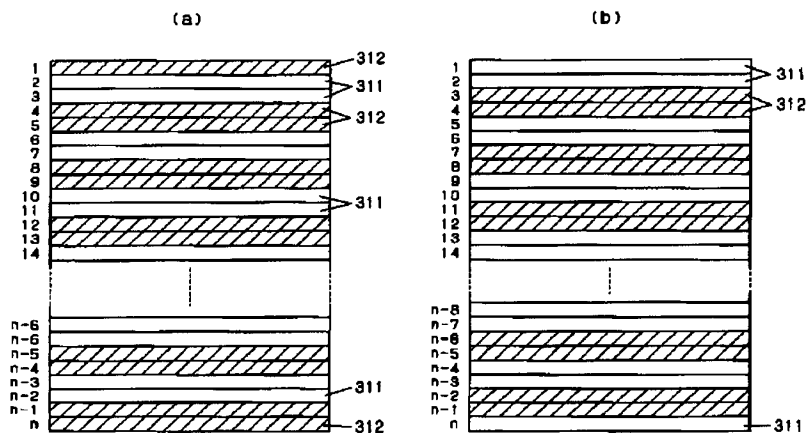
【図110】



【図99】

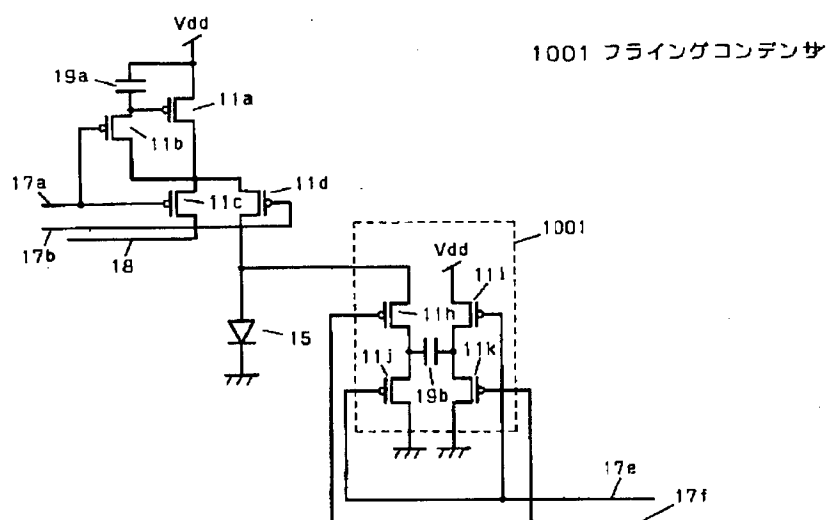


【図106】

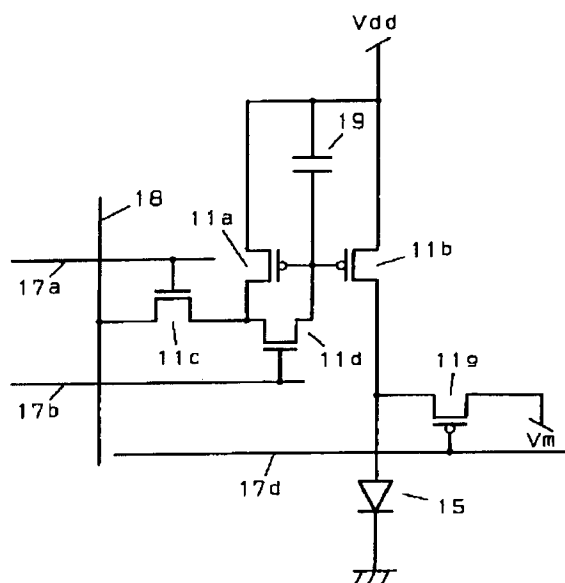




【図100】

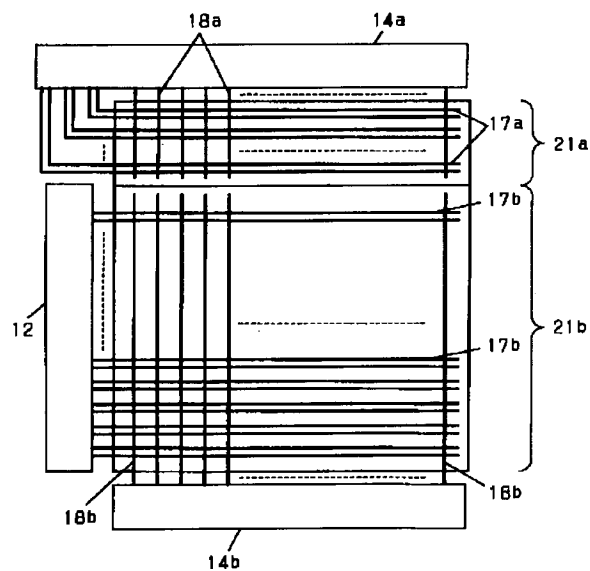


【図101】



【図111】

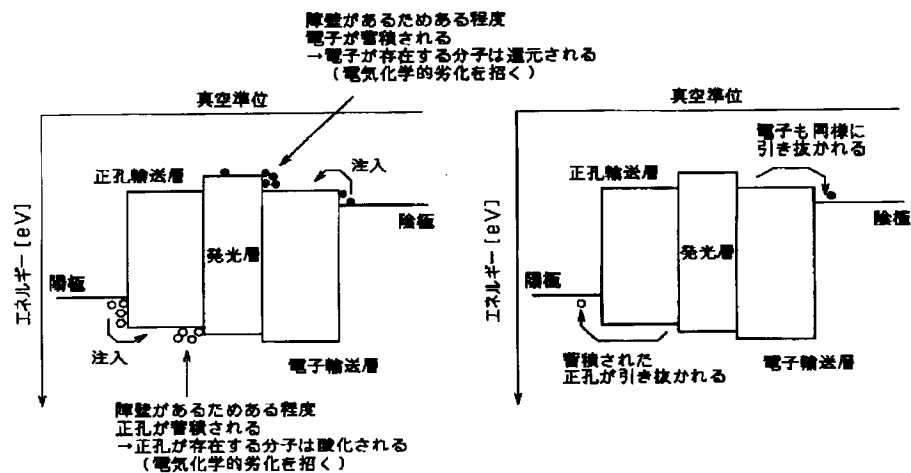
14a 1チップドライバIC



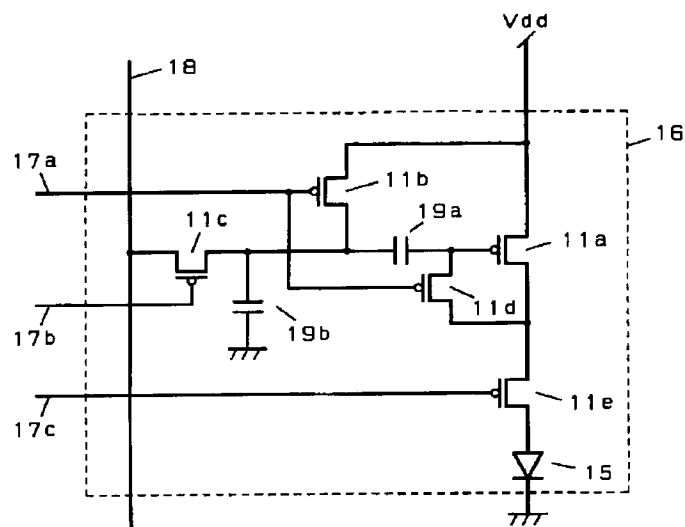
【図102】

(a) 発光時のキャリアの挙動

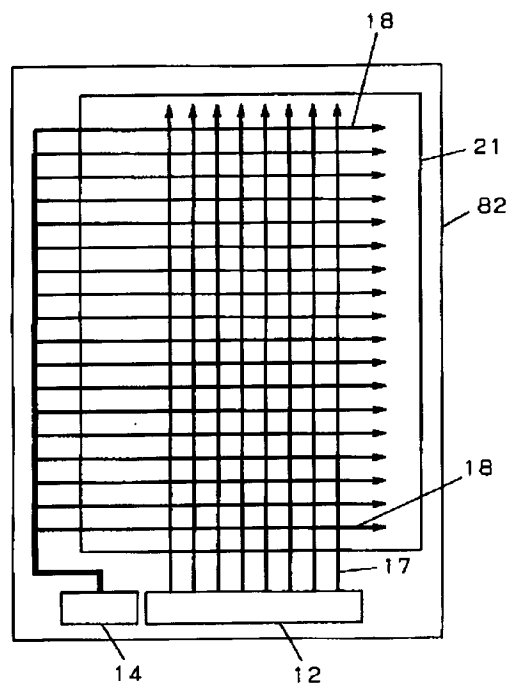
(b) 逆電流印加時



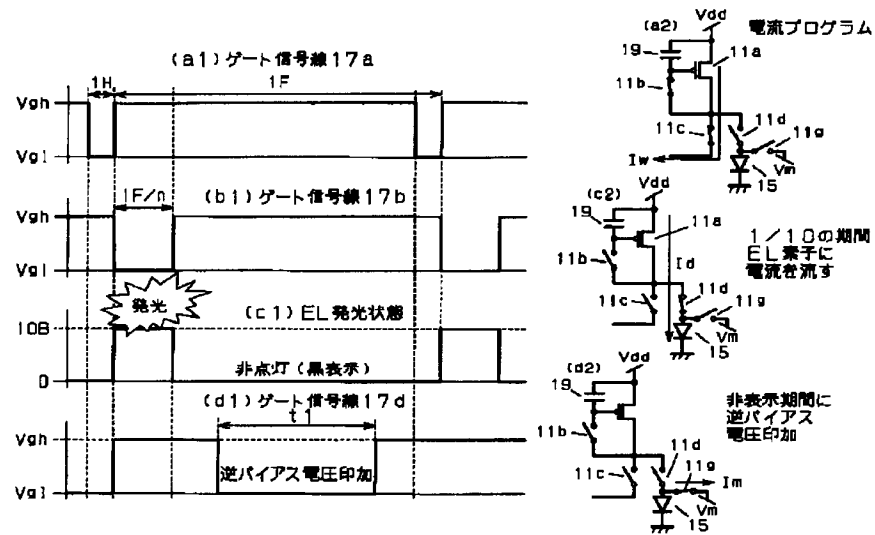
【図103】



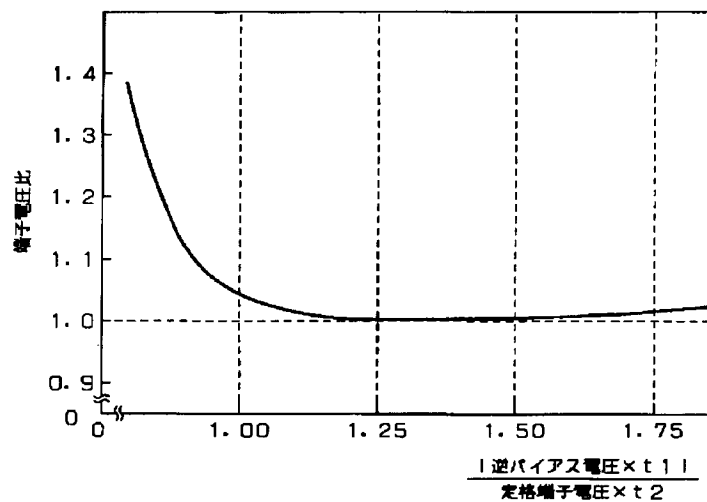
【図112】



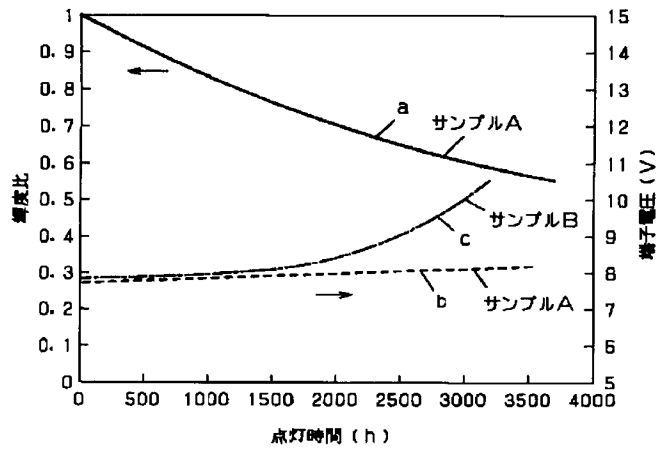
【図107】



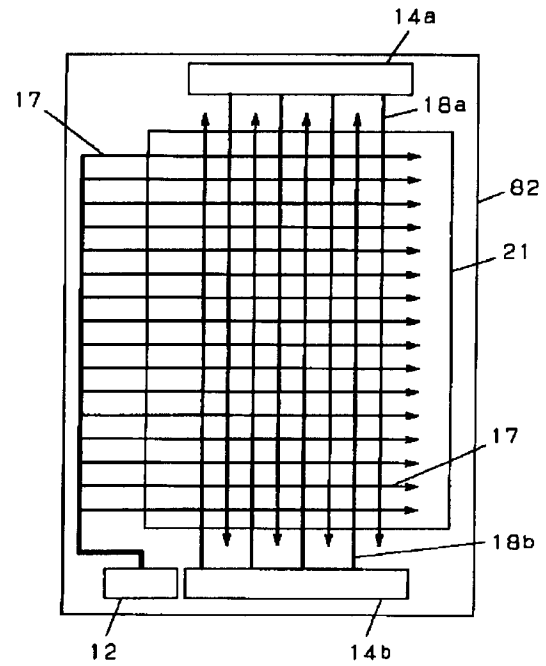
【図108】



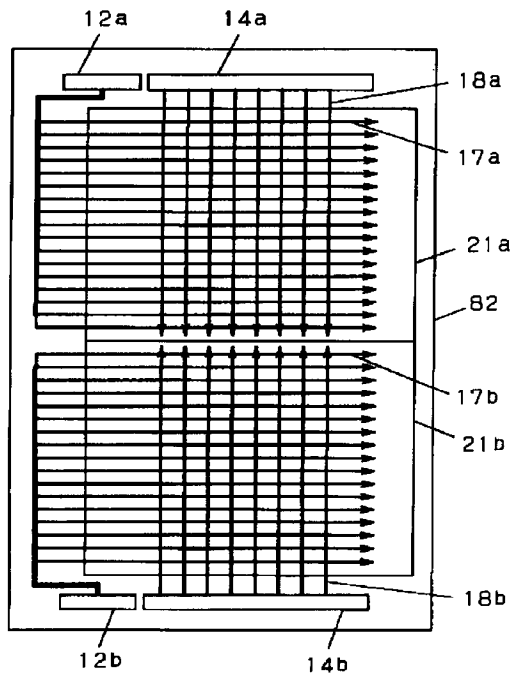
【図109】



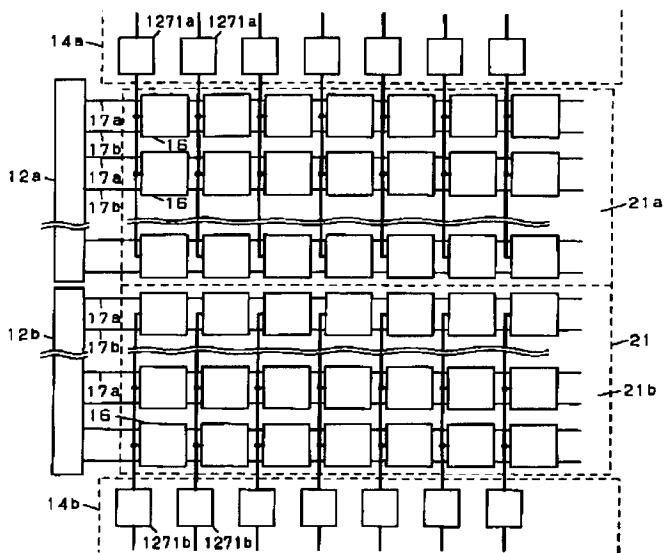
【図113】



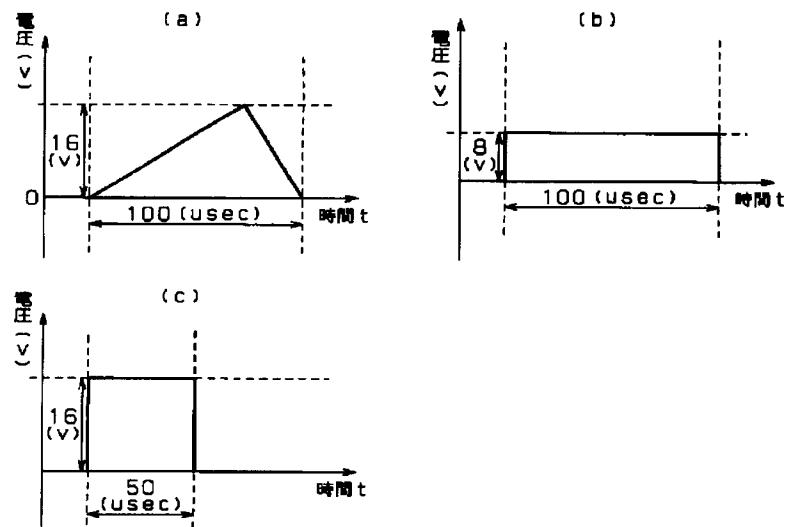
【図114】



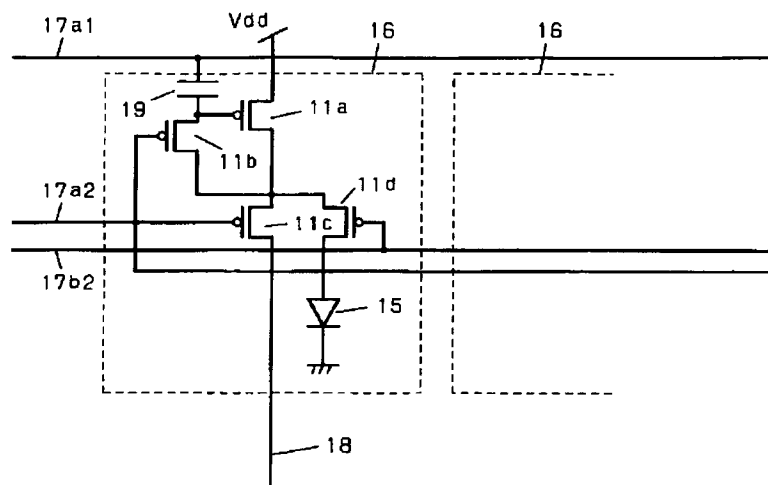
【図128】



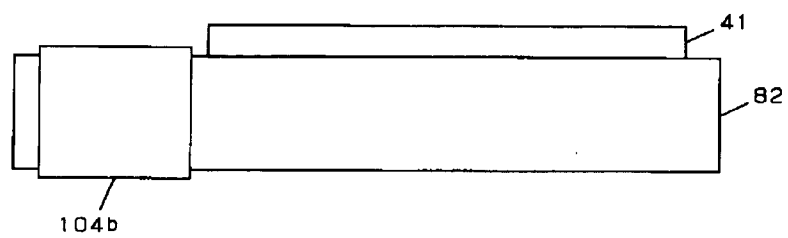
【図115】



【図116】

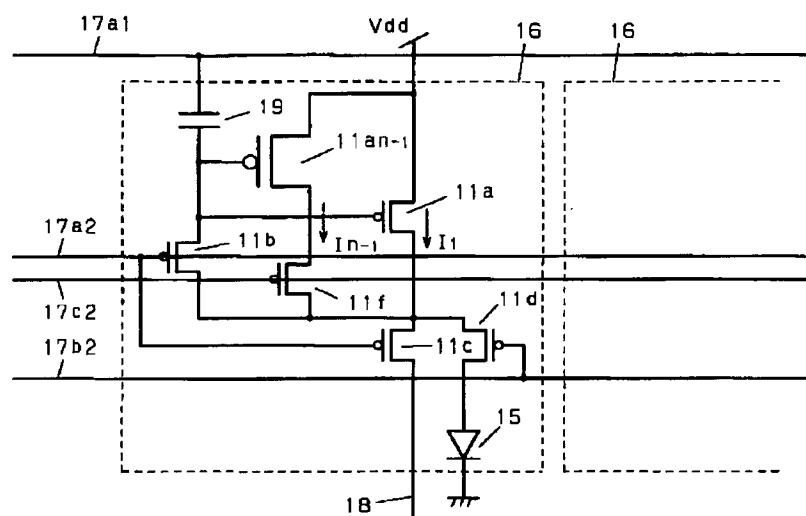


【図133】

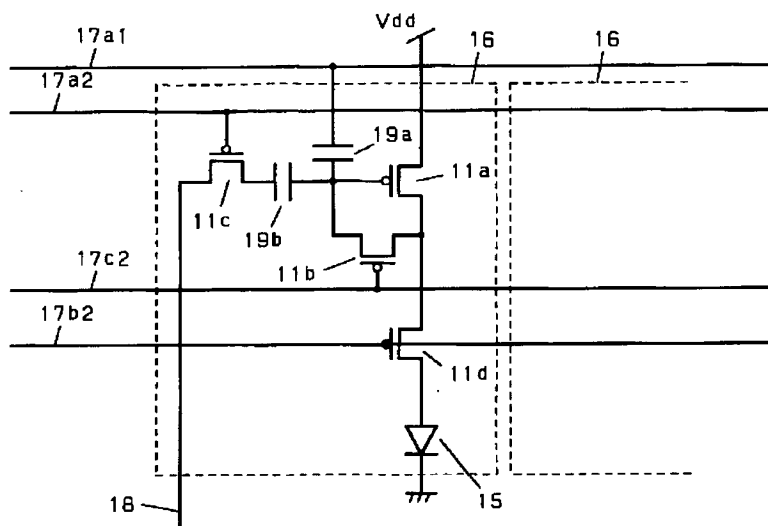


[illegible]

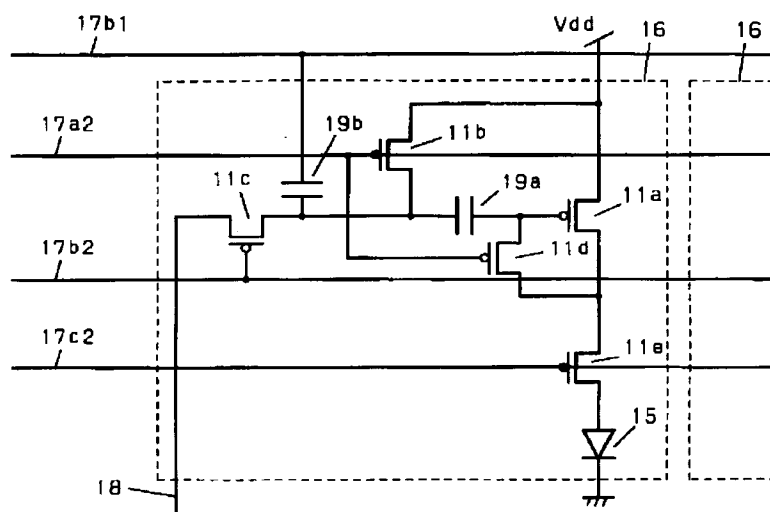
【図119】



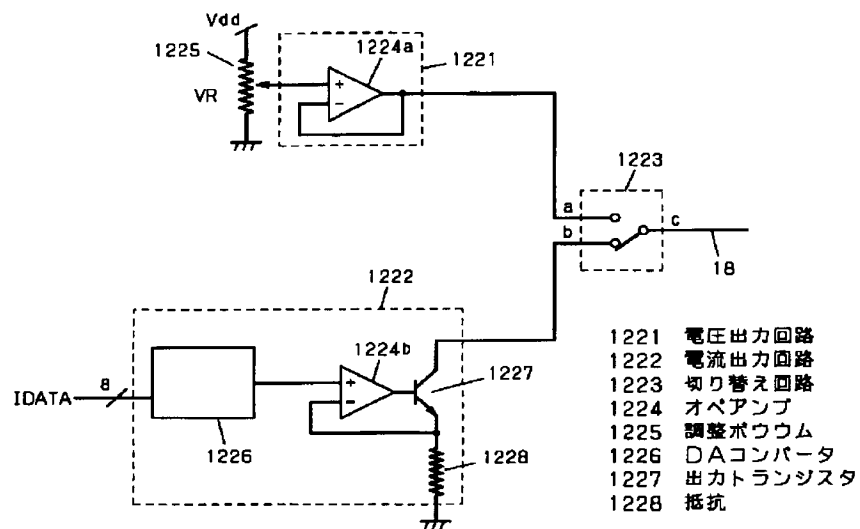
【図120】



【図121】

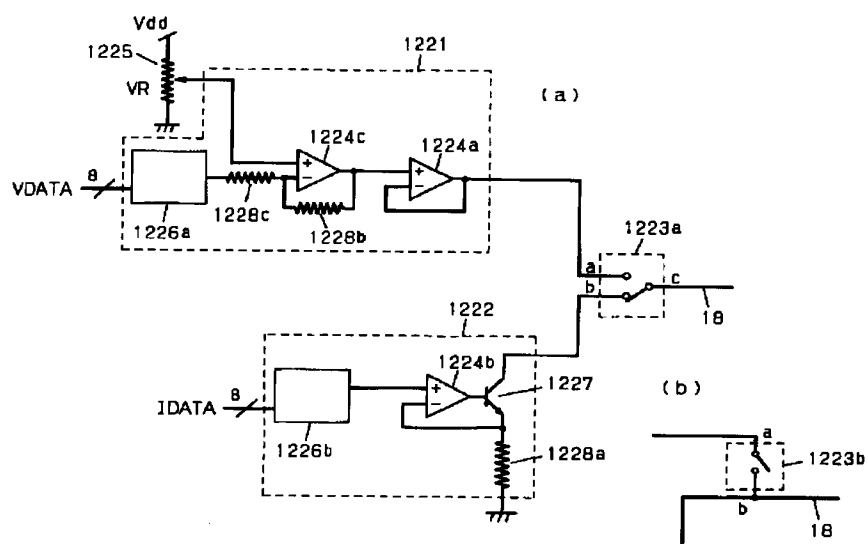


【図122】

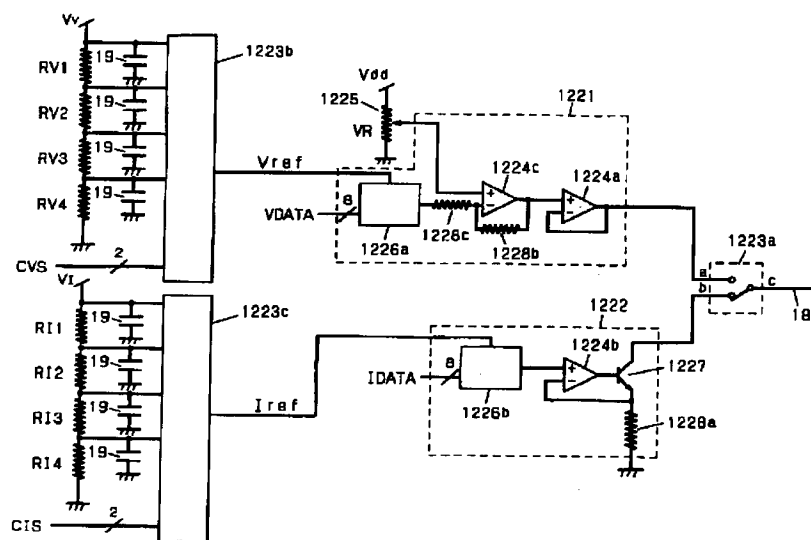




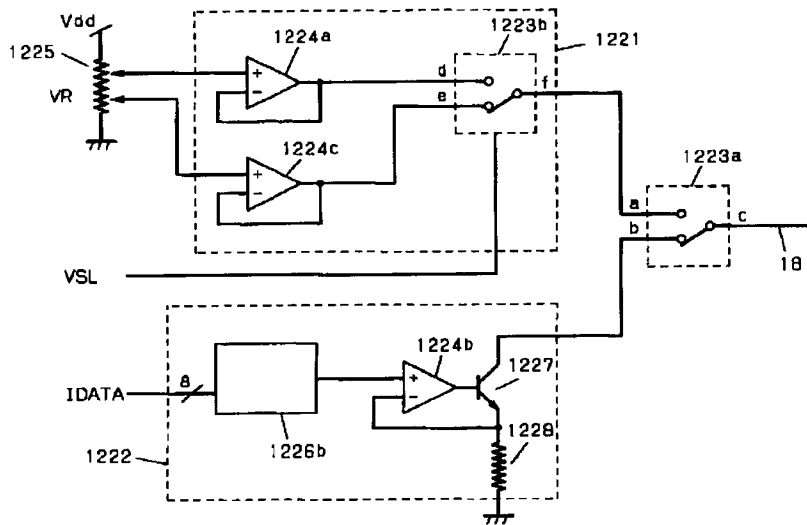
【図123】



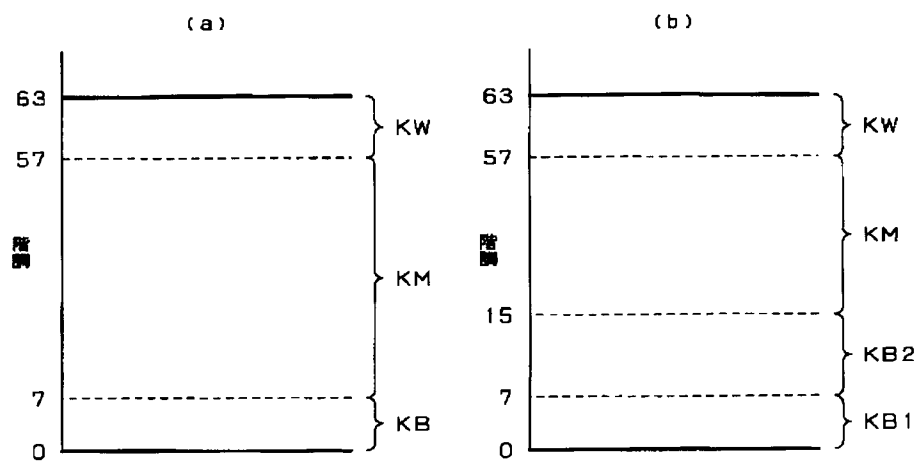
【図124】



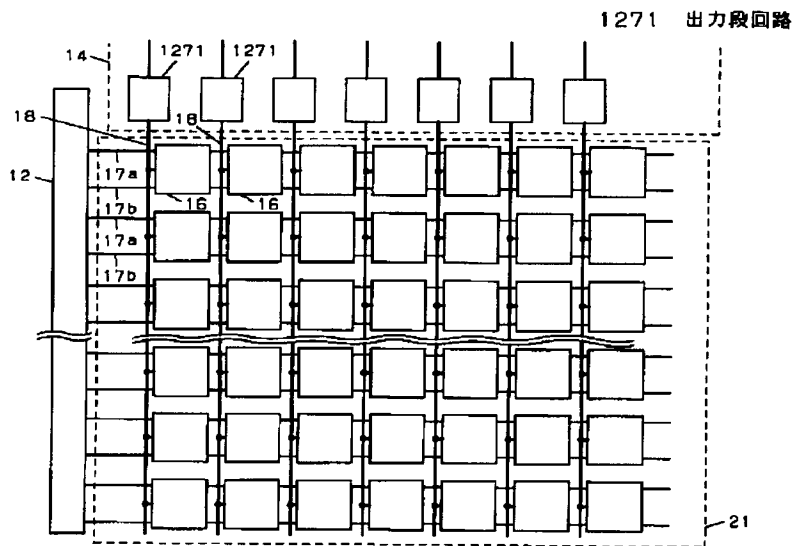
【図 125】



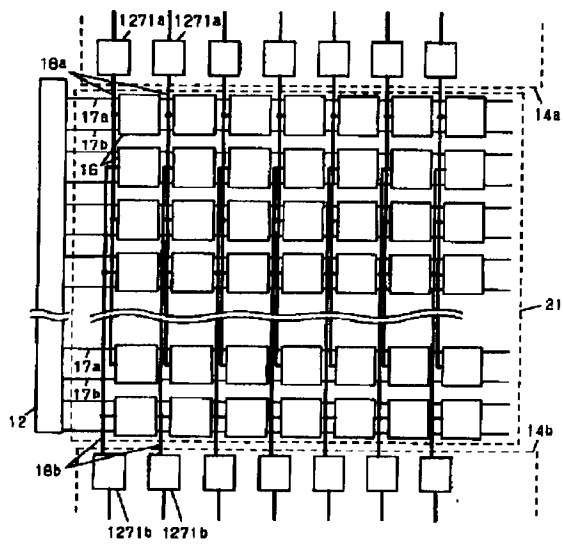
【图 126】



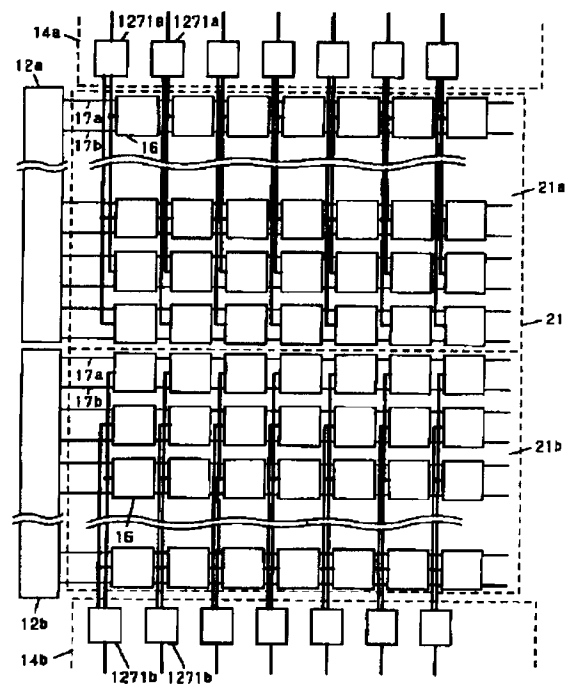
【図127】



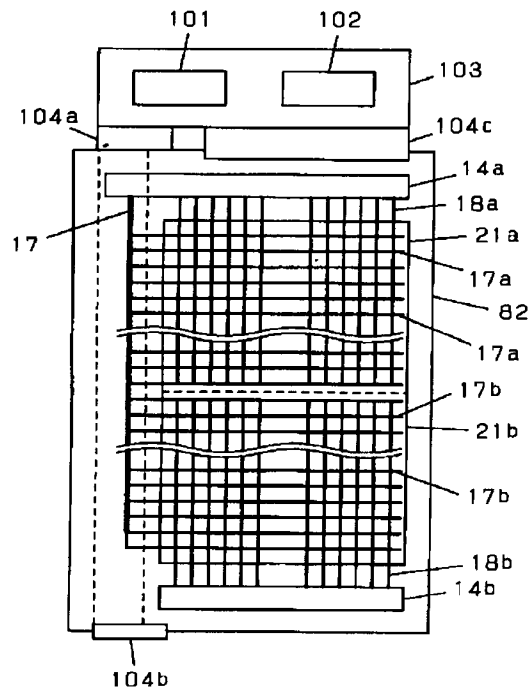
【図129】



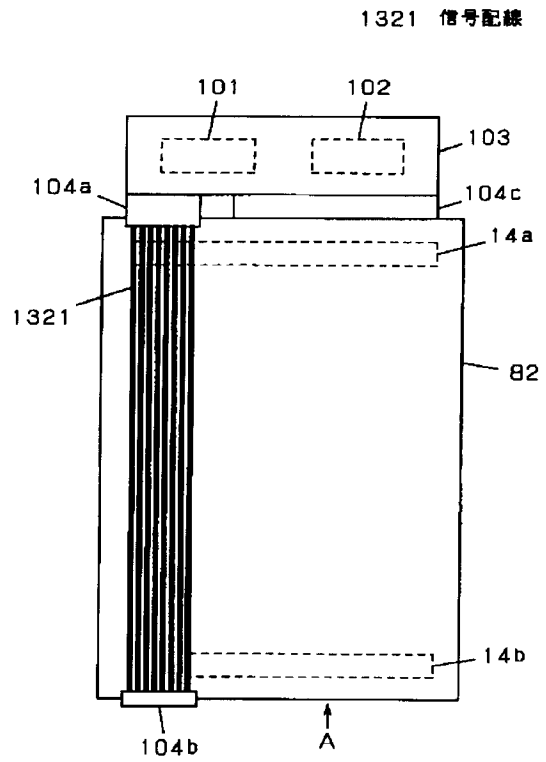
【図130】



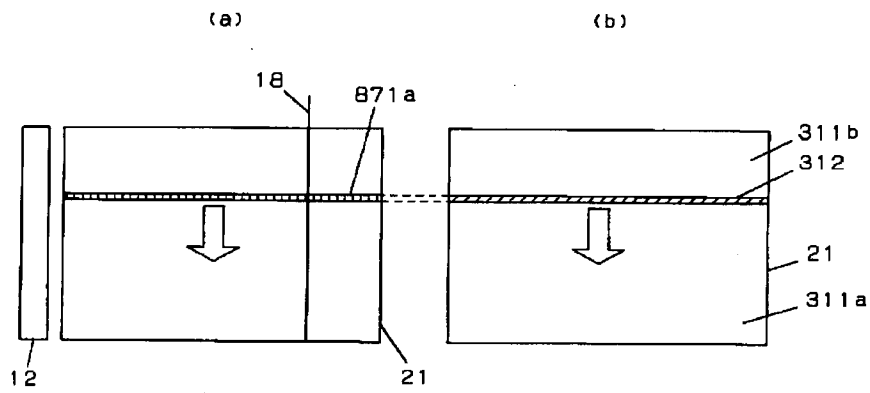
【図131】



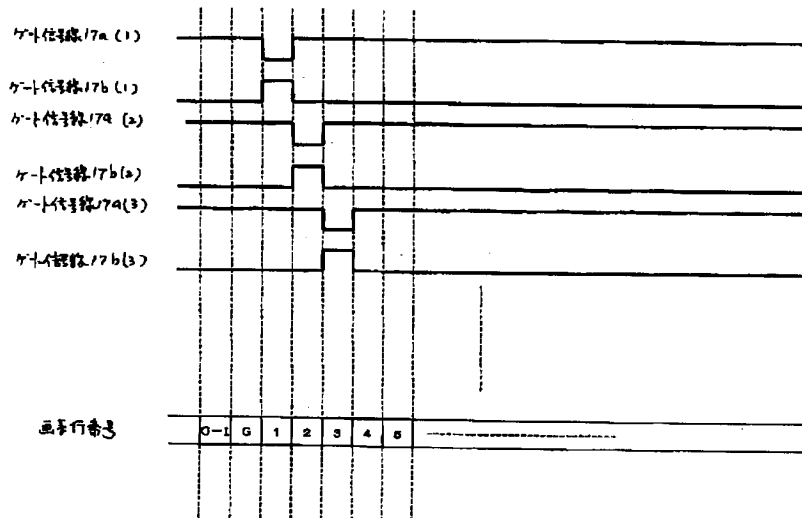
【図132】



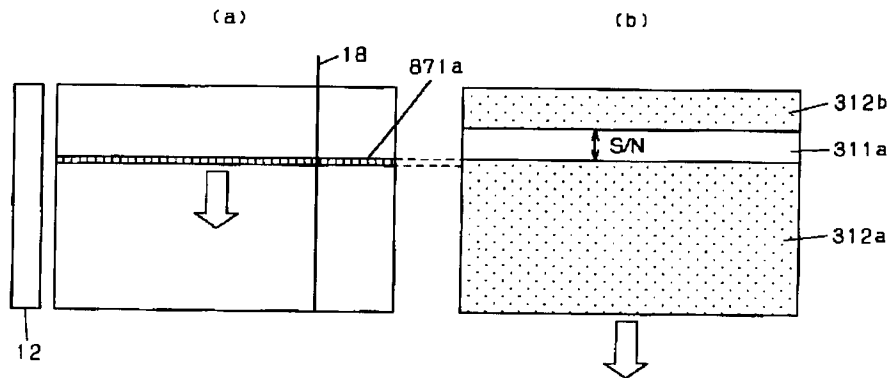
【図134】



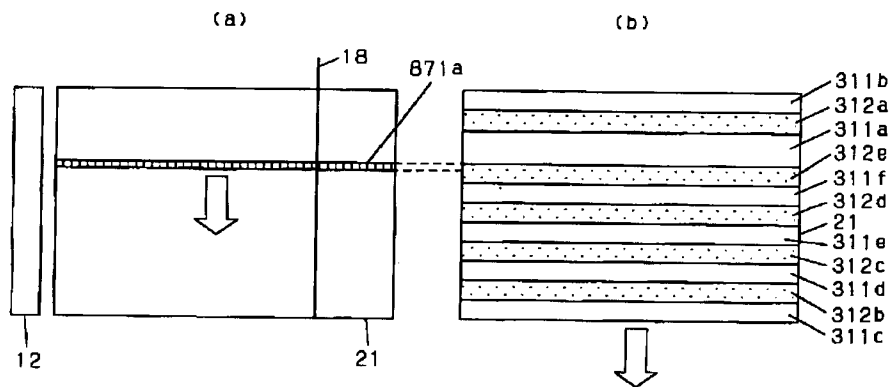
【図135】



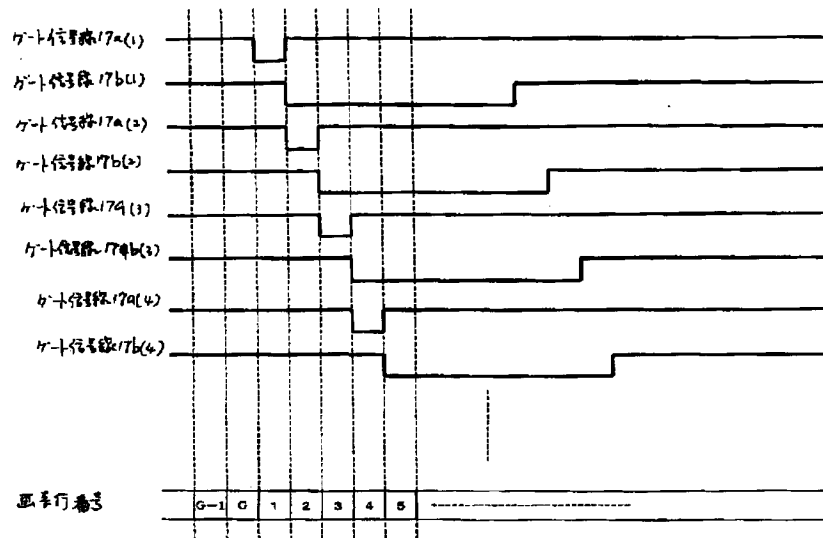
【図136】



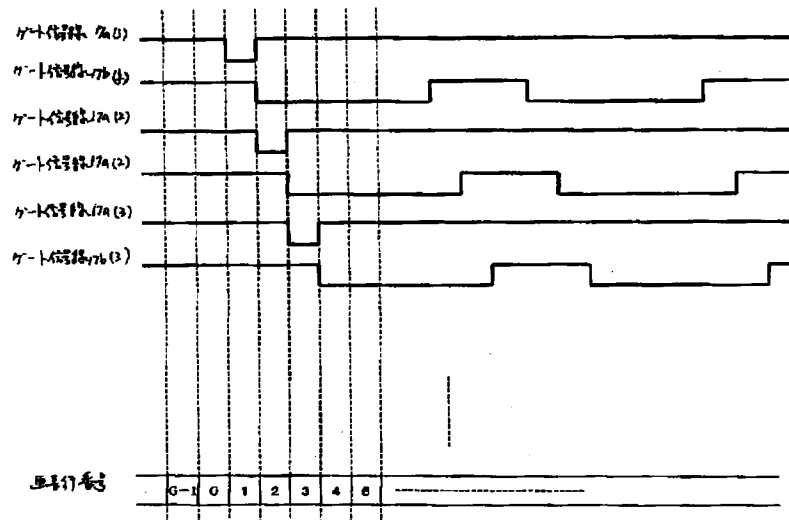
【図138】



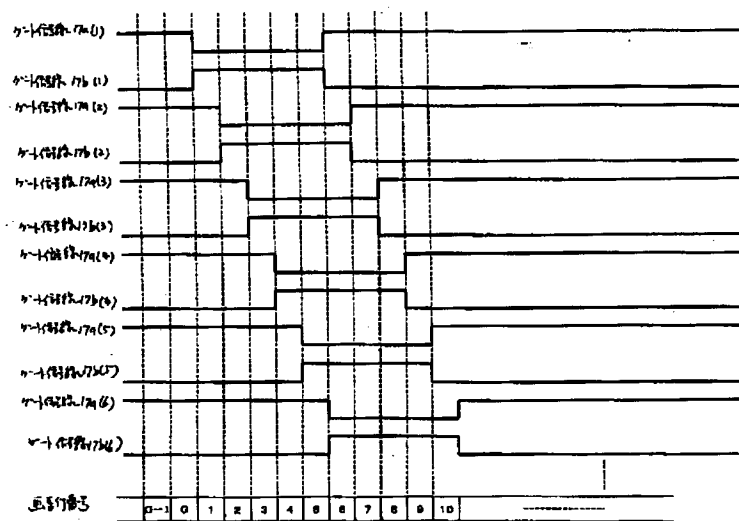
【図137】



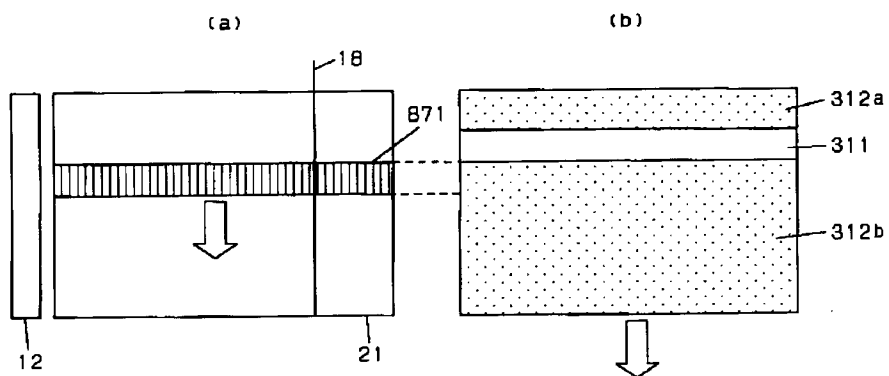
【図139】



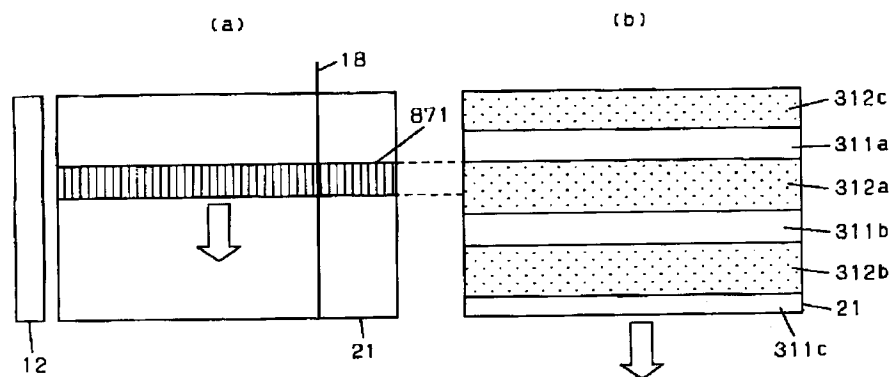
【図140】



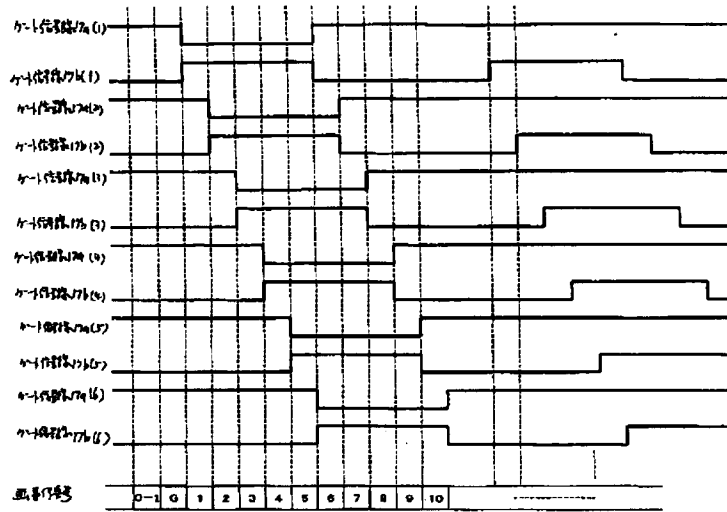
【図141】



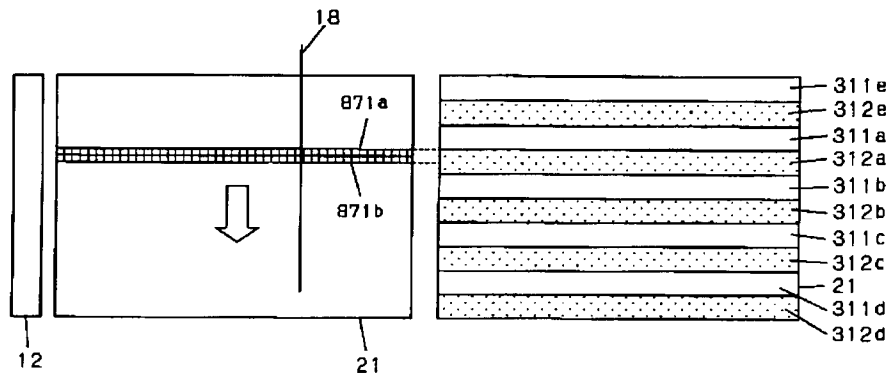
【図142】



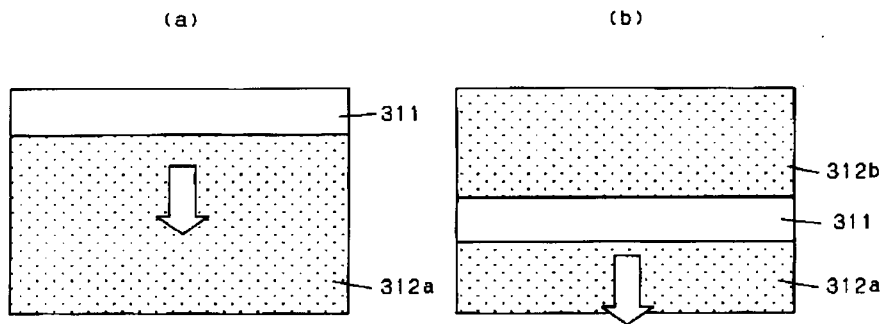
【図143】



【図144】

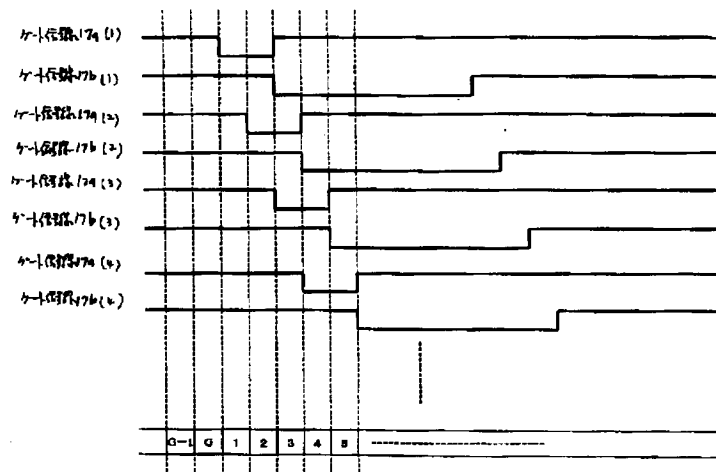


【図151】

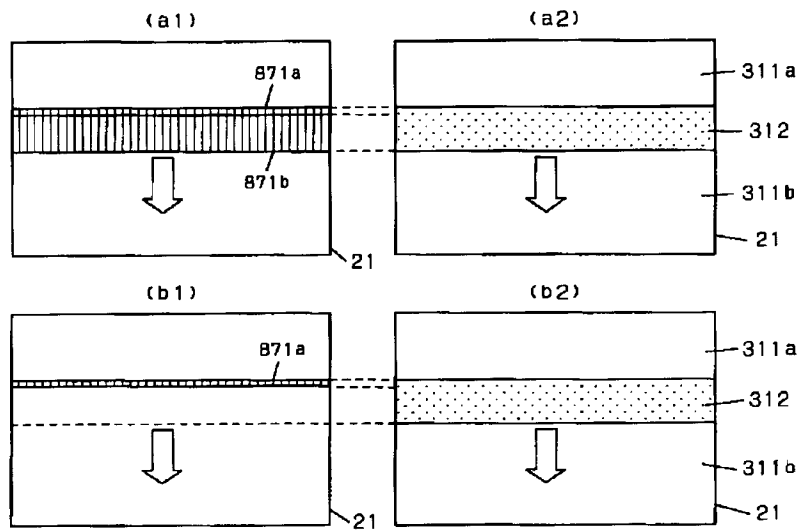




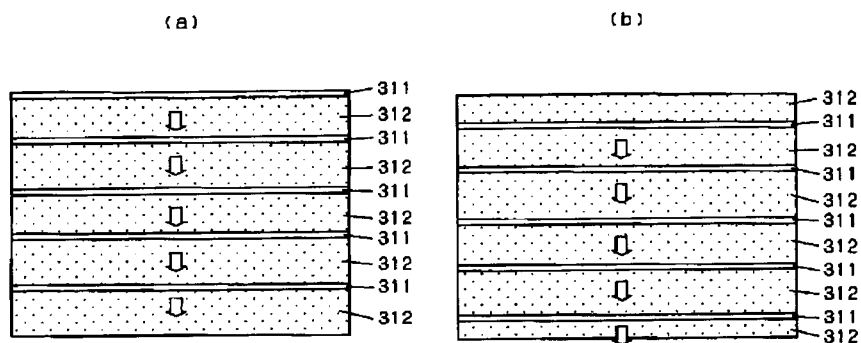
【図145】



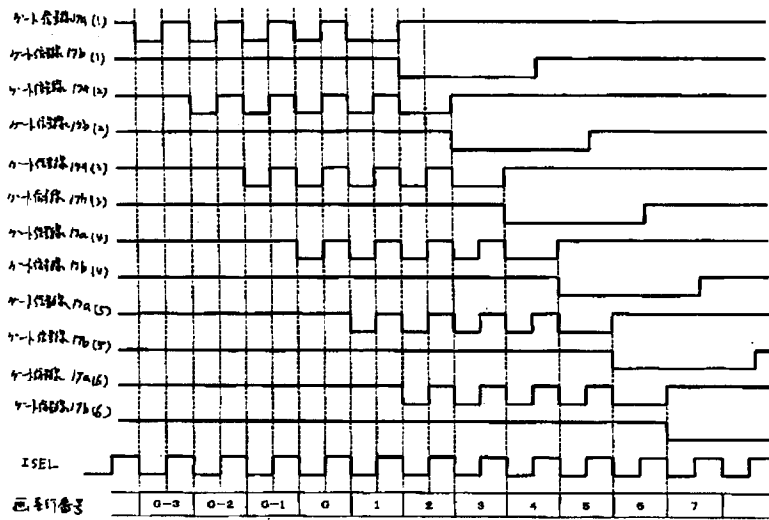
【図146】



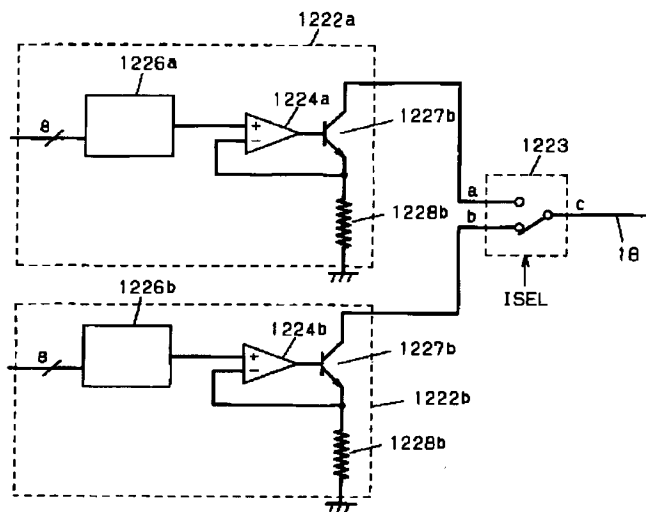
【図152】



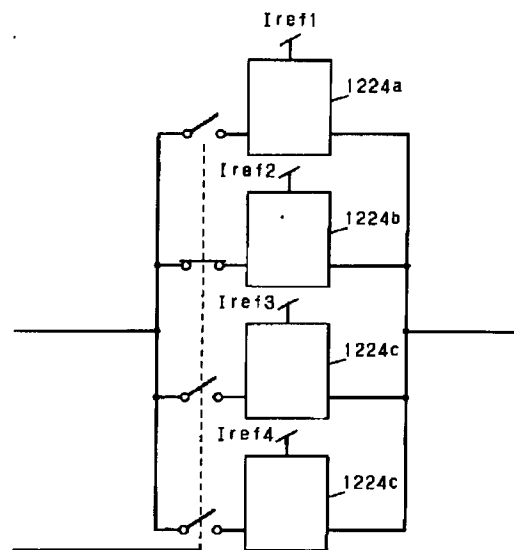
【図147】



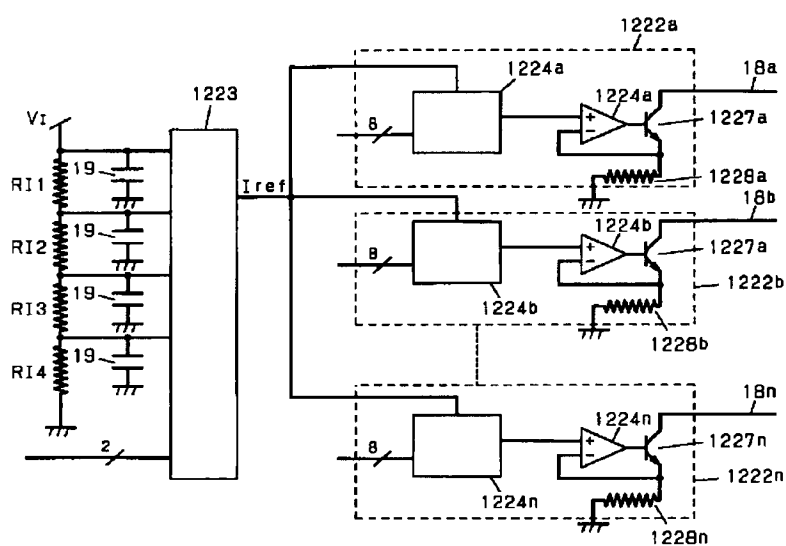
【図148】



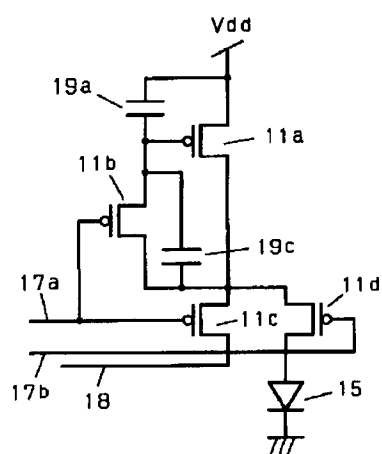
【図150】



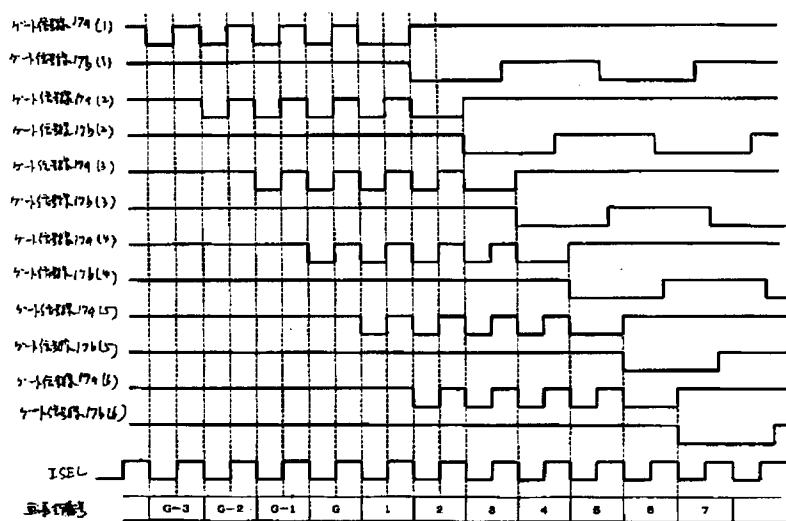
【図149】



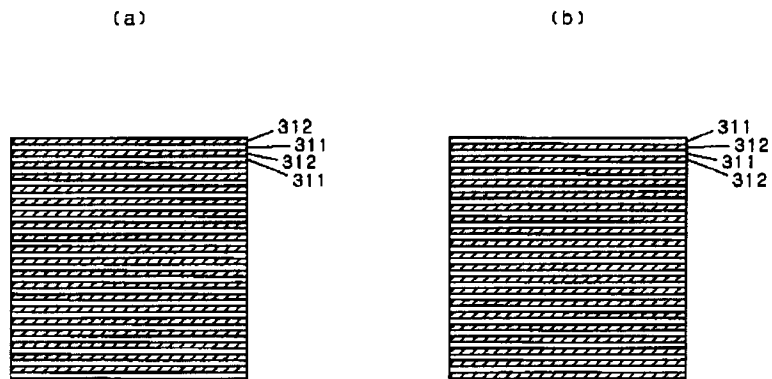
【図172】



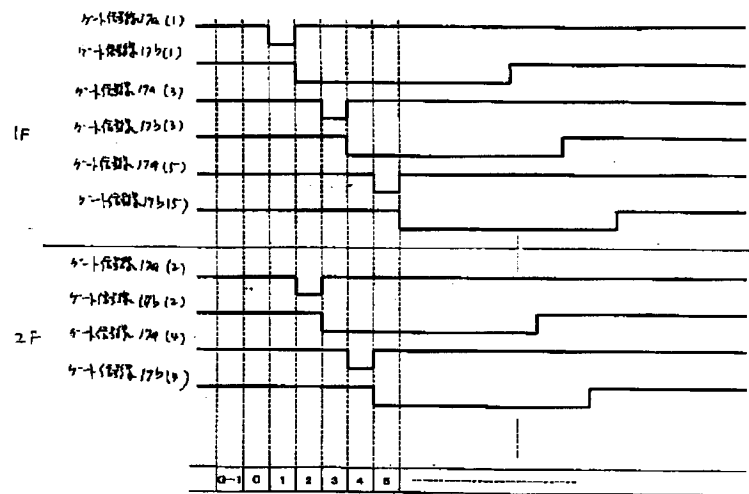
【図153】



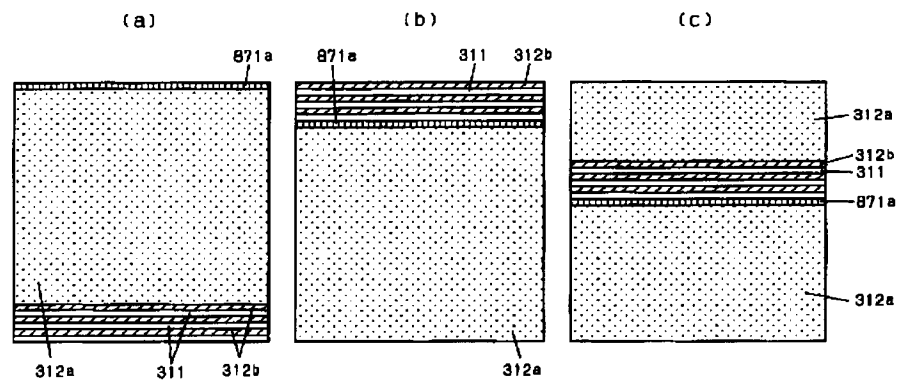
【図154】



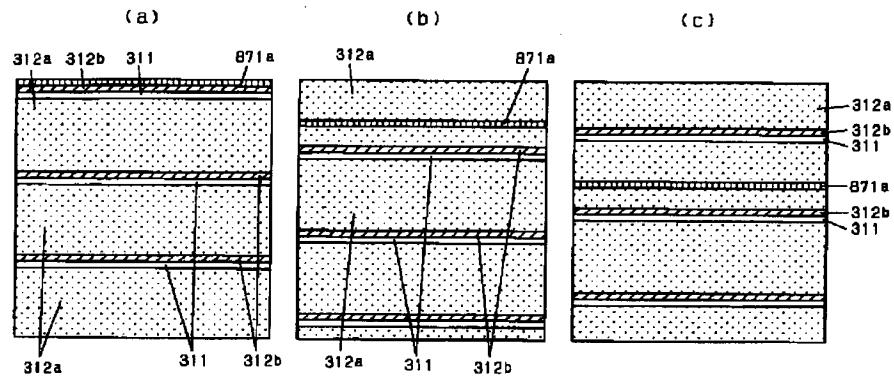
【図155】



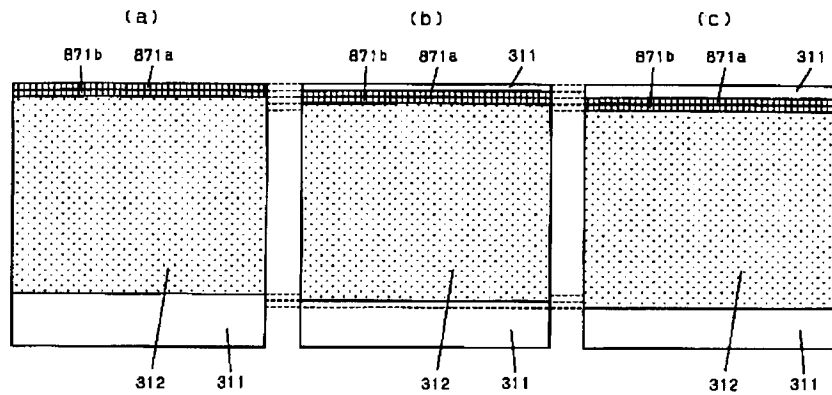
【図156】



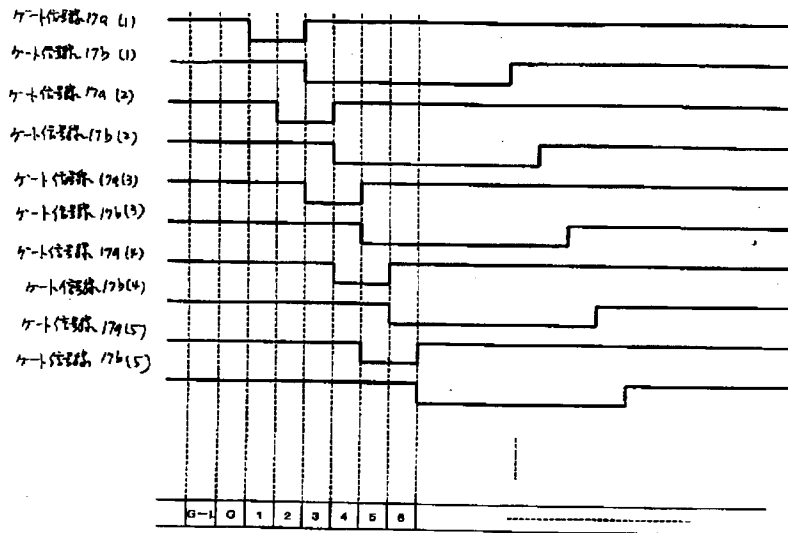
【図157】



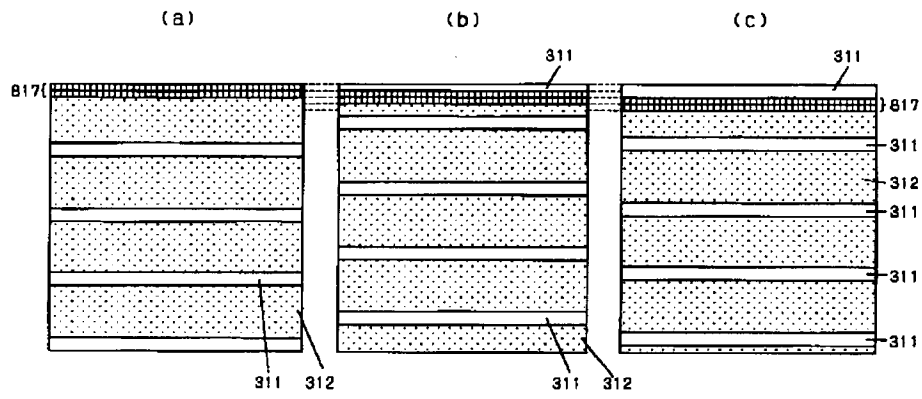
【図158】



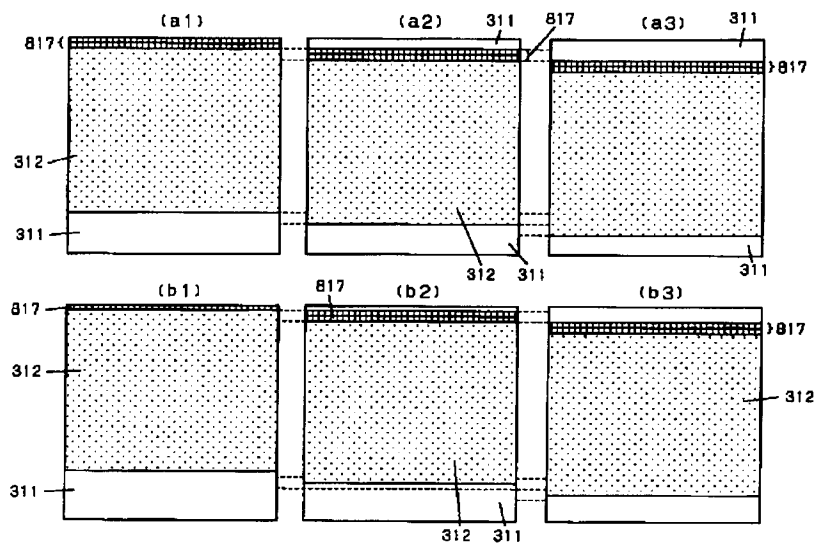
【図159】



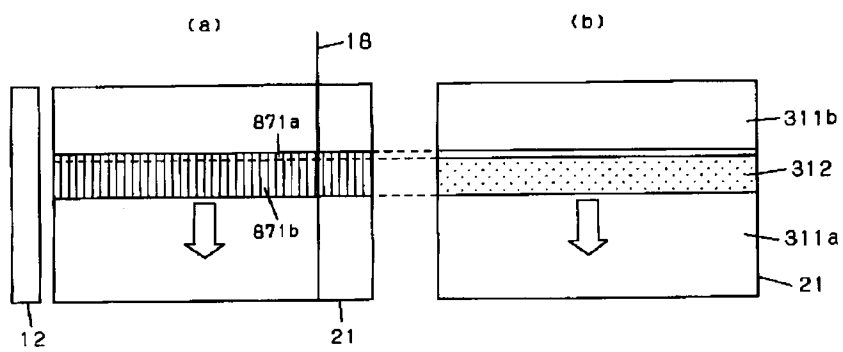
【図160】



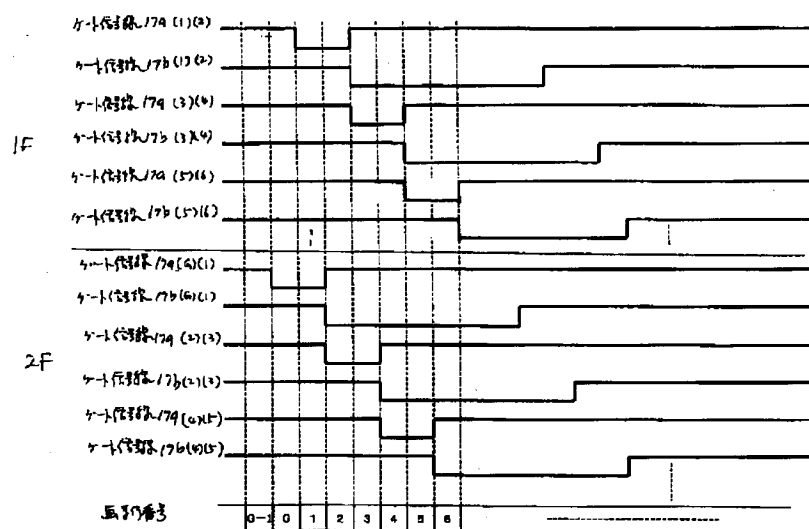
【図161】



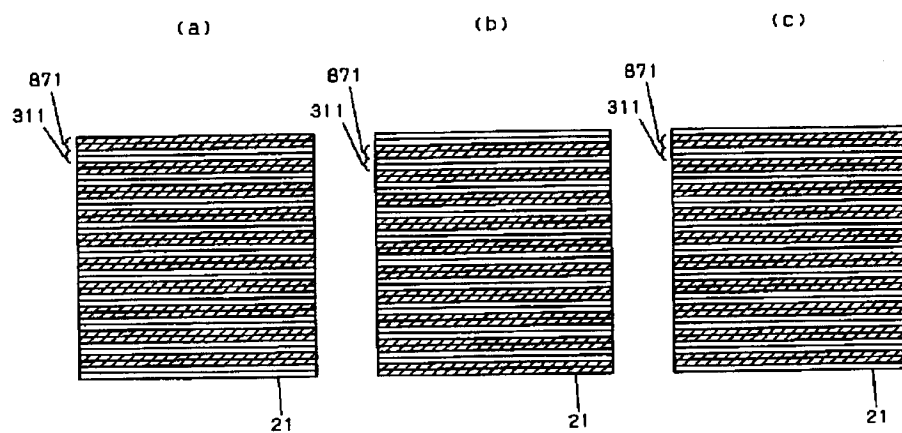
【図164】



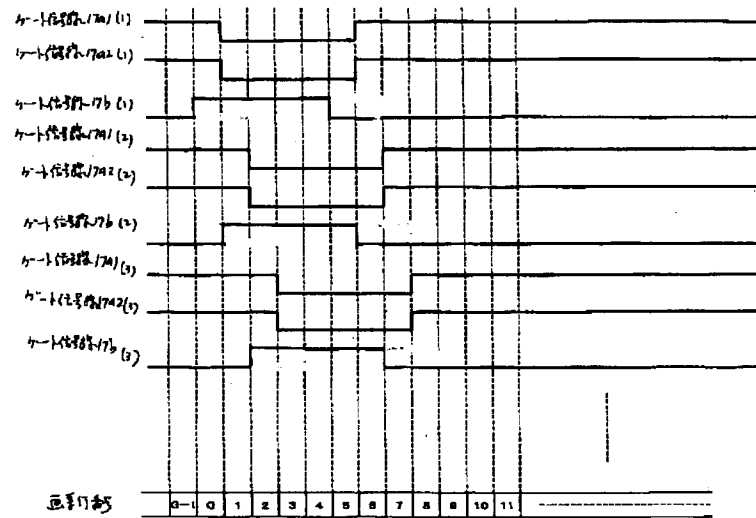
【図162】



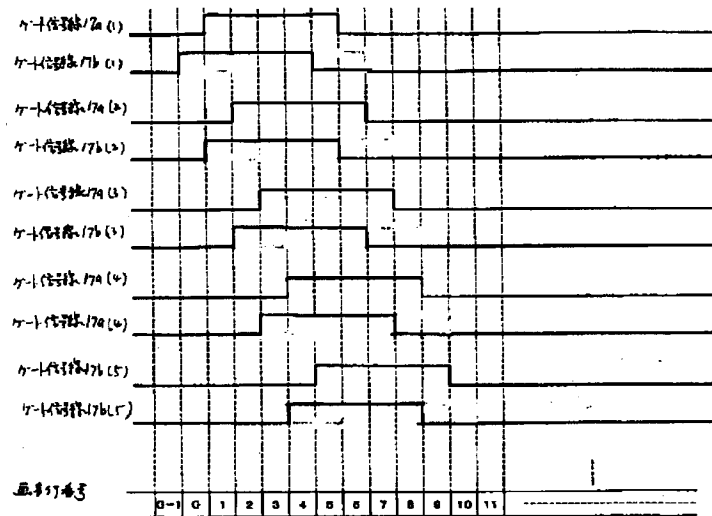
【図163】



【図165】

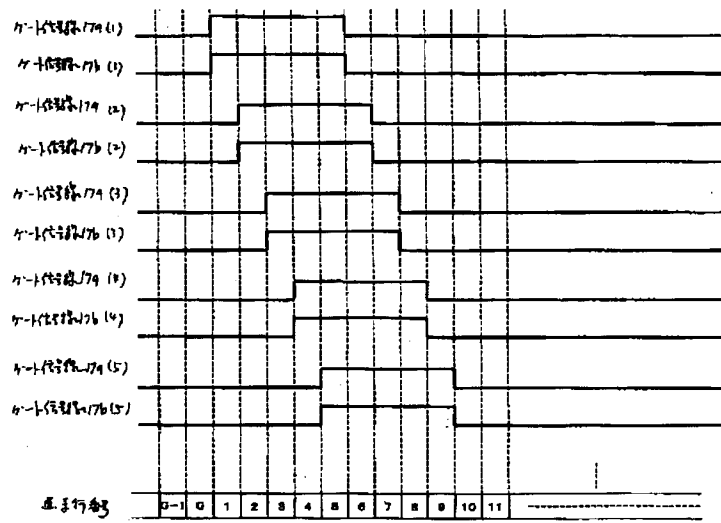


【図166】

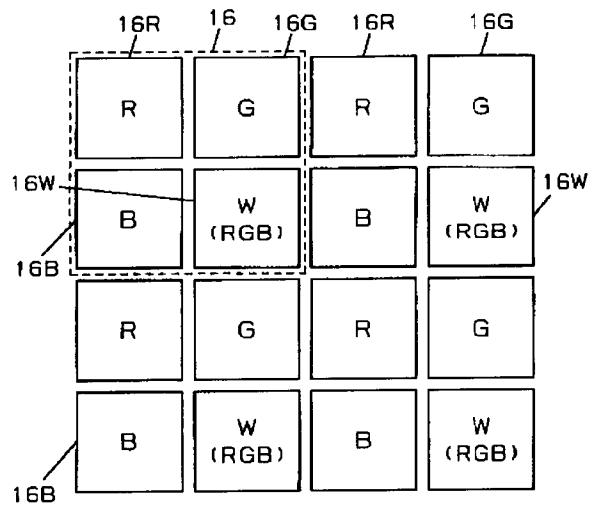




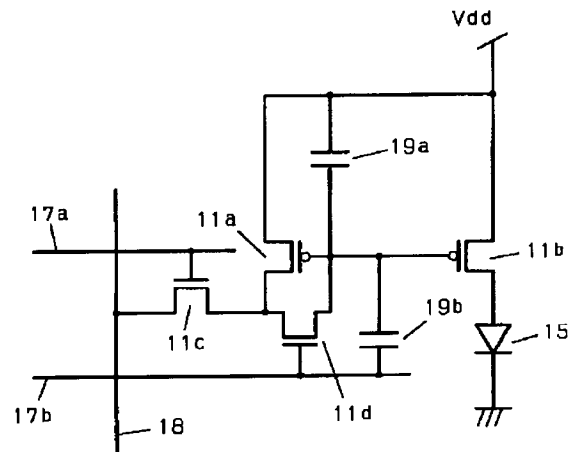
【図167】



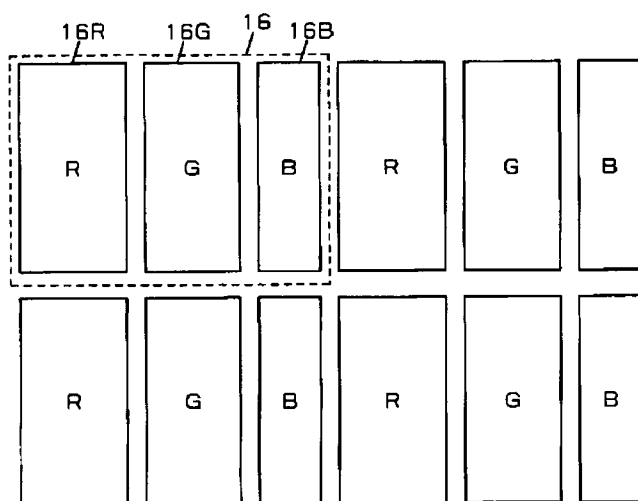
【図168】



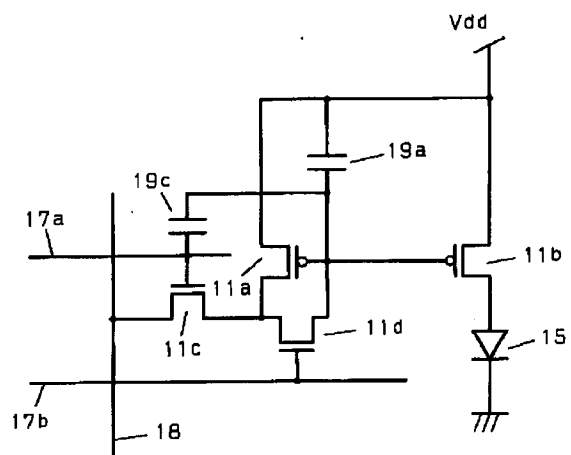
【図173】



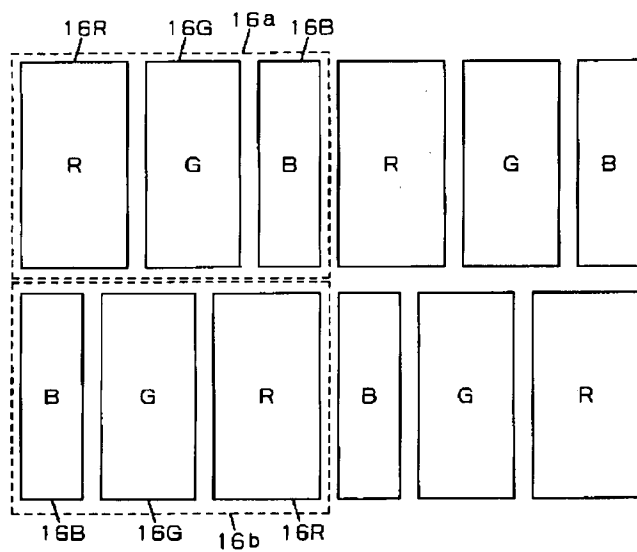
【図169】



【図174】

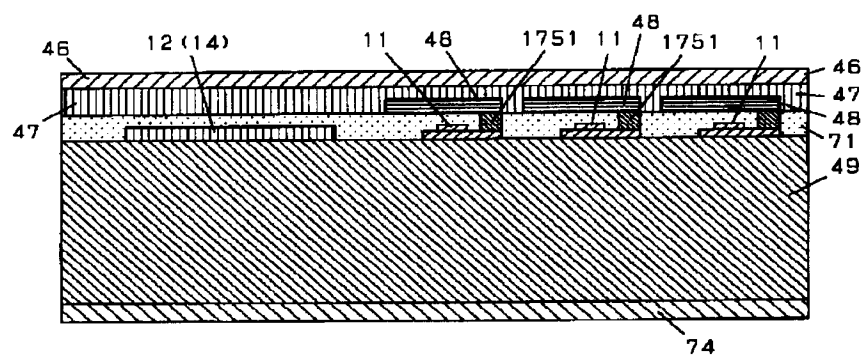


【図170】



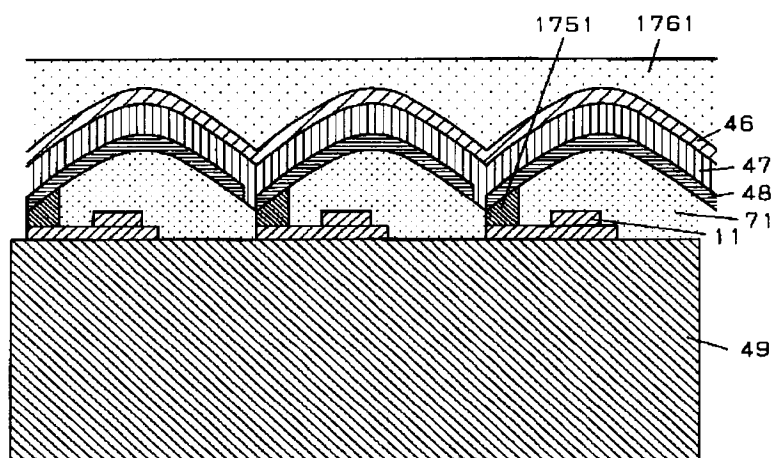
【図175】

1751 面素コンタクト部

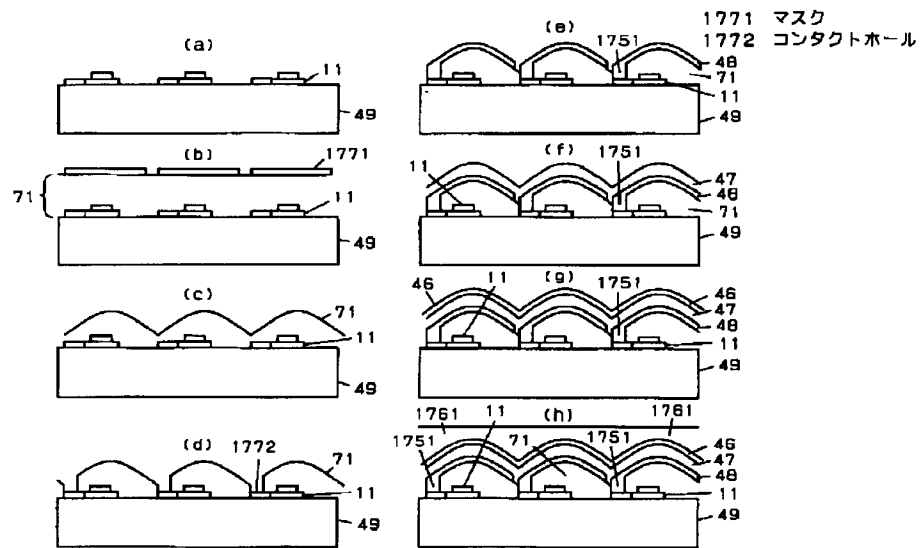


【図176】

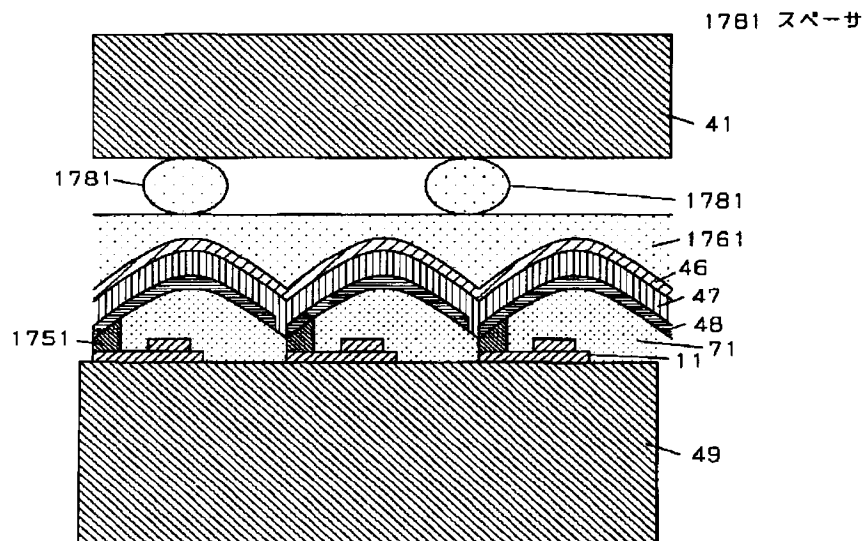
1761 保護膜(層)



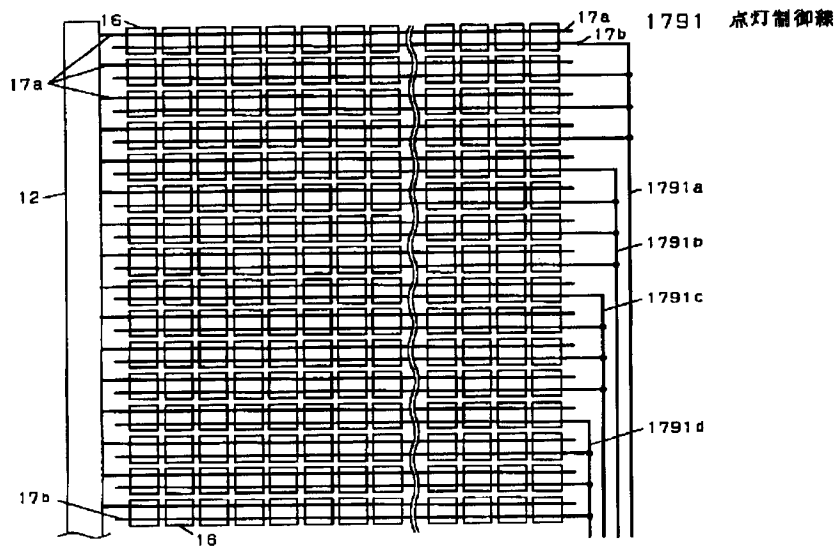
【図177】



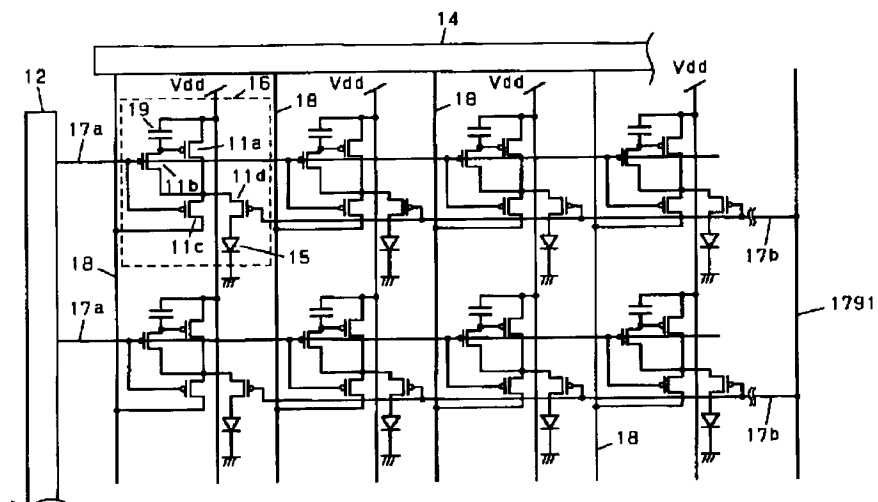
【図178】



【図179】

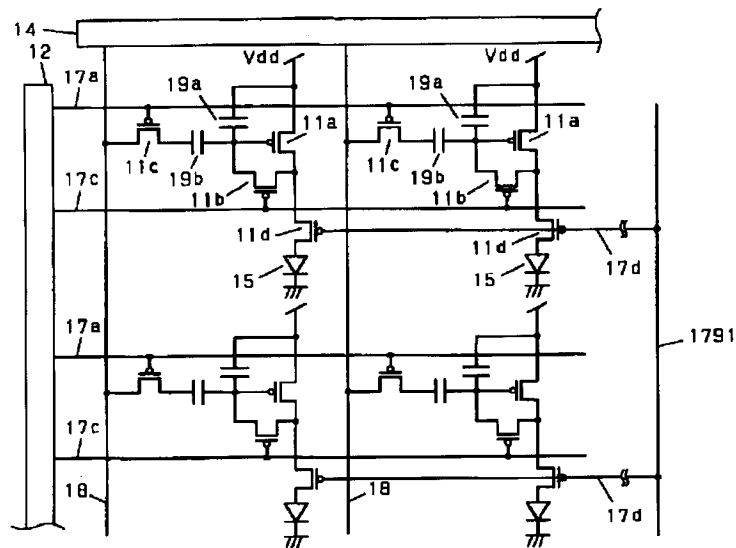


【図180】

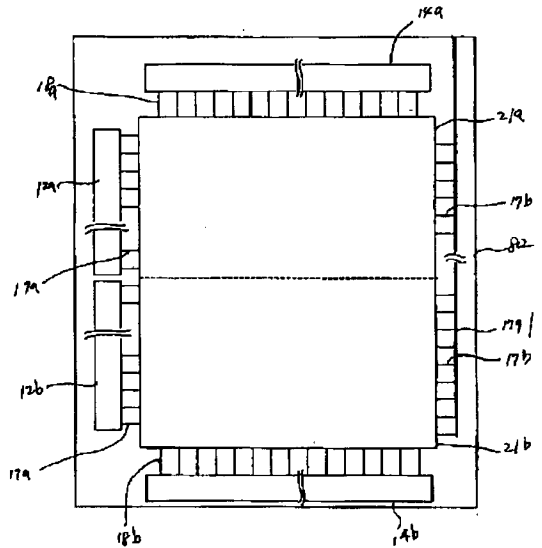


The diagram shows a semiconductor device layout with two columns of logic cells. A vertical line 12 is on the left, and a horizontal line 14 is at the top. Each column contains two logic cells. The left column's cells are connected to a horizontal line 17a, and the right column's cells are connected to a horizontal line 17b. Each cell includes a PMOS transistor (11a) with its gate connected to a vertical line 18 and its source to Vdd. An NMOS transistor (11b) has its gate connected to a vertical line 19 and its source to ground. A diode (15) is connected between the gates of the PMOS and NMOS transistors. The output of each cell is connected to a horizontal line 17a or 17b. A vertical line 1791 is on the right side of the diagram.

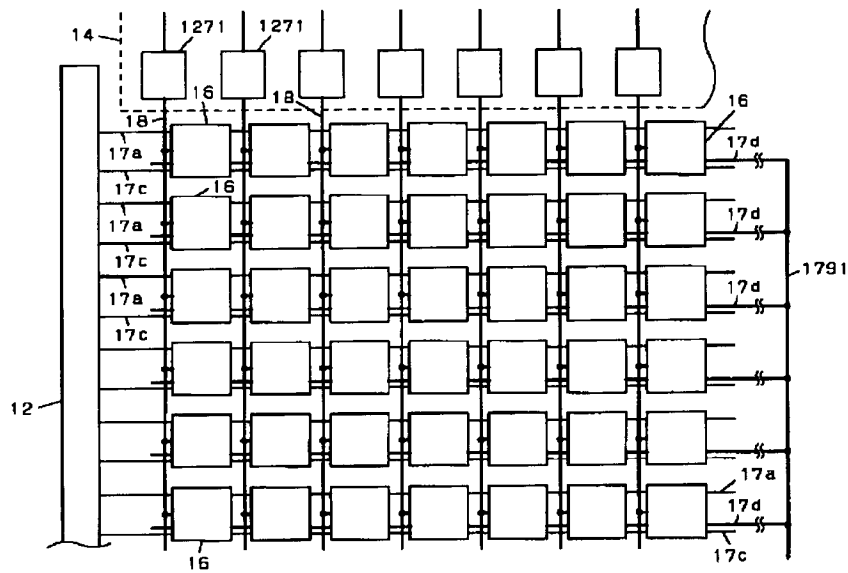
【図183】



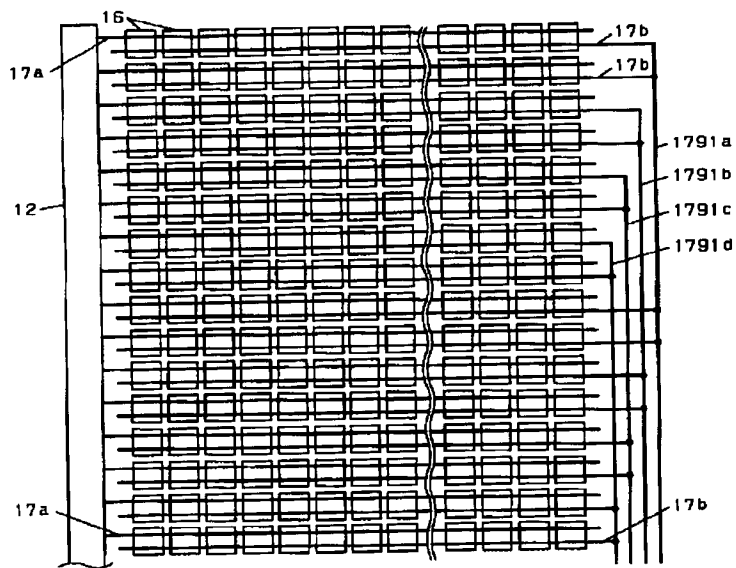
【図195】



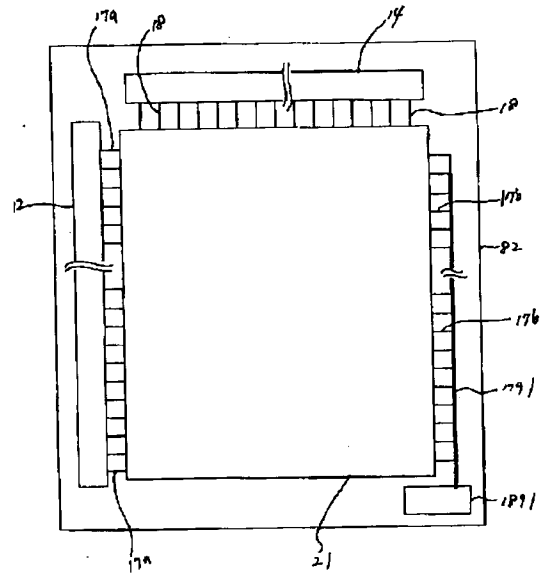
【図184】



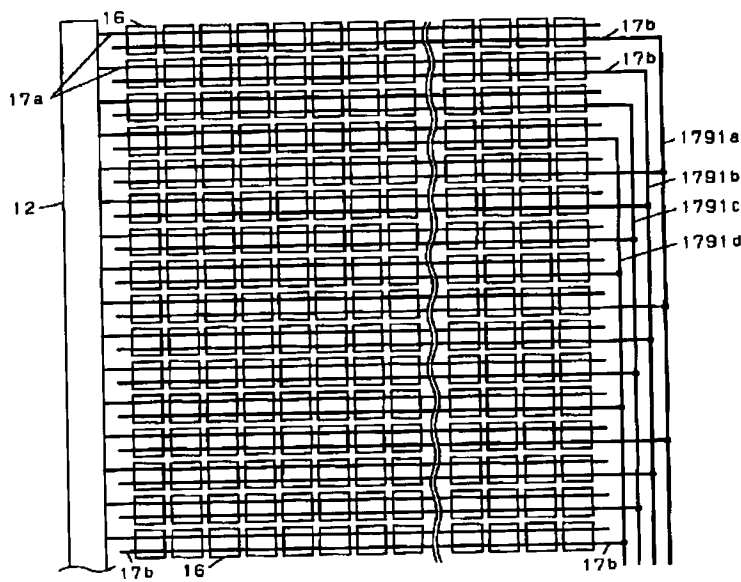
【図185】



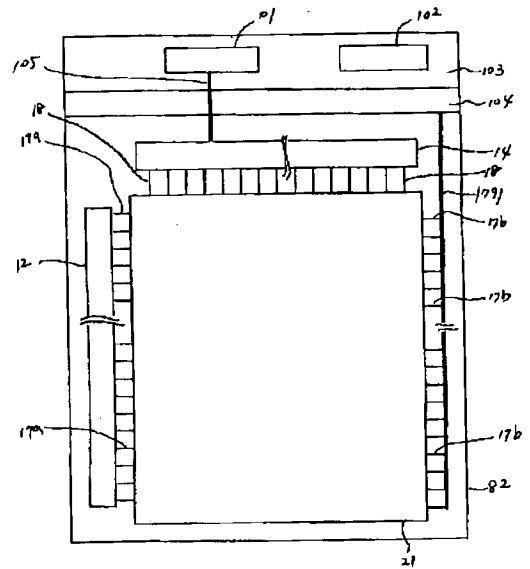
【図193】



【図186】

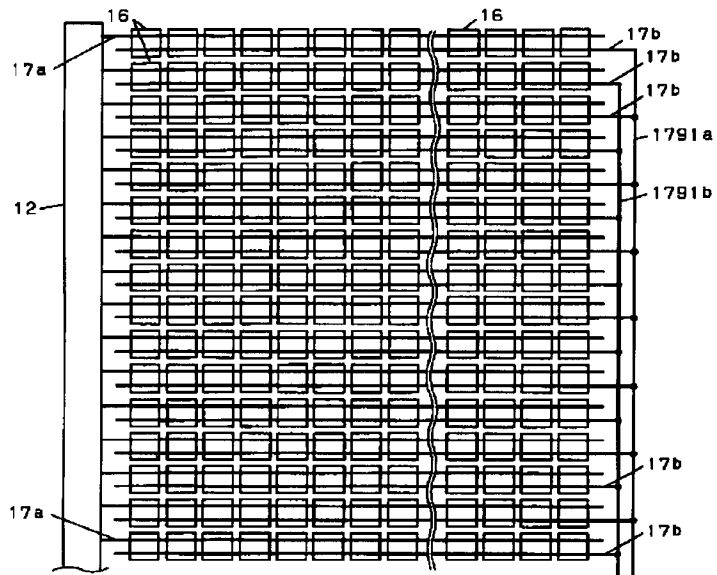


【図194】

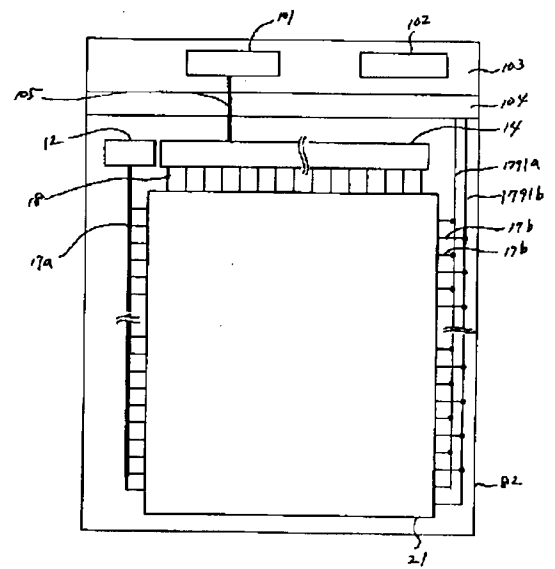




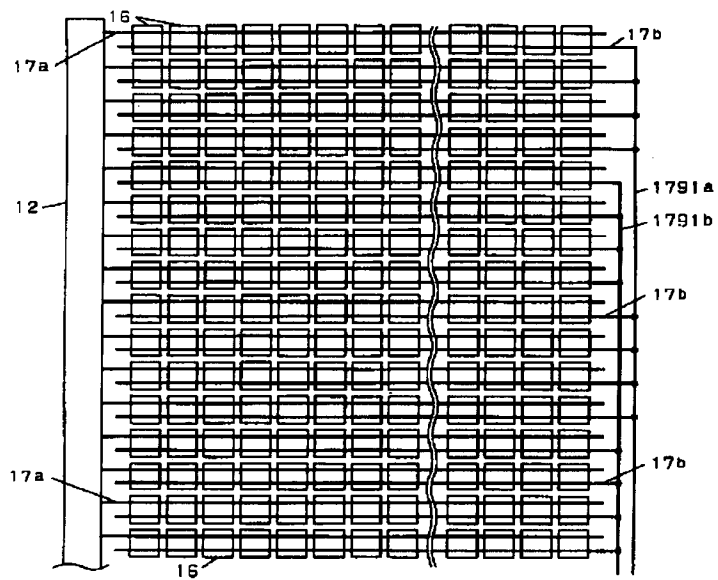
【図187】



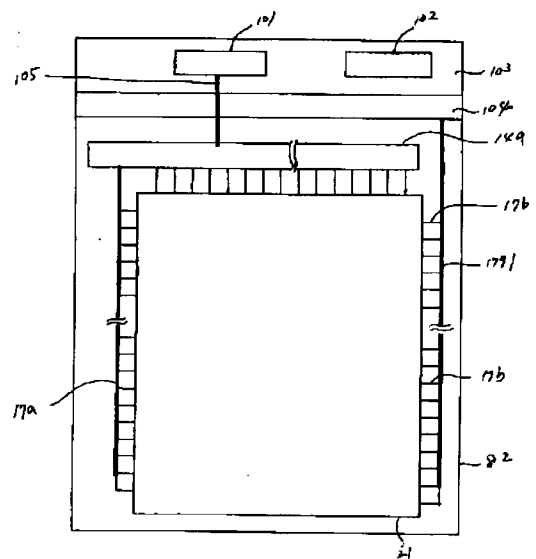
【図196】



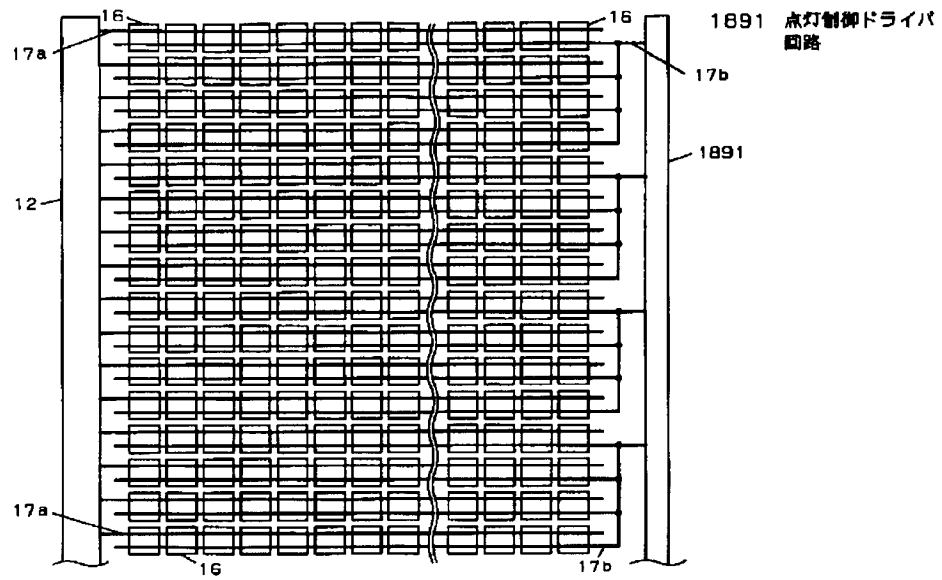
【図188】



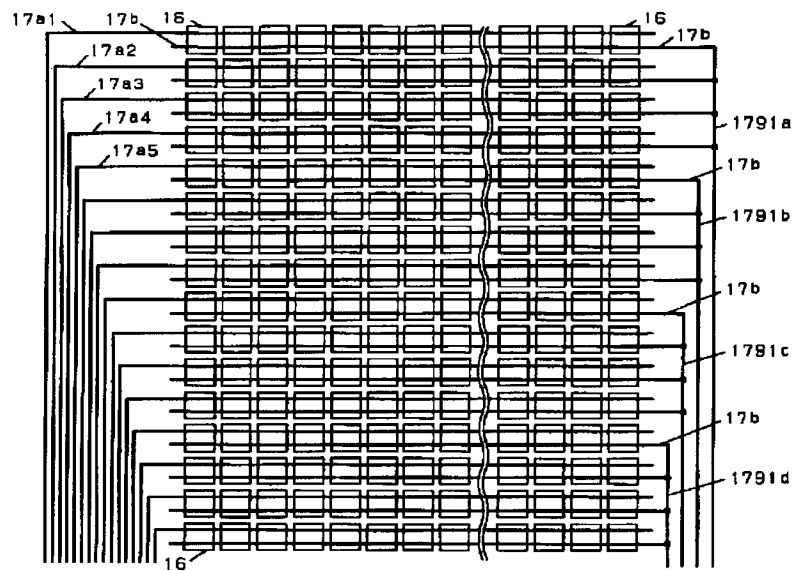
【図197】



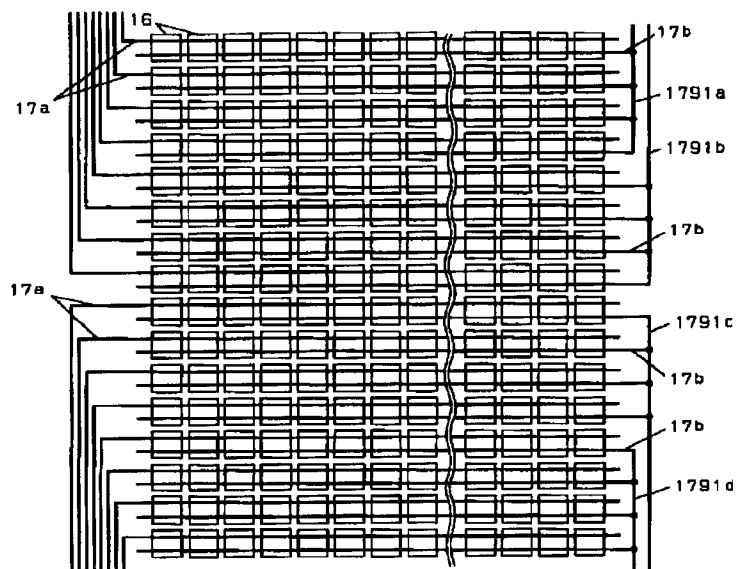
【図189】



【図190】

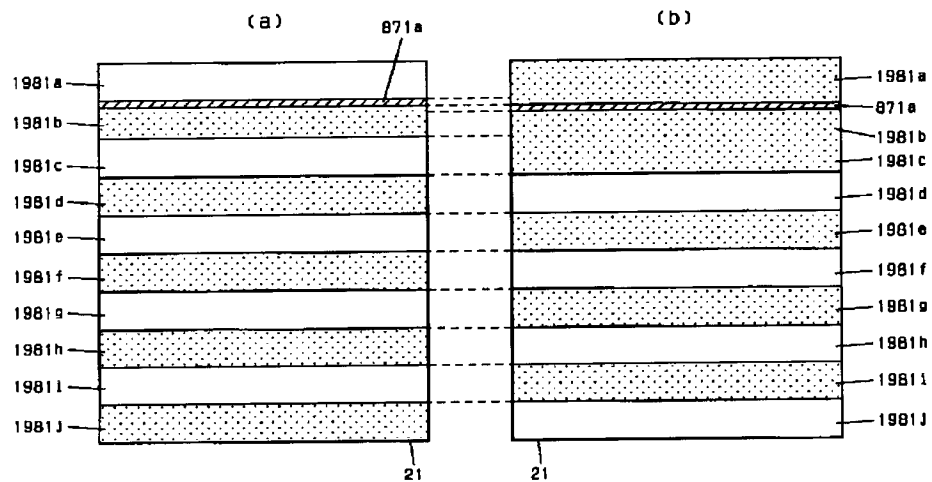


【図191】

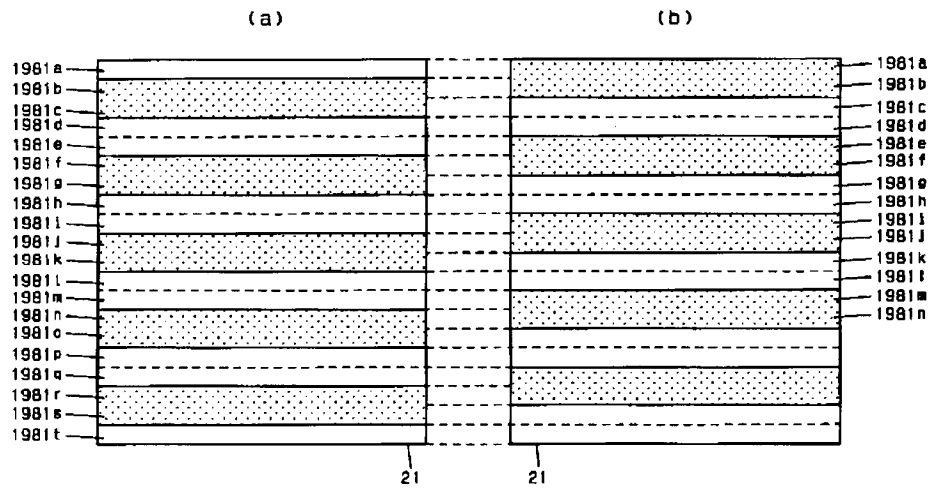


【図198】

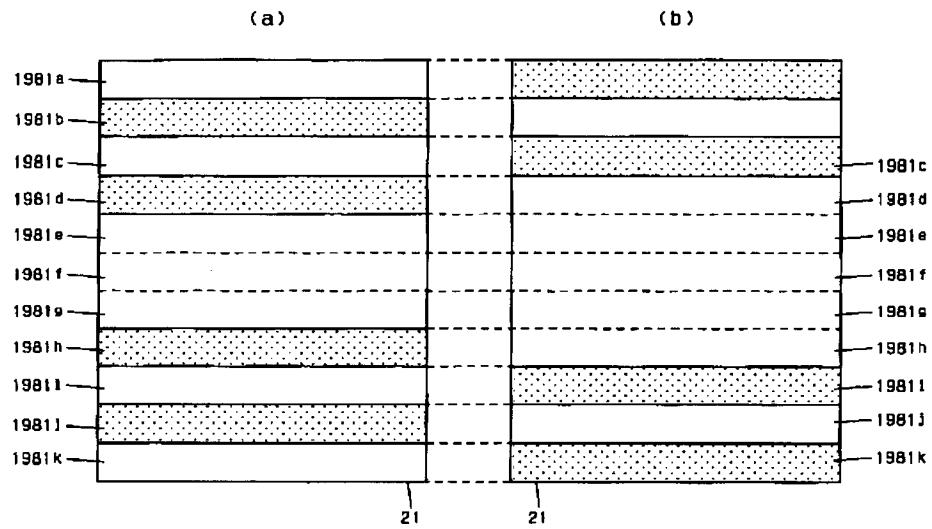
1981 ブロック



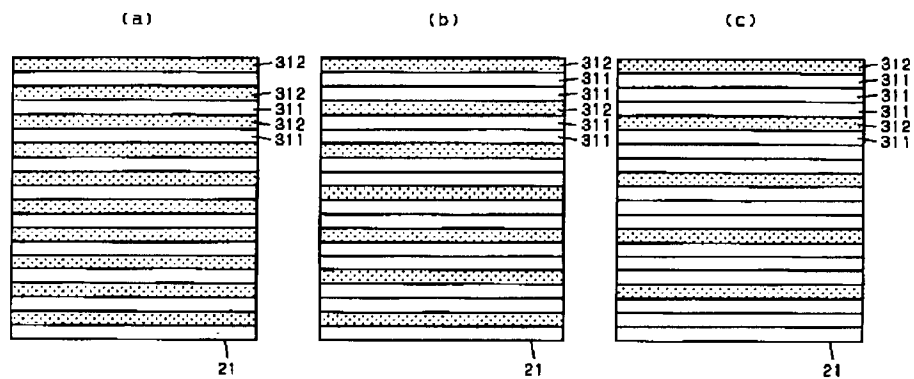
【図199】



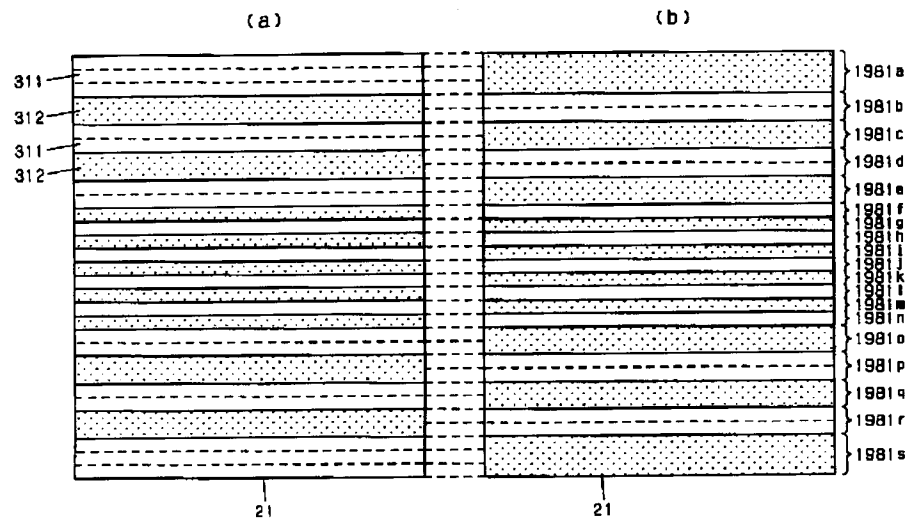
【図200】



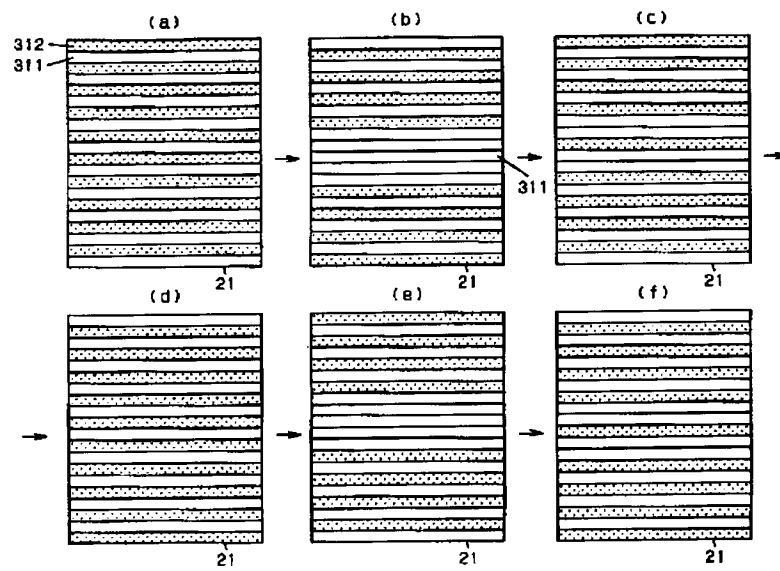
【図207】



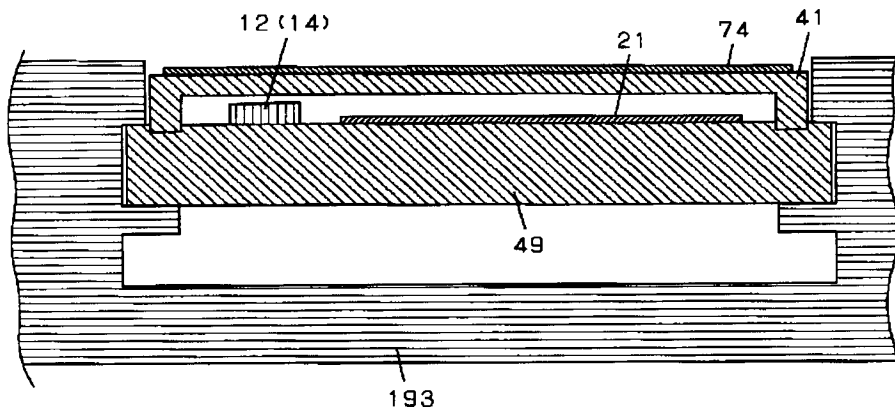
【図201】



【図202】

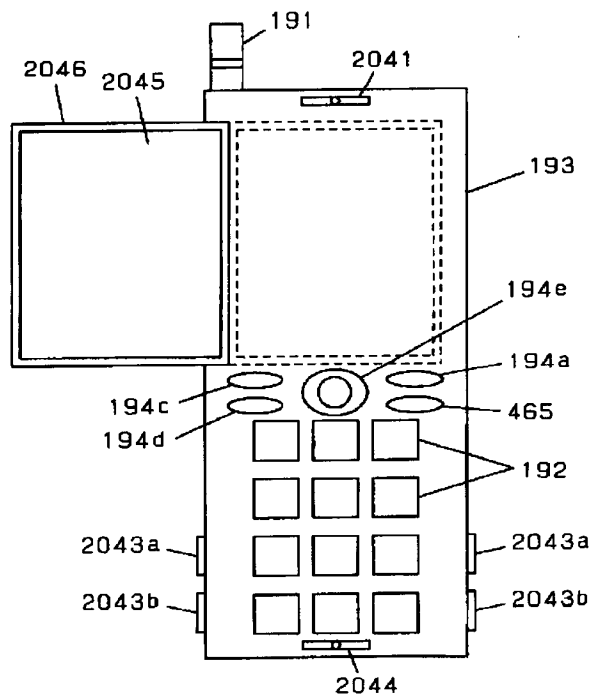


【図203】

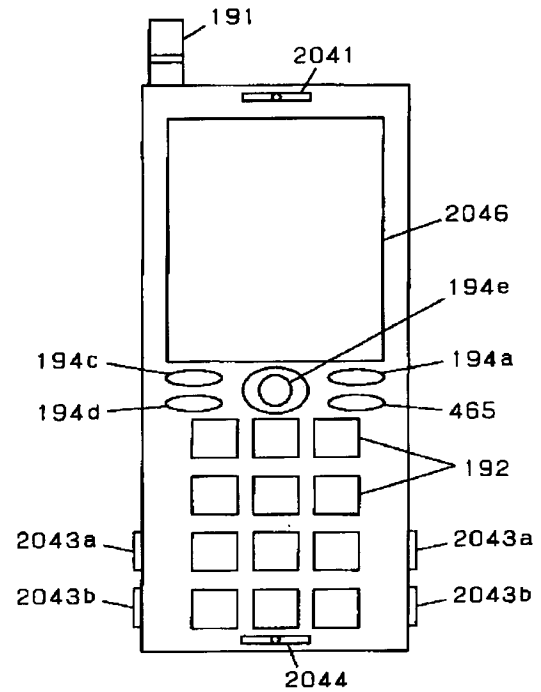


【図204】

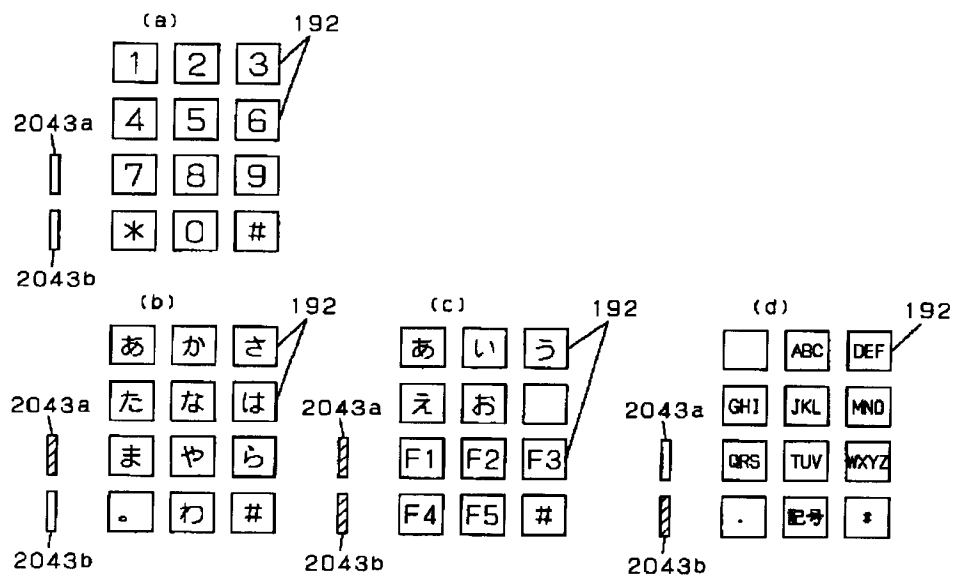
- 2041 スピーカ  
 2043 ファンクションスイッチ  
 2044 マイク  
 2045 鏡  
 2046 表示パネル



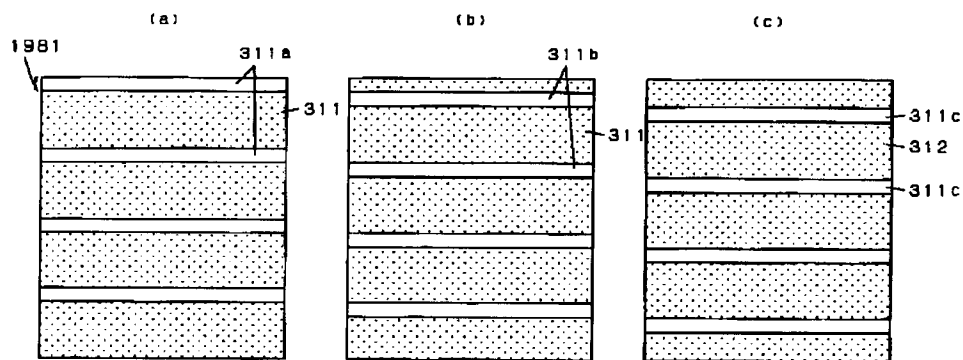
【図205】



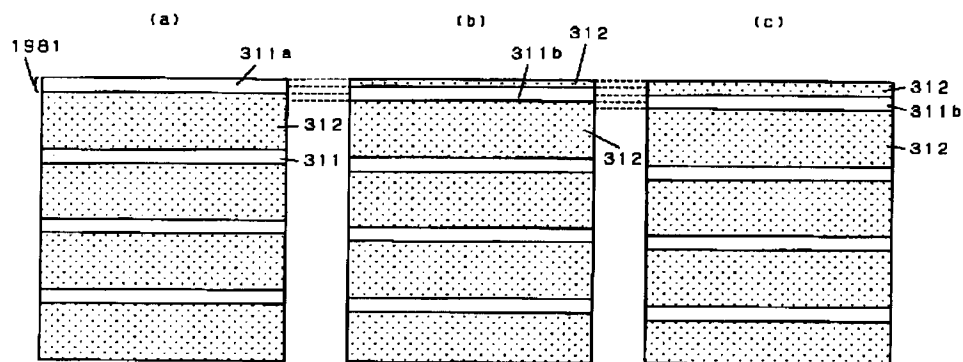
【図206】



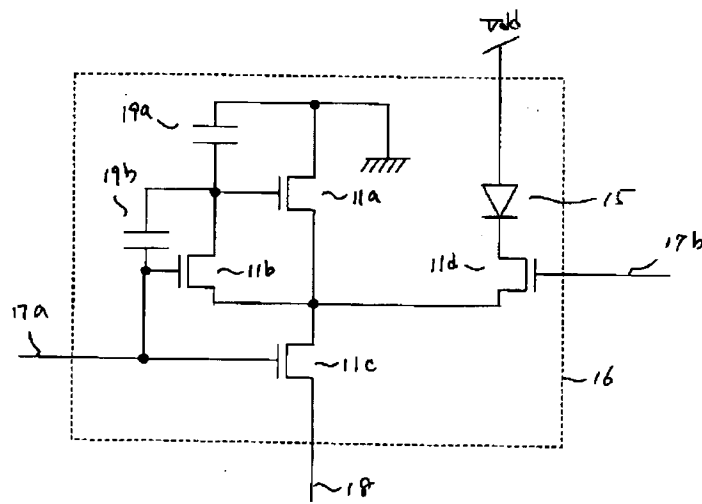
【図208】



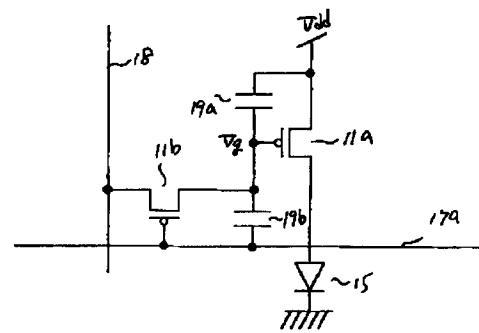
【図209】



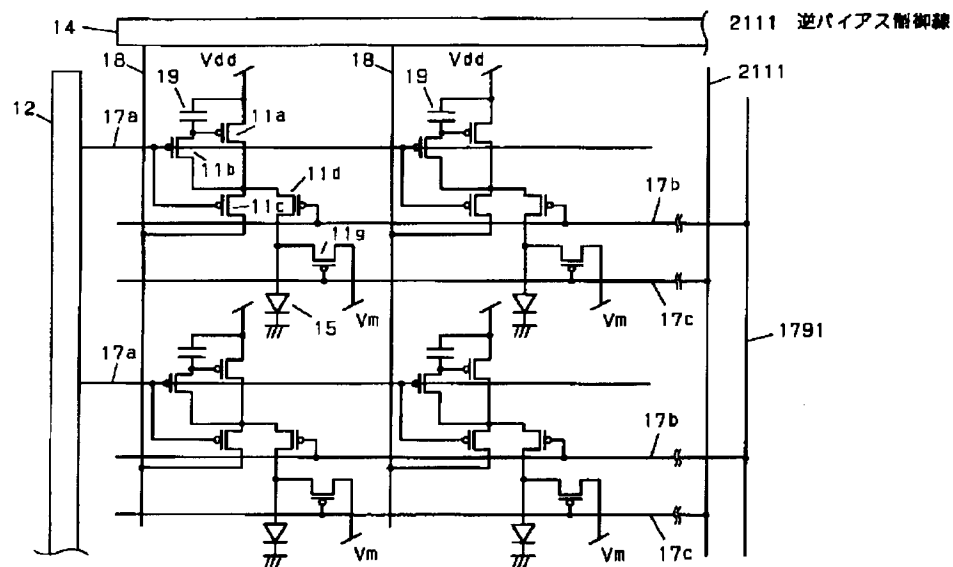
【図210】



【図222】

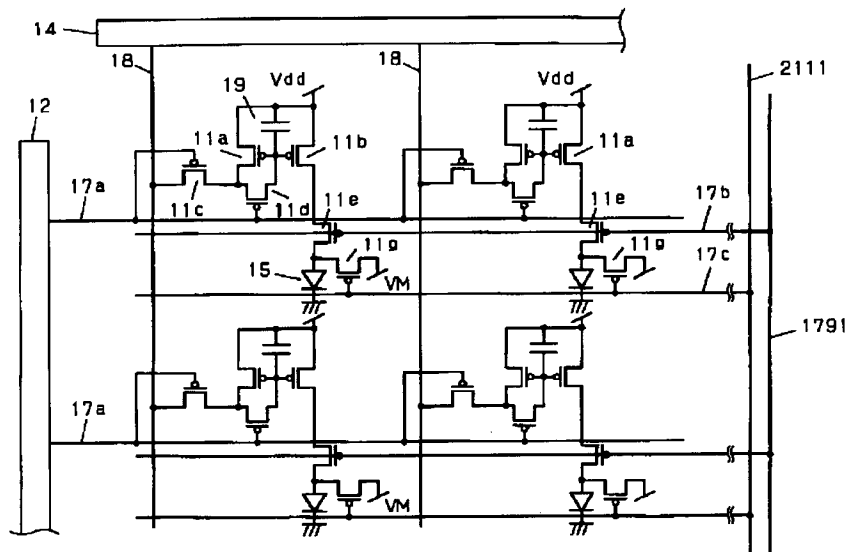


【図211】

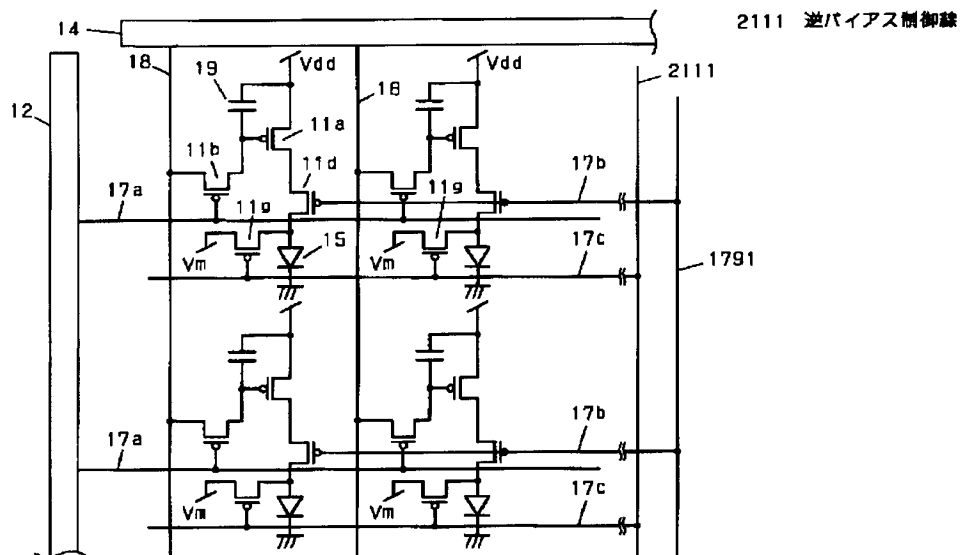




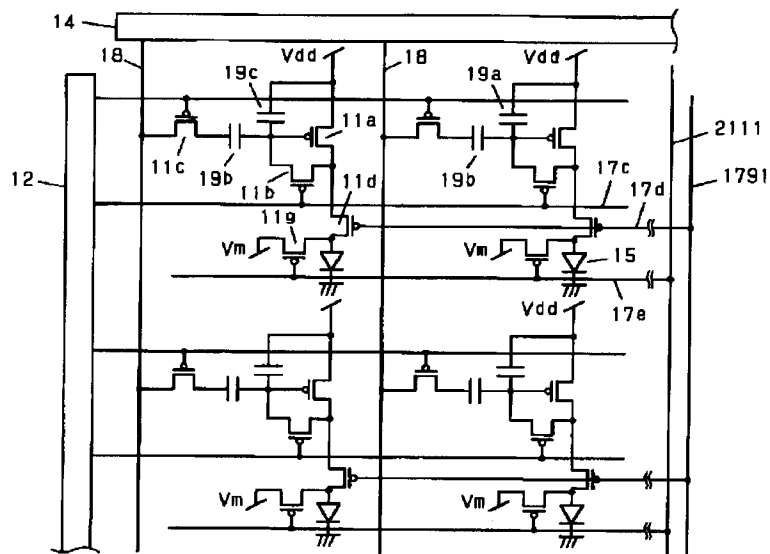
【図212】



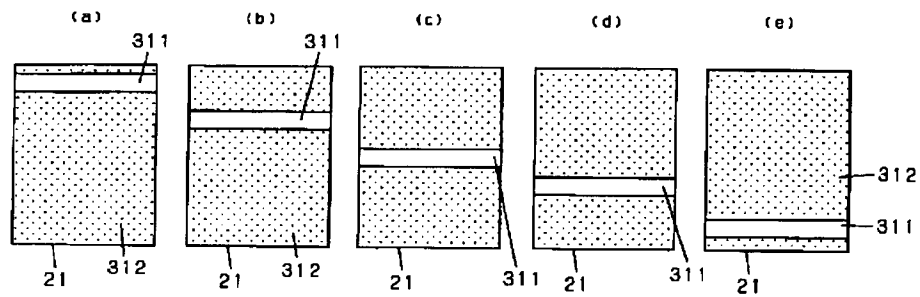
【図213】



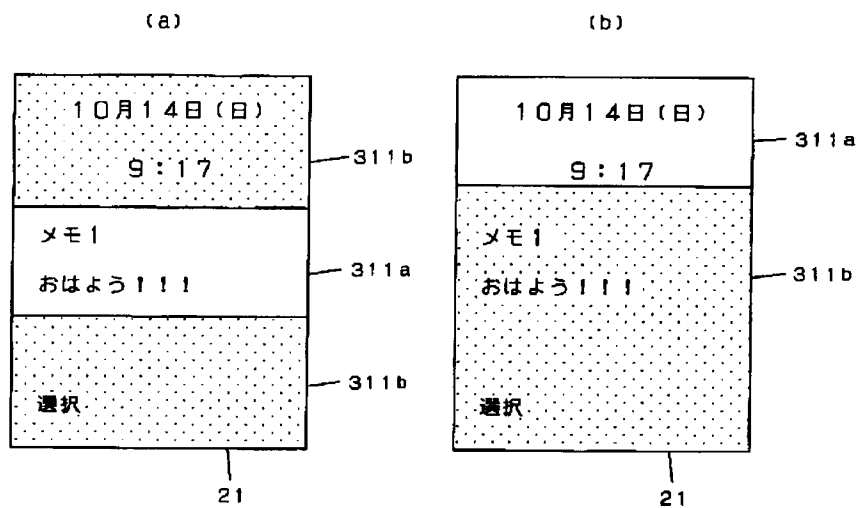
【図214】



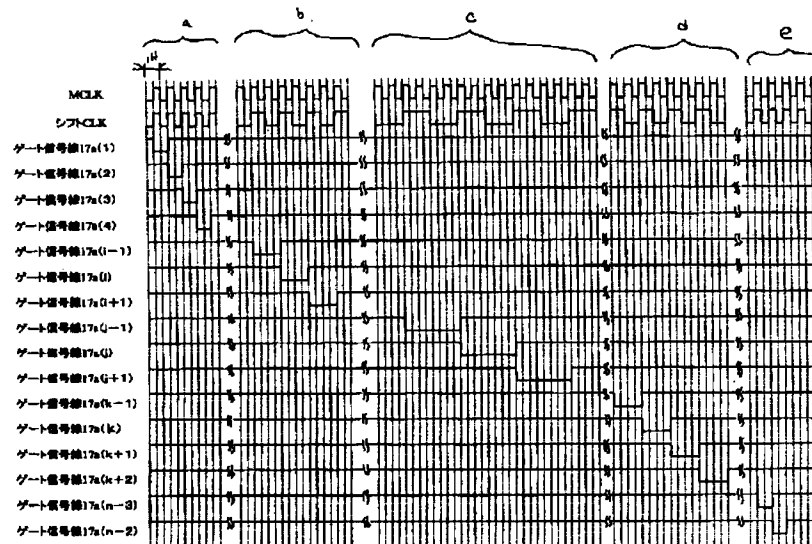
【図215】



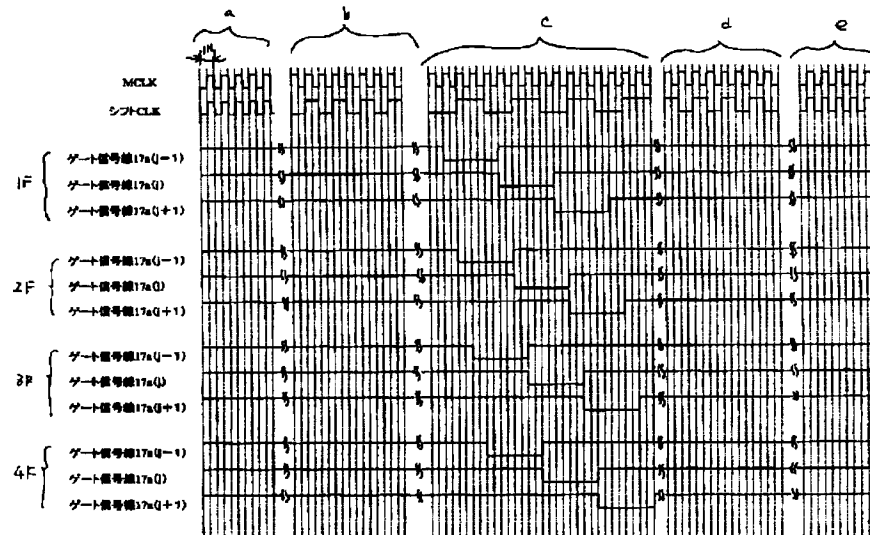
【図218】



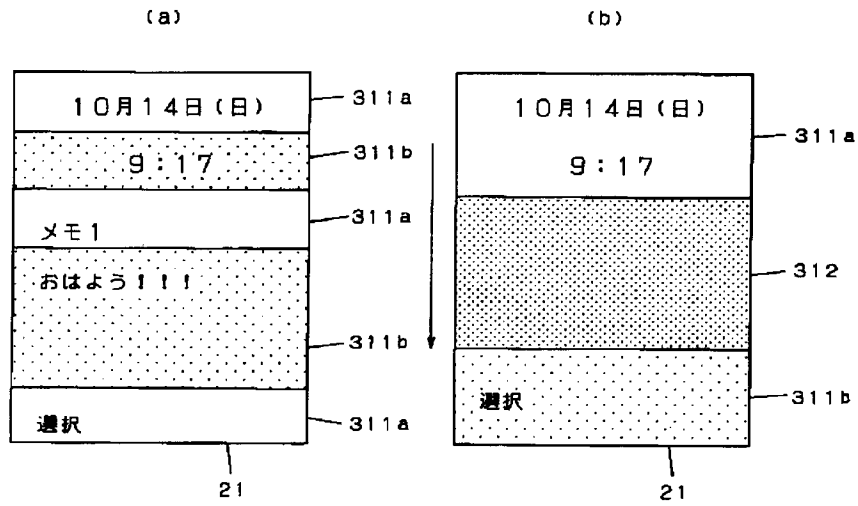
【図216】



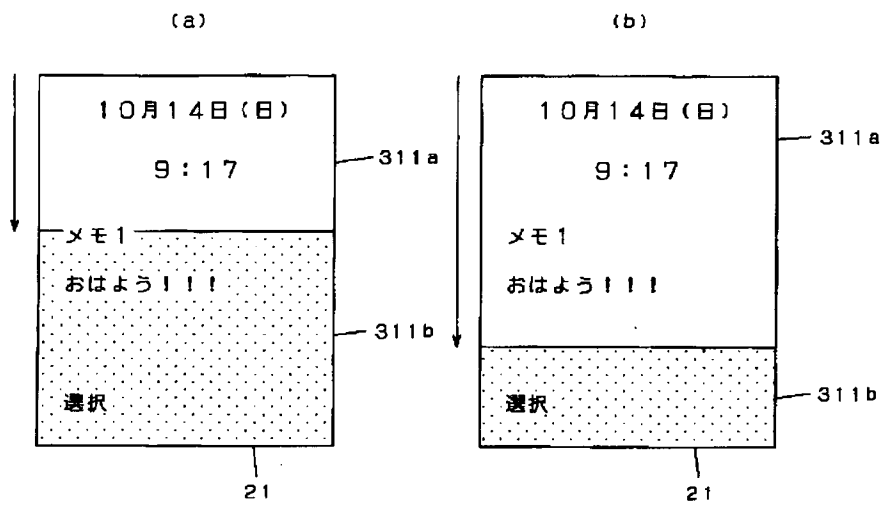
【図217】



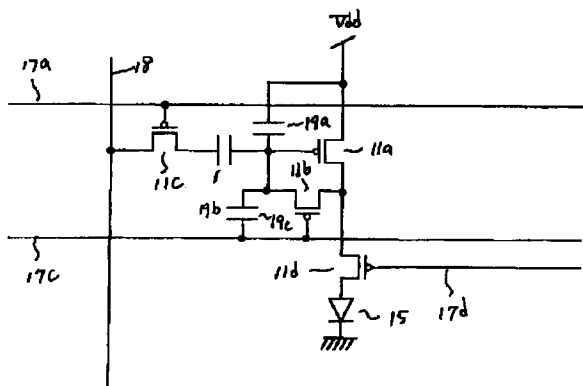
【図219】



【図220】



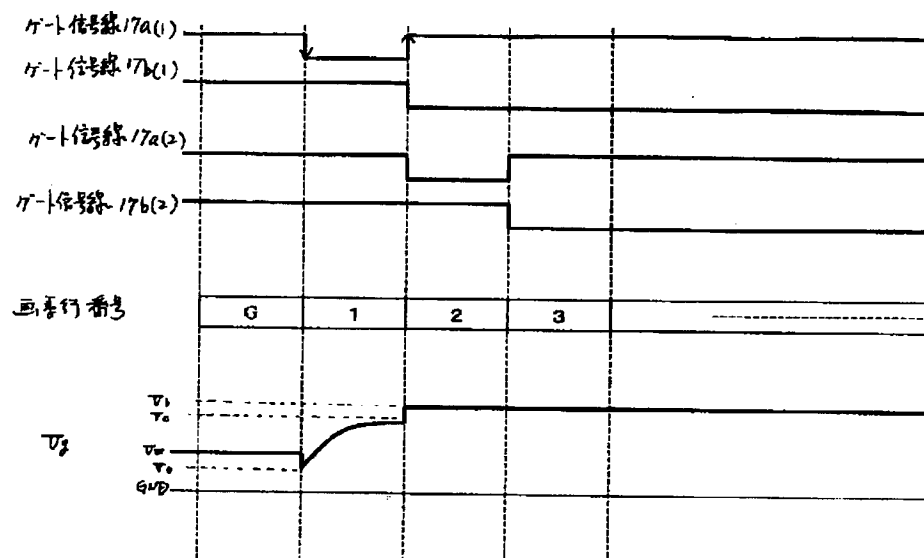
【図221】



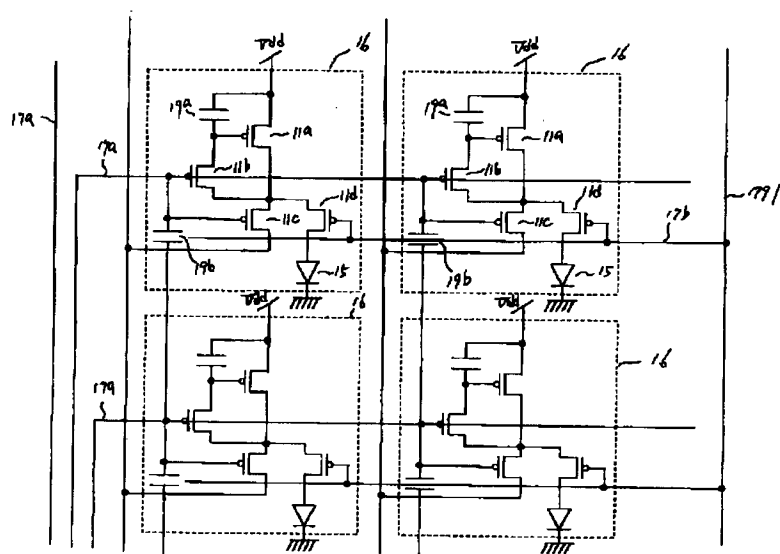




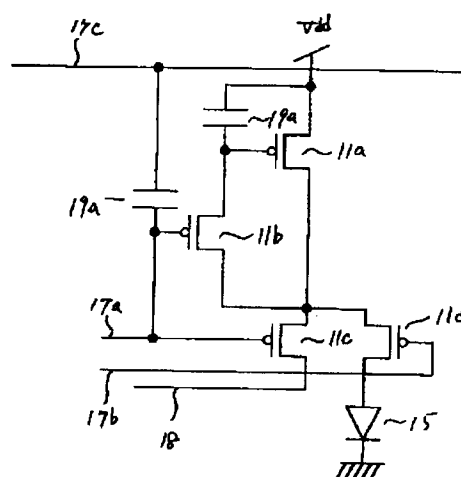
【図229】



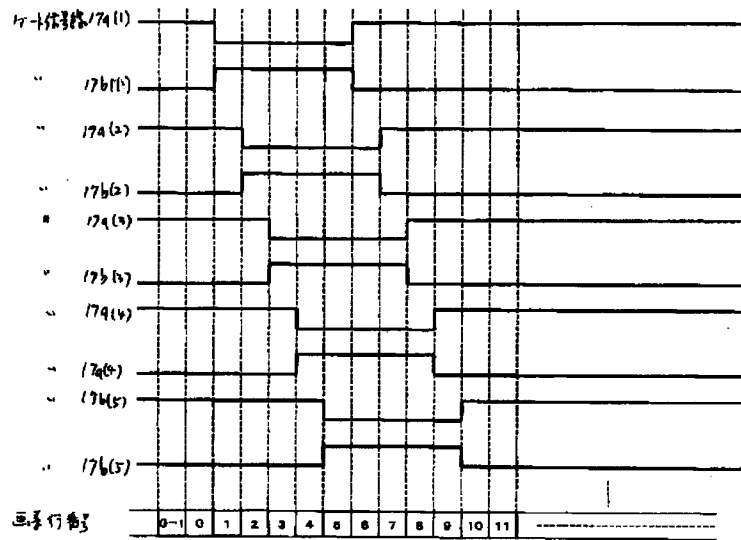
【図230】



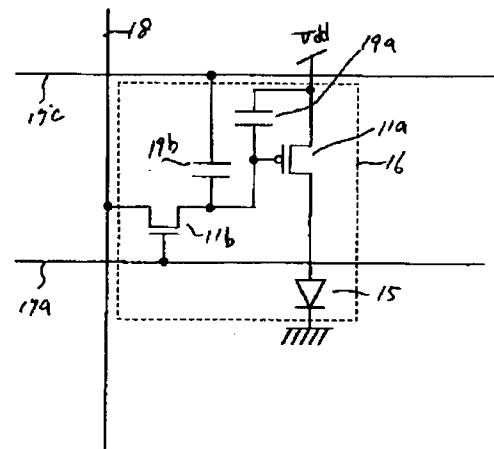
【図235】



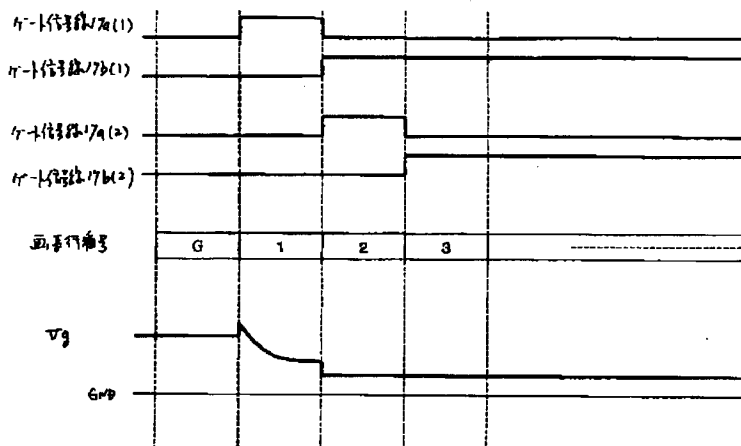
【図231】



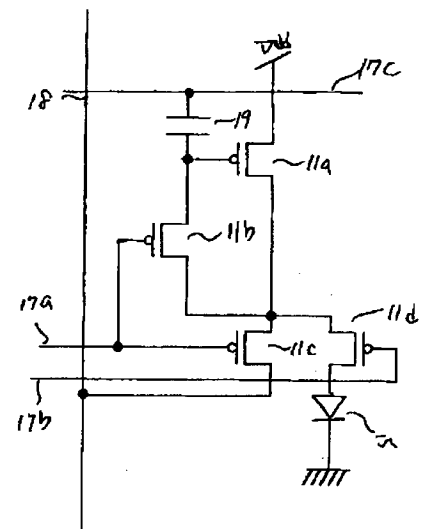
【図239】



【図232】

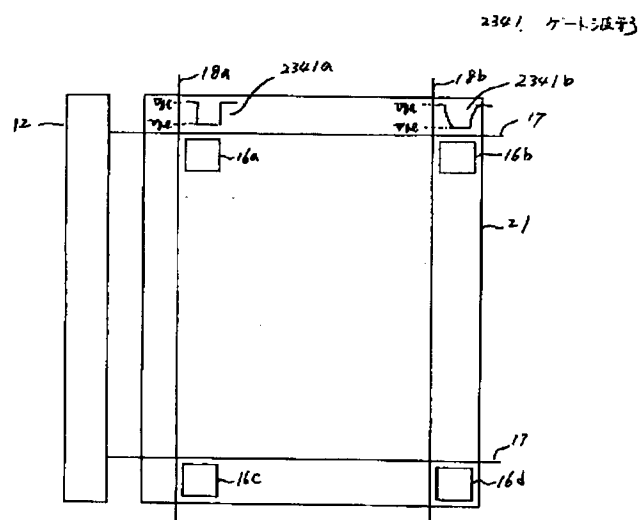


【図244】

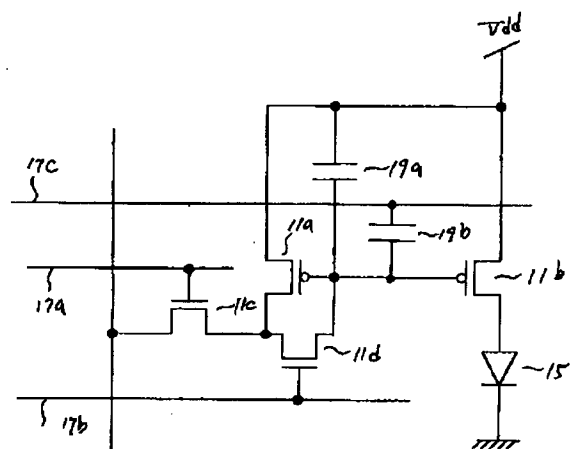




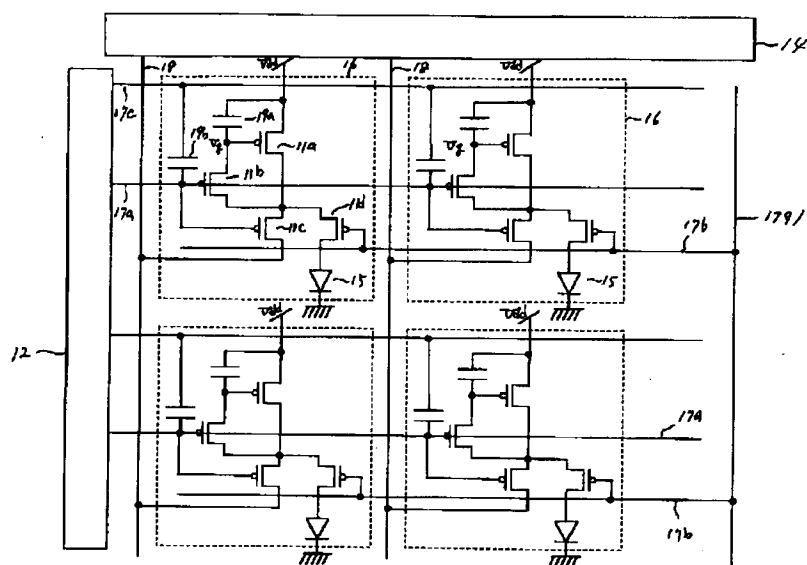
【図234】



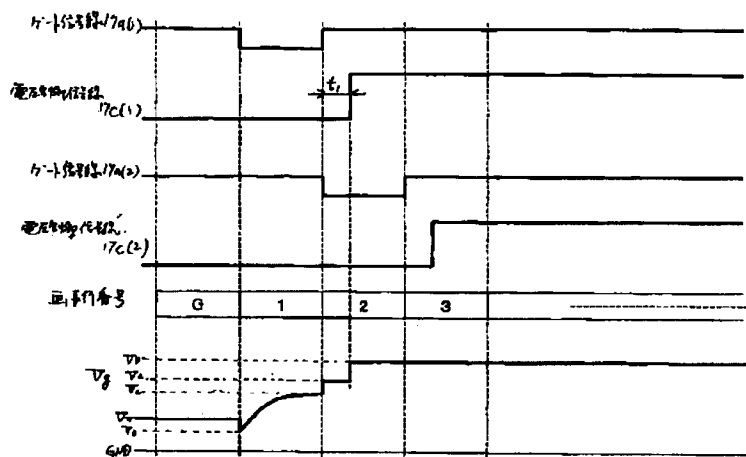
【図243】



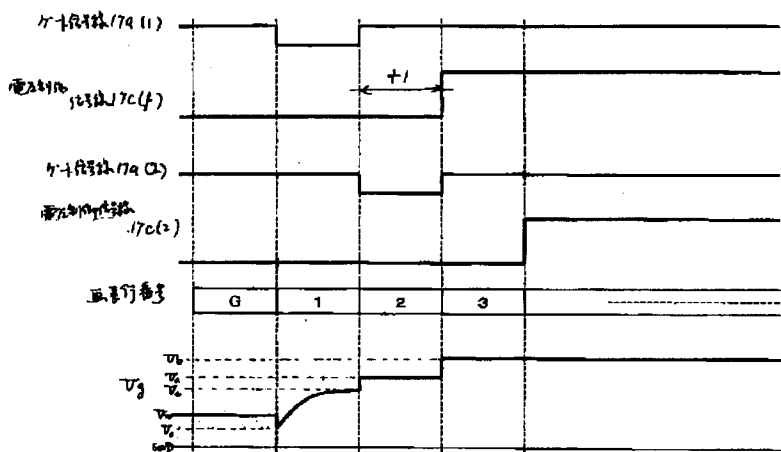
【図236】



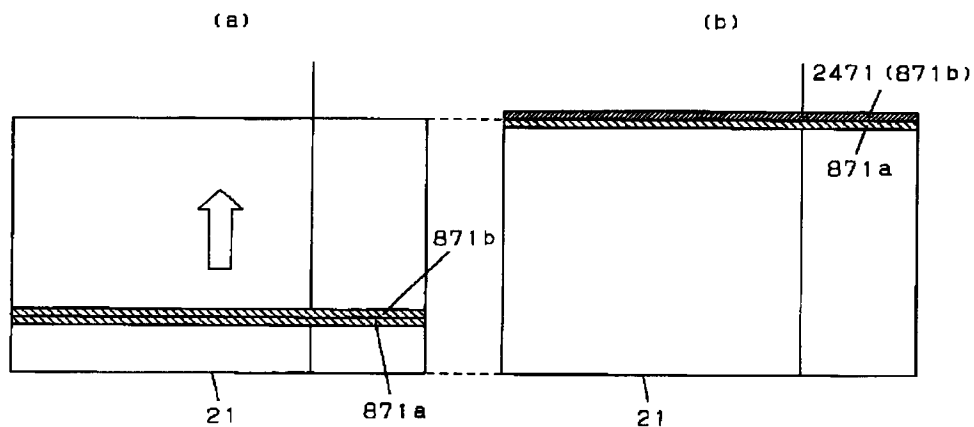
【図 237】



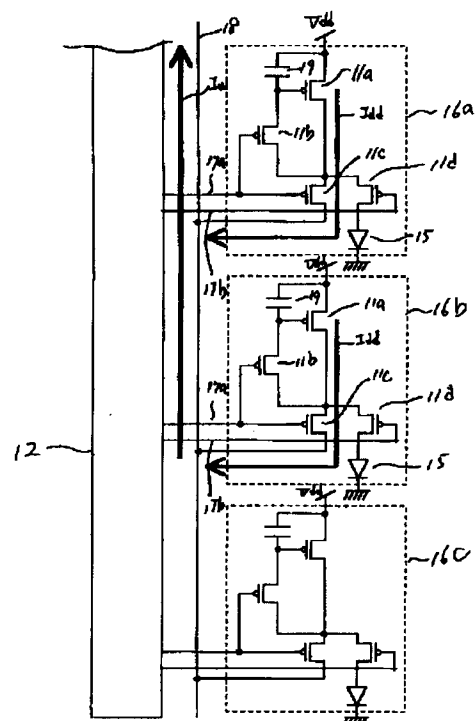
【図 238】



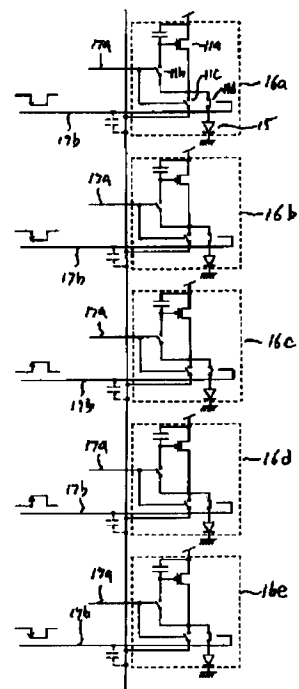
【図 25 1】



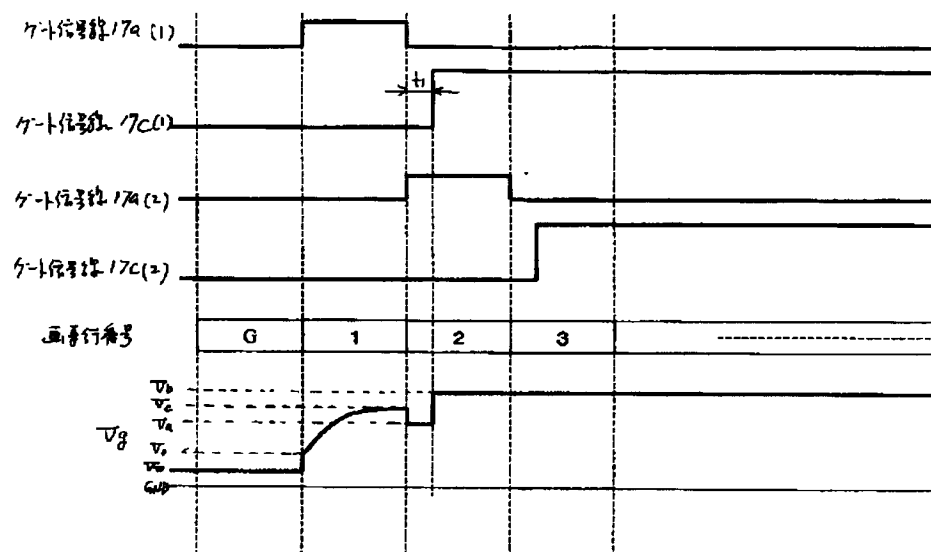
【図246】



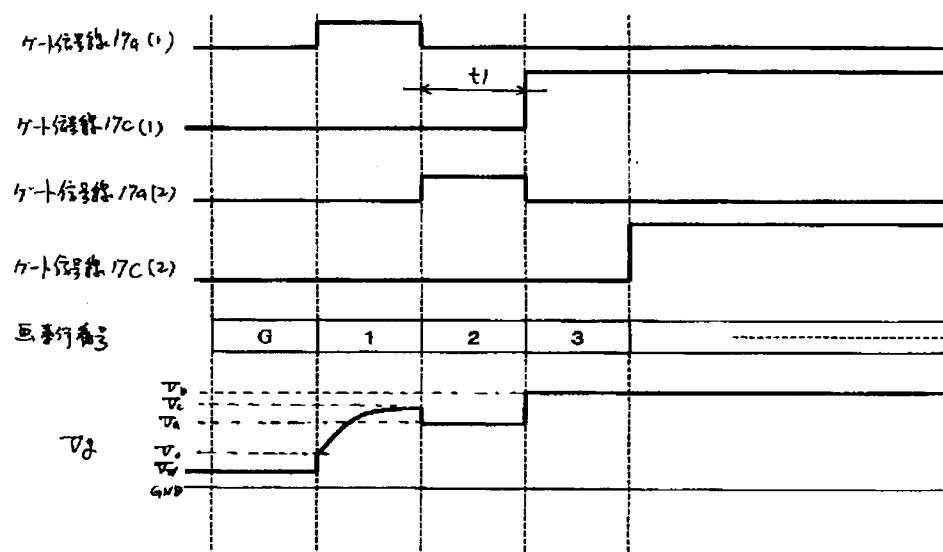
【图 3 3 0】



【図240】

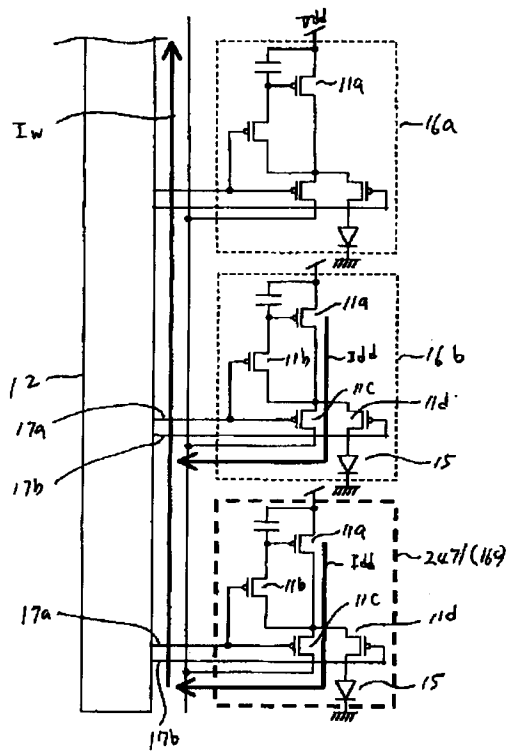


【図241】

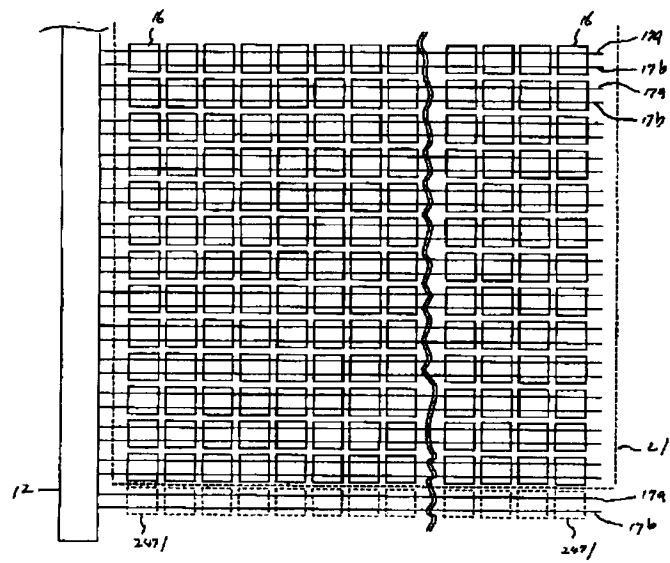




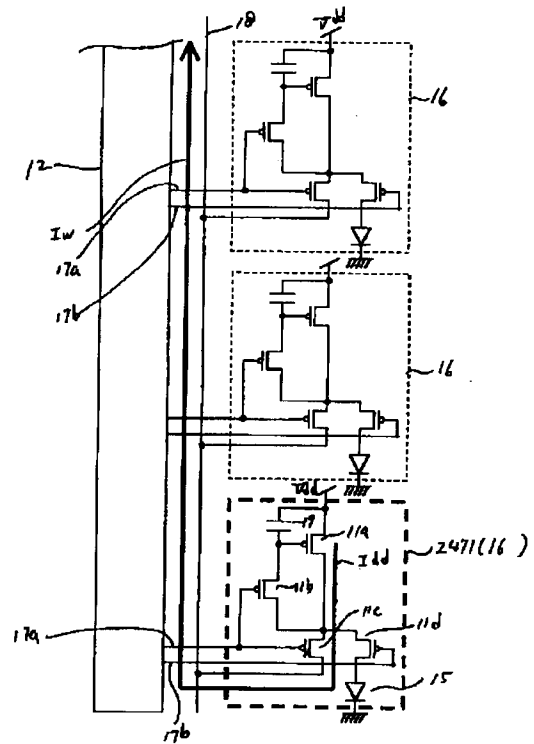
【図248】



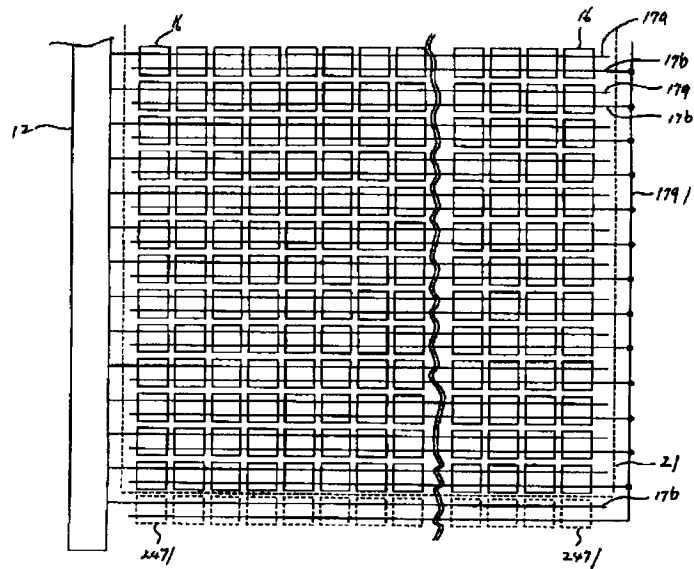
【図249】



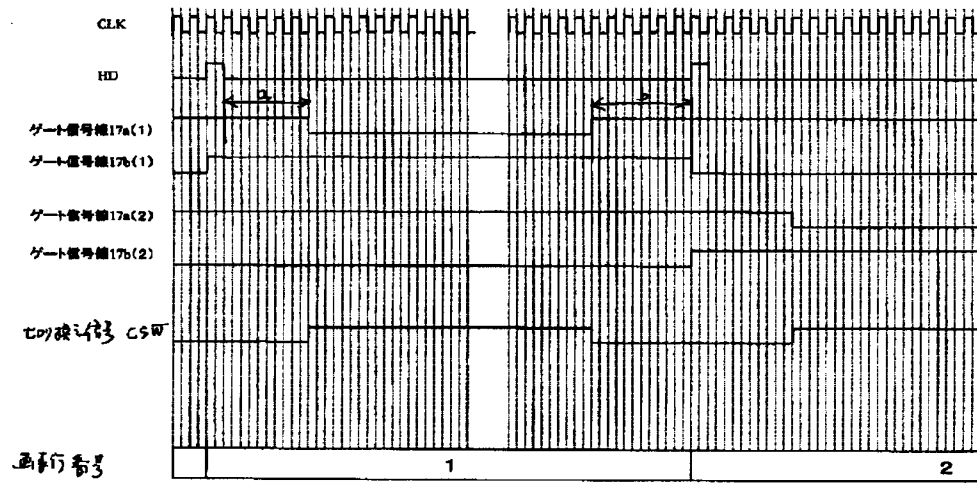
【圖 253】



【図250】

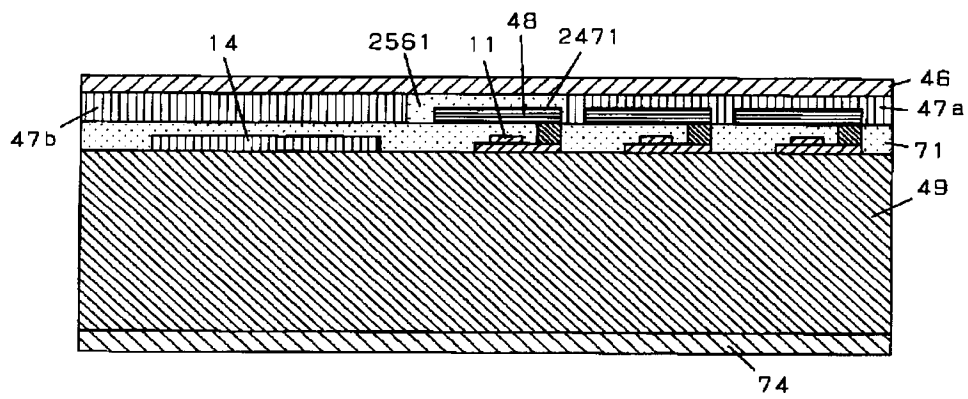


【図252】

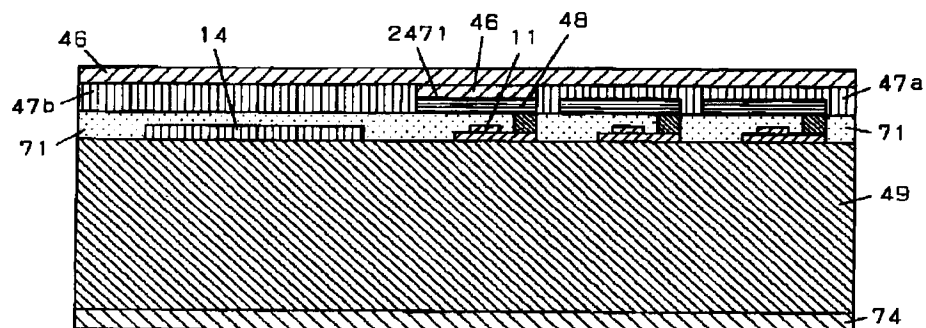


【図256】

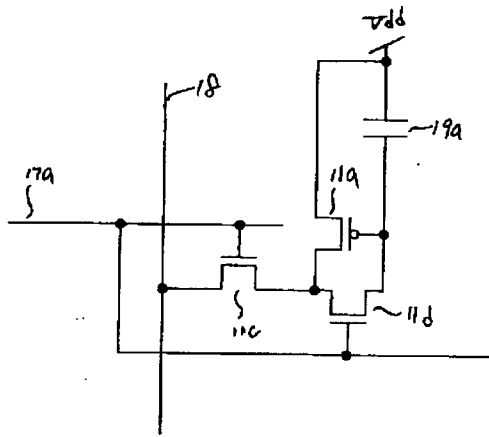
2561 絶縁膜



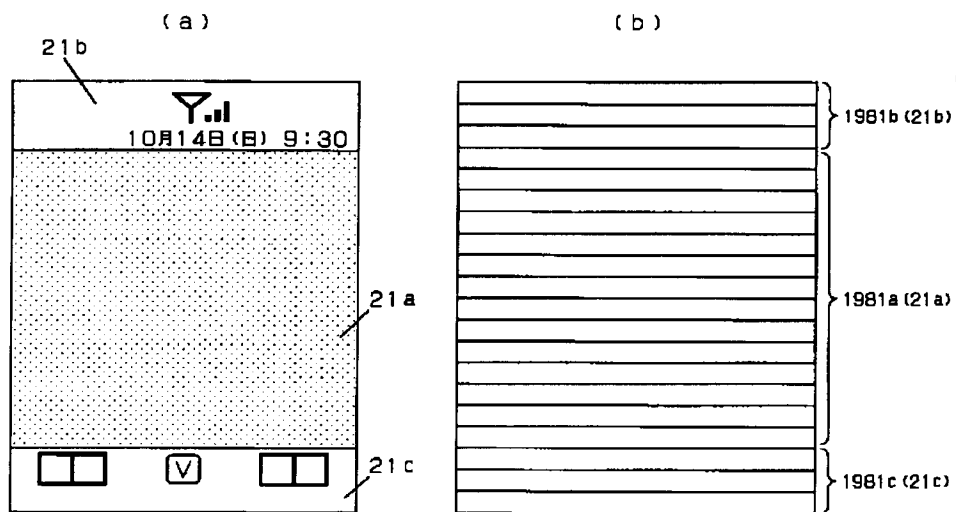
【図257】



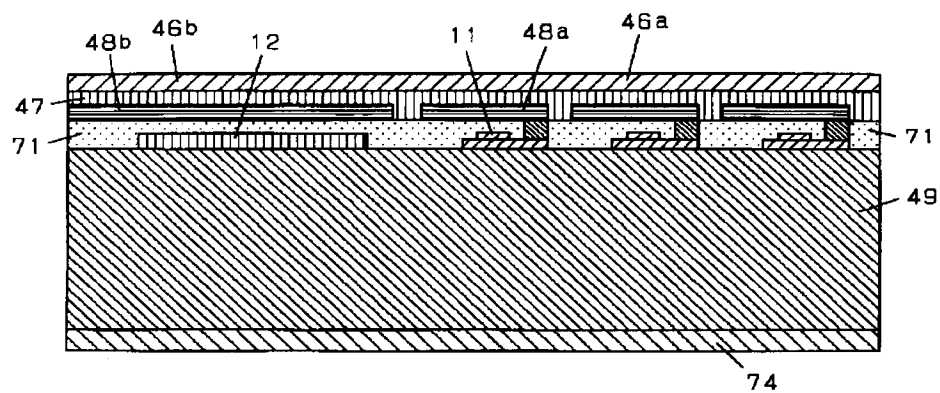
【図259】



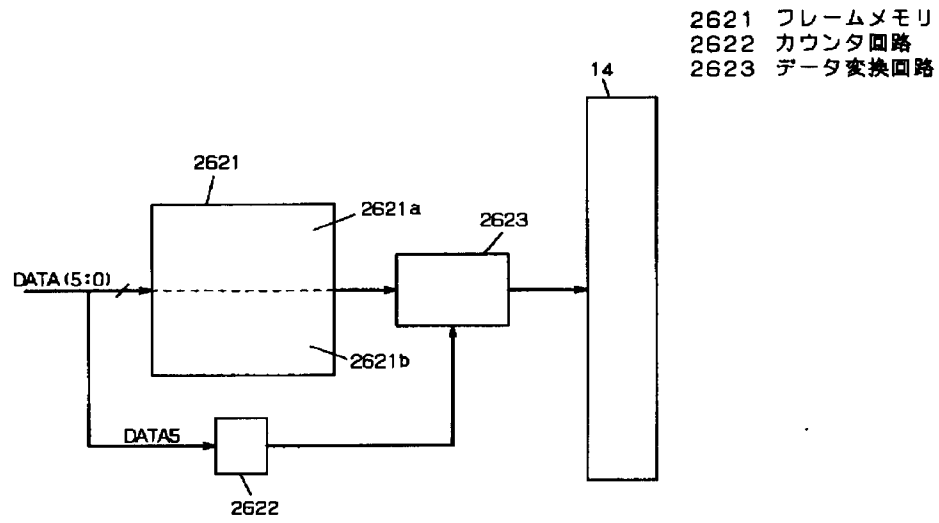
【図261】



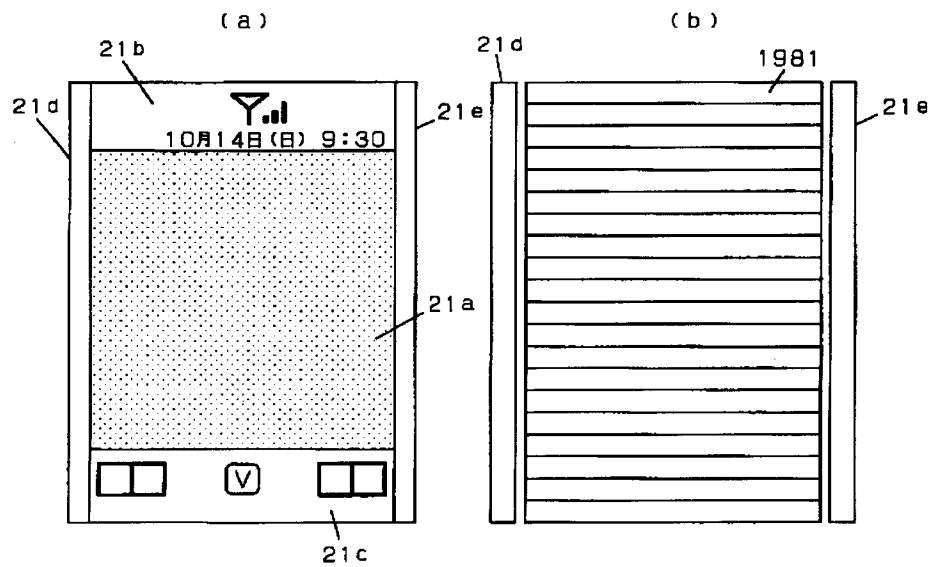
【図264】



【図262】

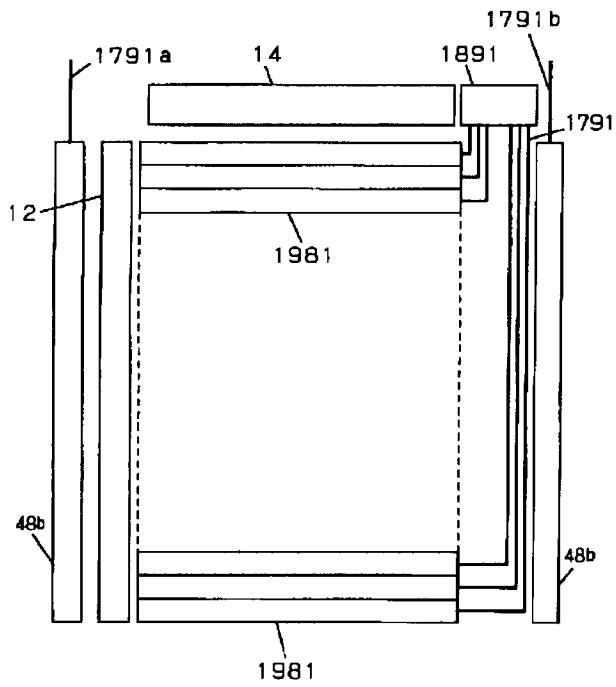


【図263】

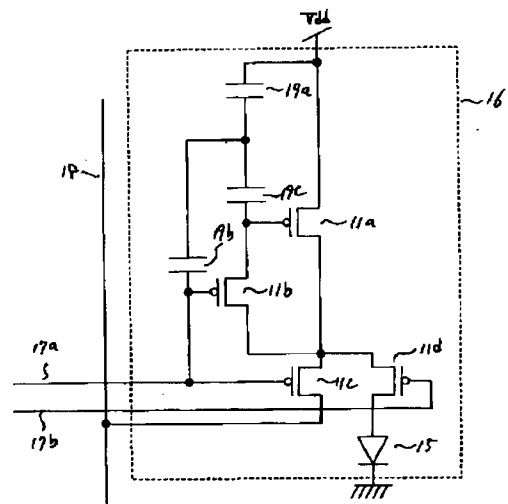




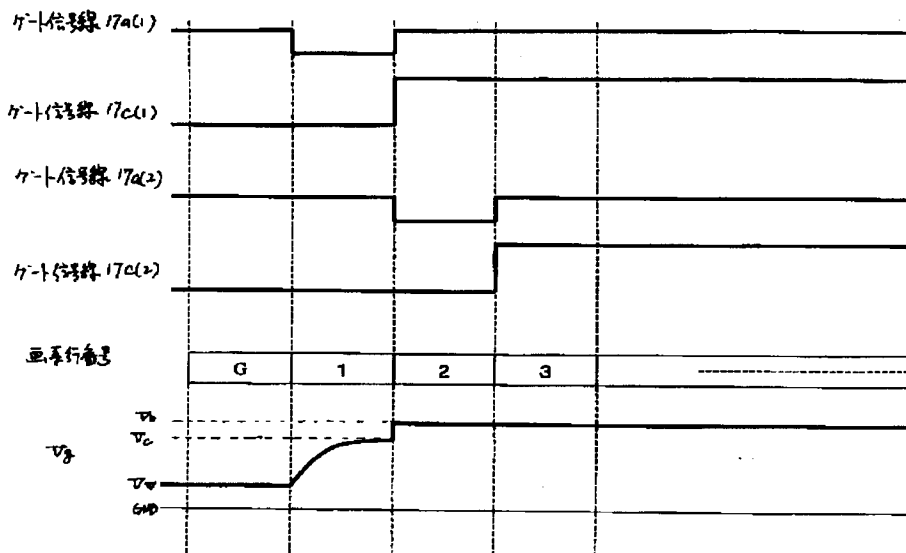
【図265】



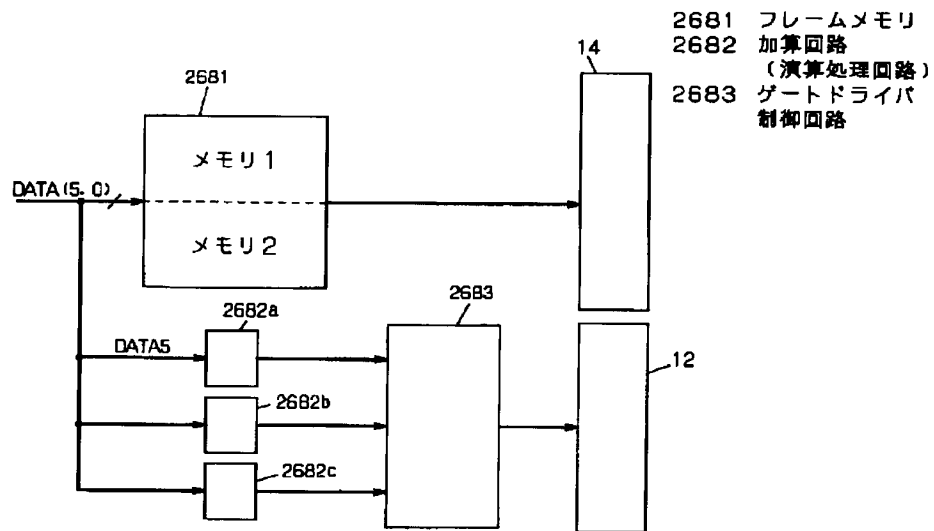
【図267】



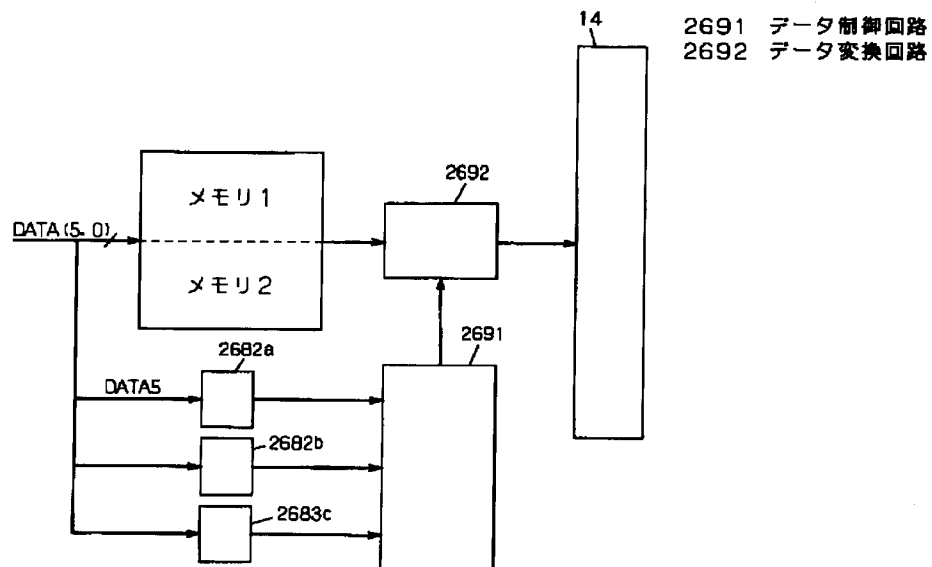
【図266】



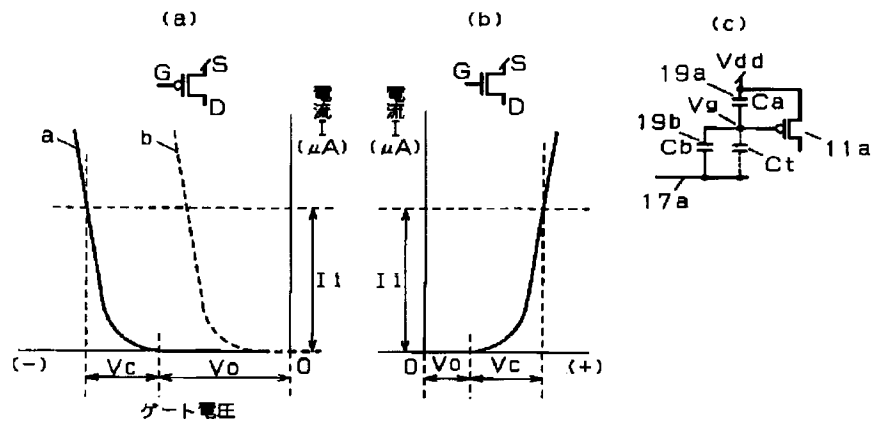
【図268】



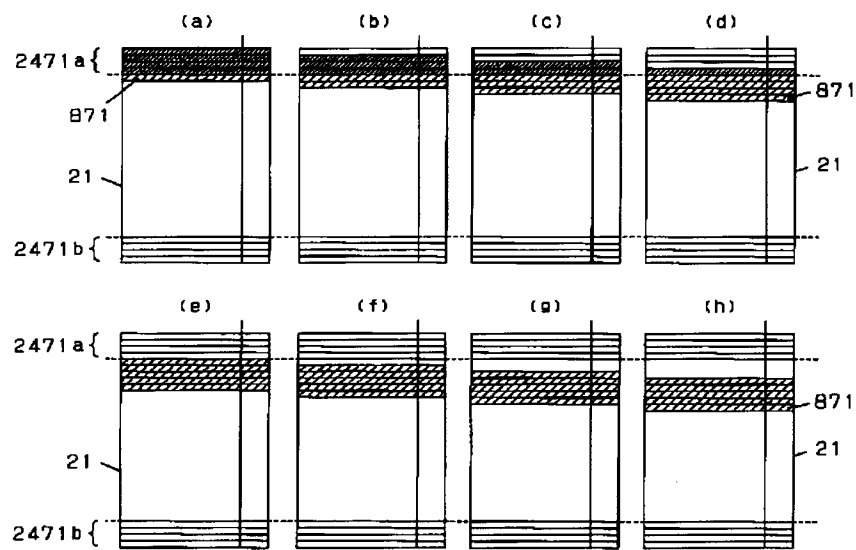
【図269】



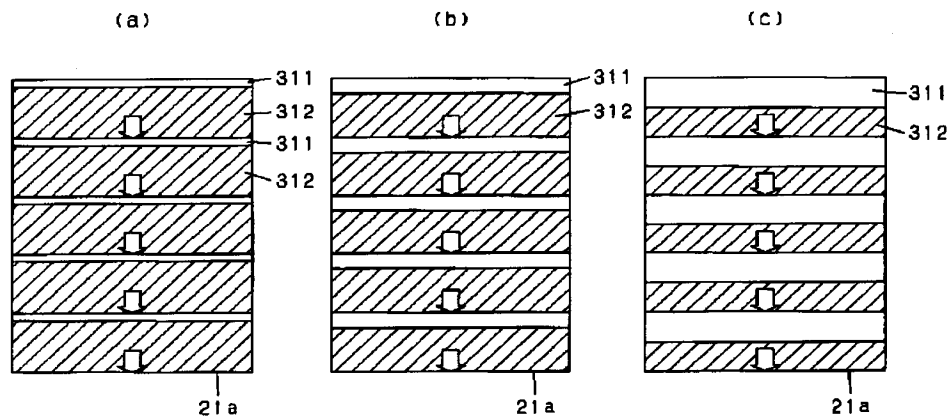
【図270】



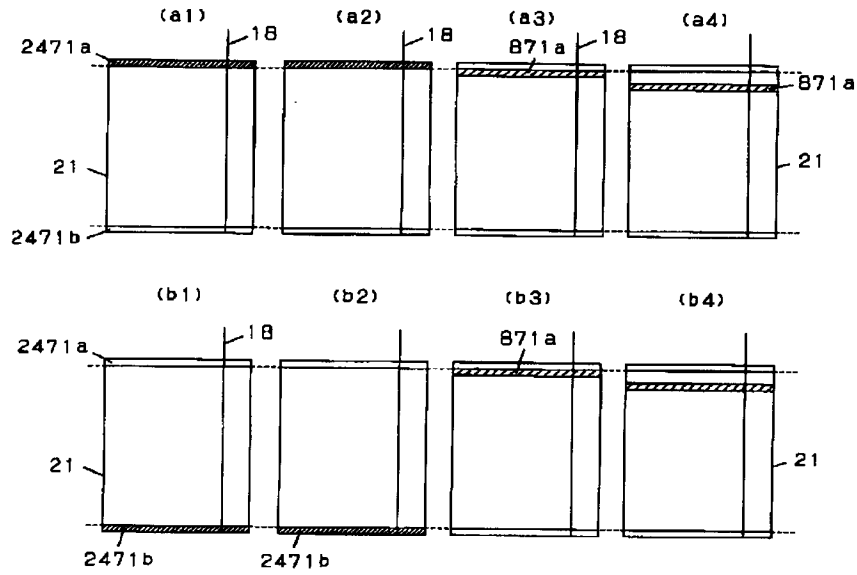
【図271】



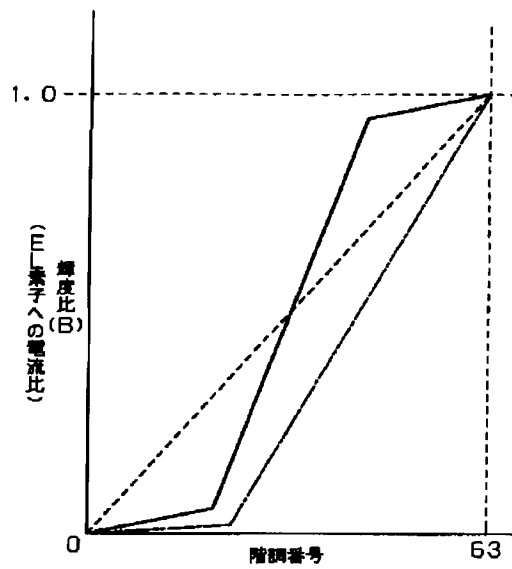
【図273】



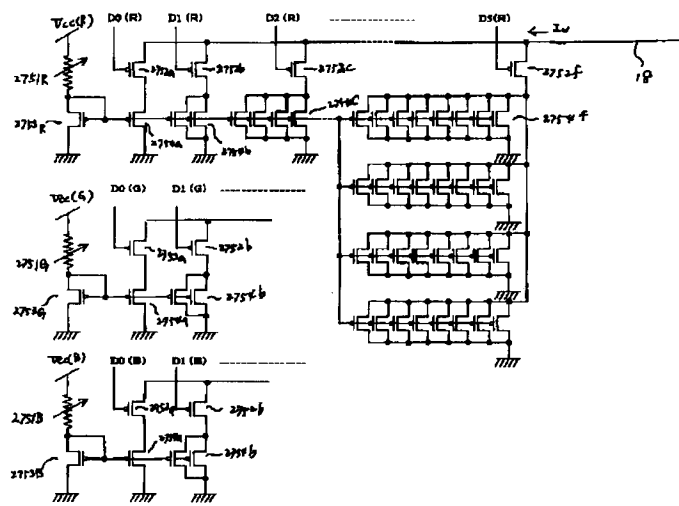
【図272】



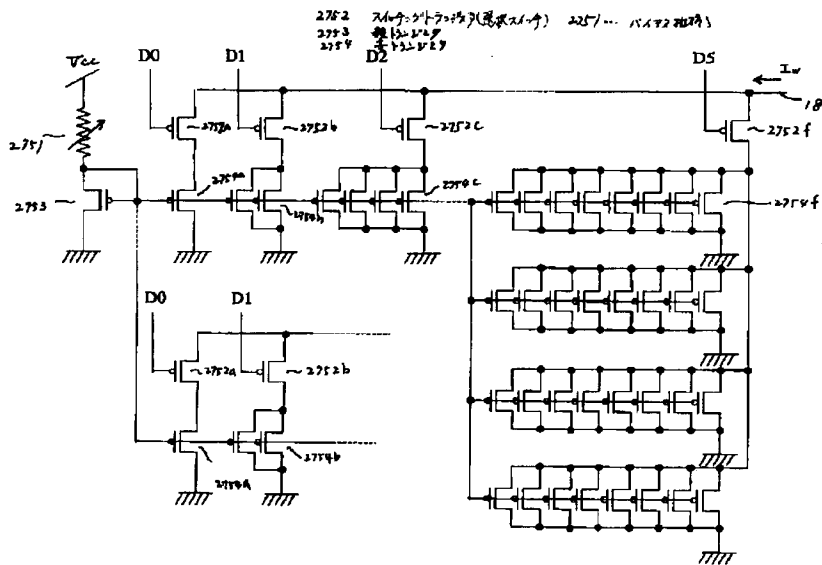
【図274】



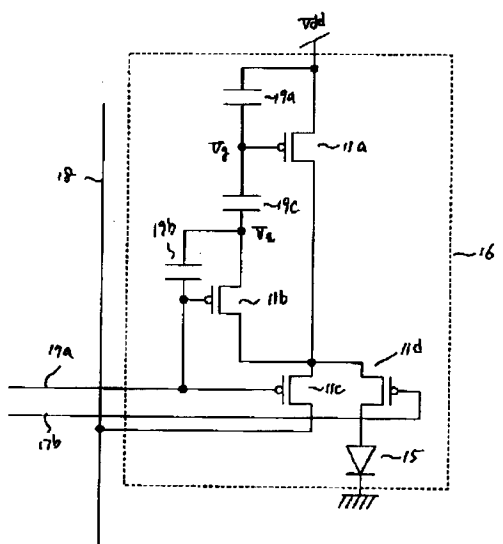
【図276】



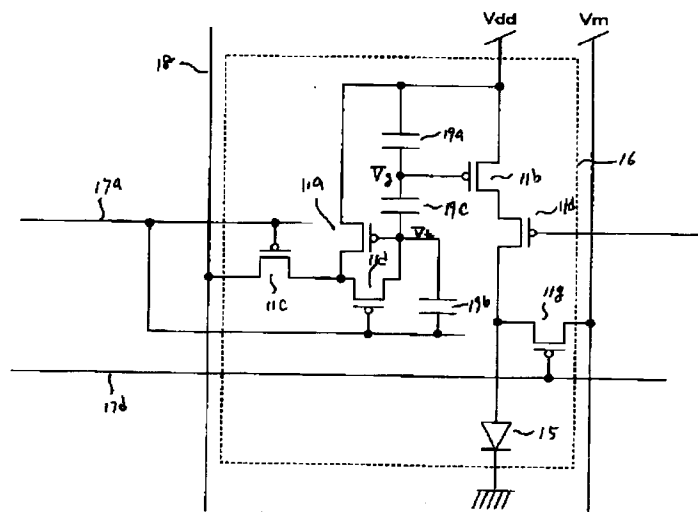
【图 275】



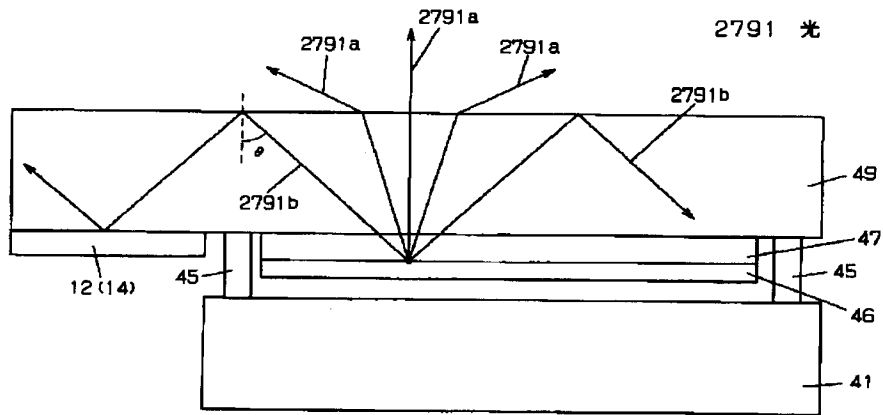
【圖 277】



【图 278】

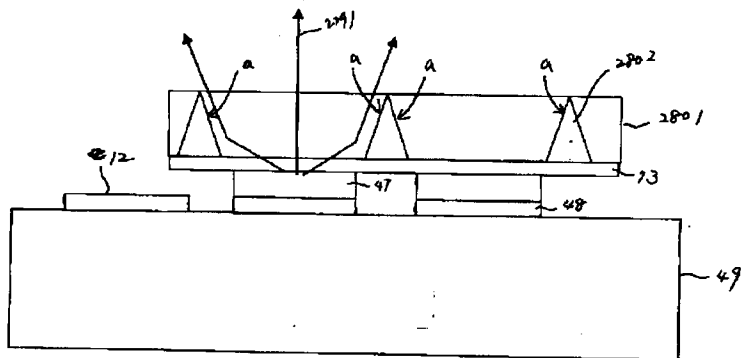


【図279】

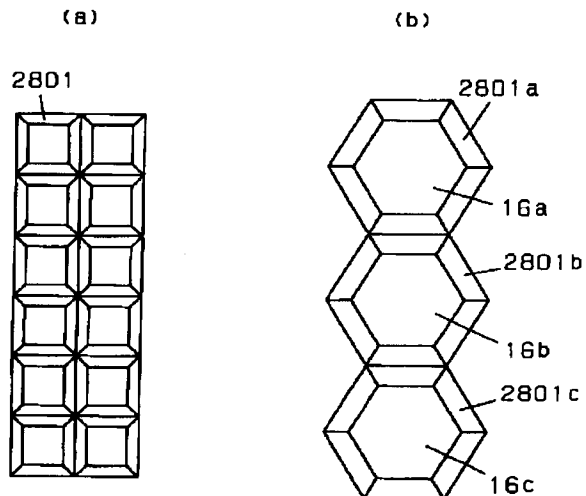


【図280】

2801 層折レト(層折部材)  
2802 層折部

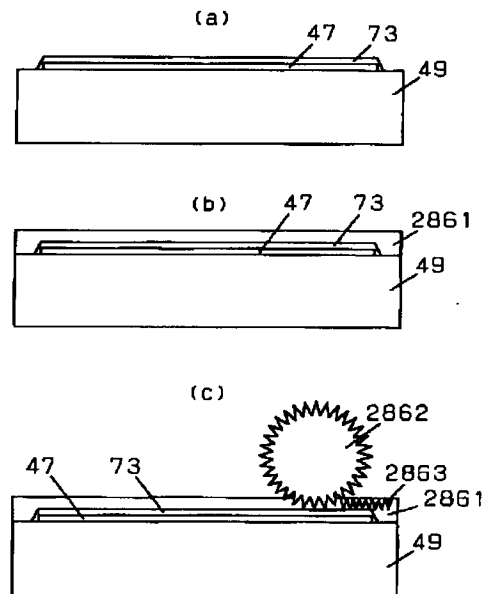


【図285】

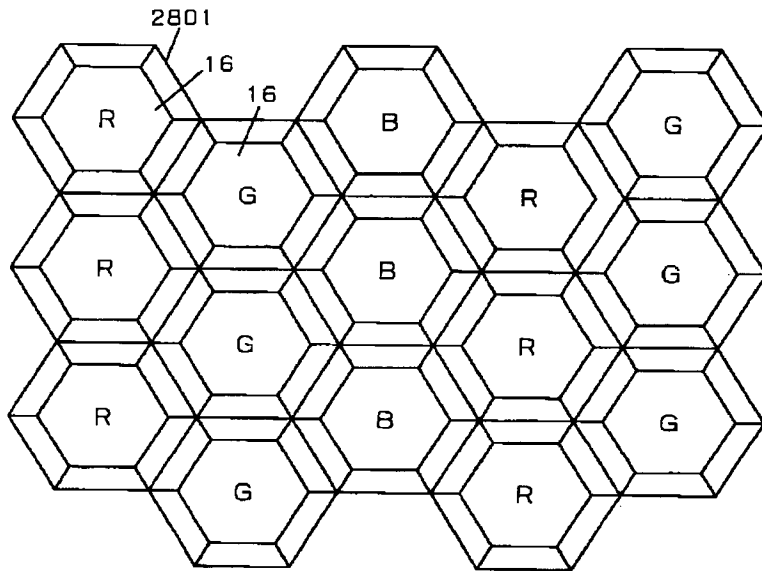


【図286】

2861 透明膜  
2862 ローラー  
2863 凹凸(凹部)

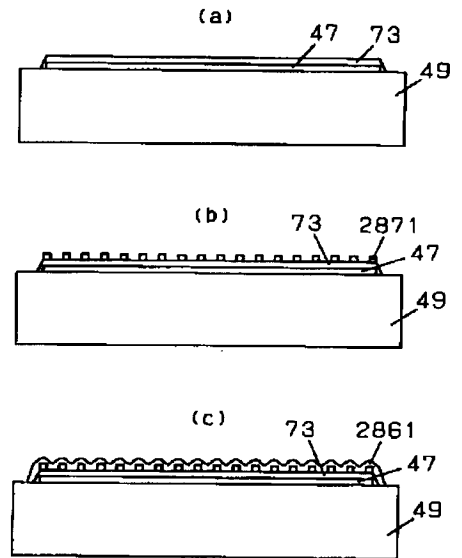


【図281】

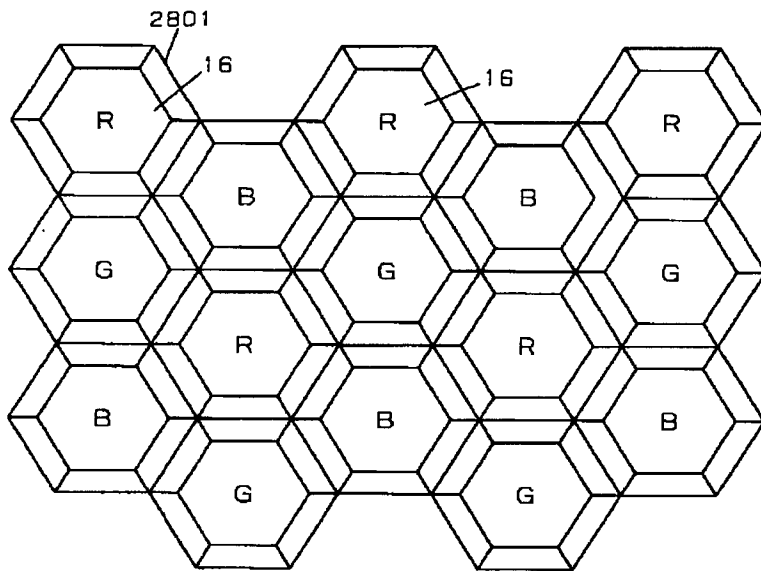


【図287】

2871 凸部

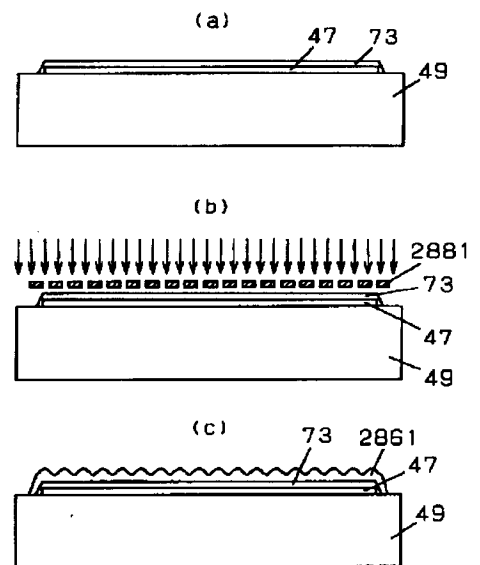


【図282】

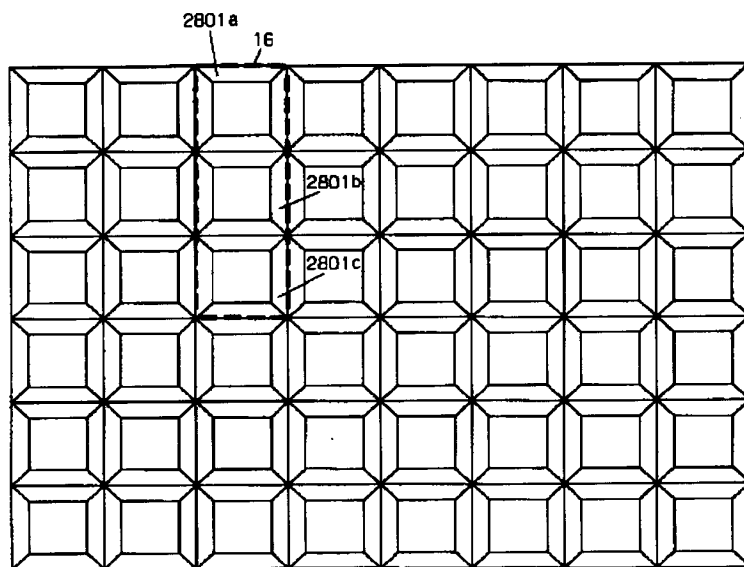


【図288】

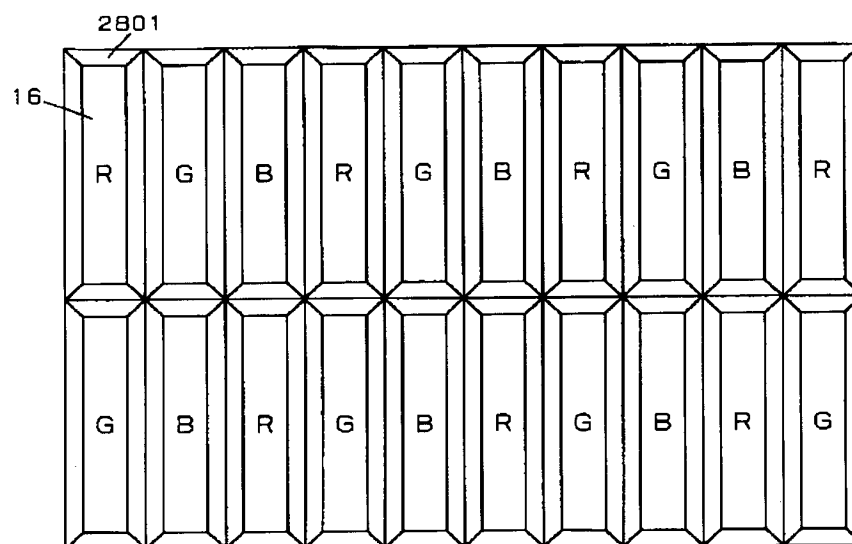
2881 メタルマスク



【図283】

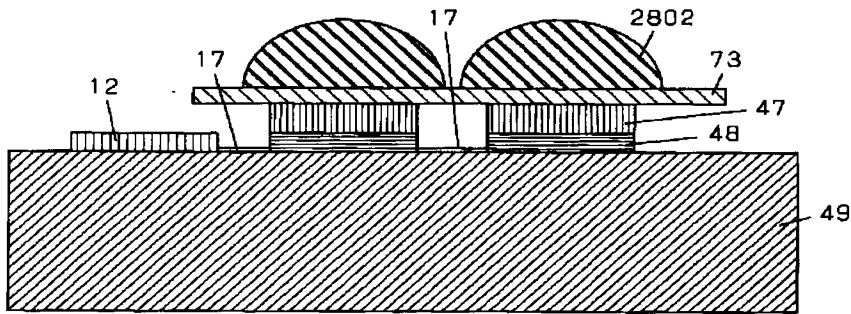


【図284】



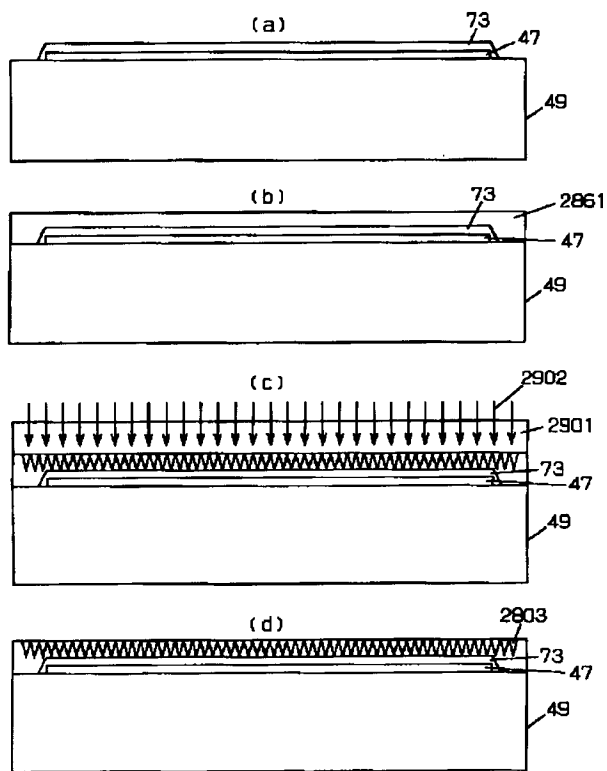


【図289】

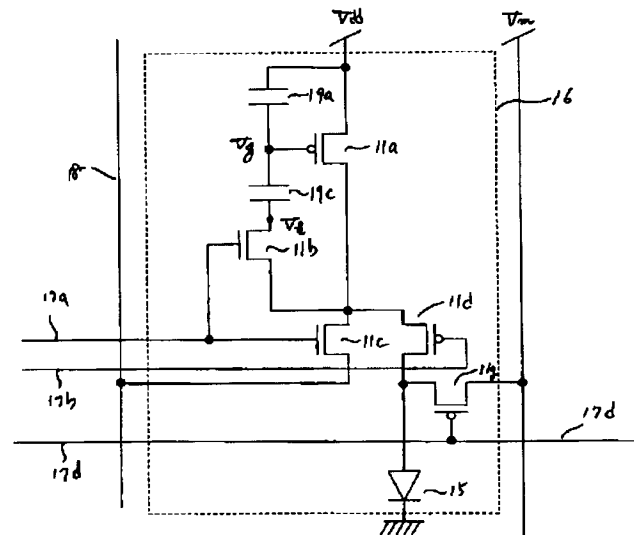


【図290】

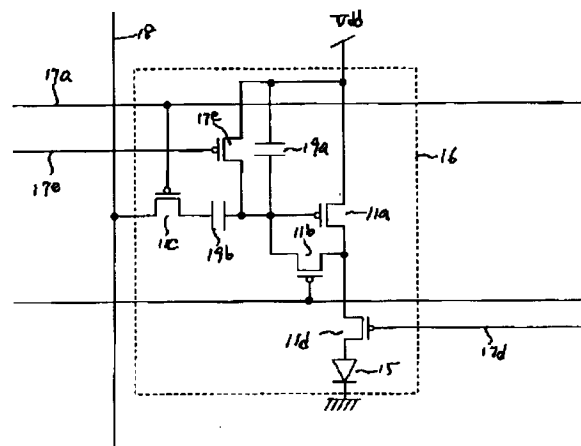
2901 プレス板  
2902 光 (UV光)



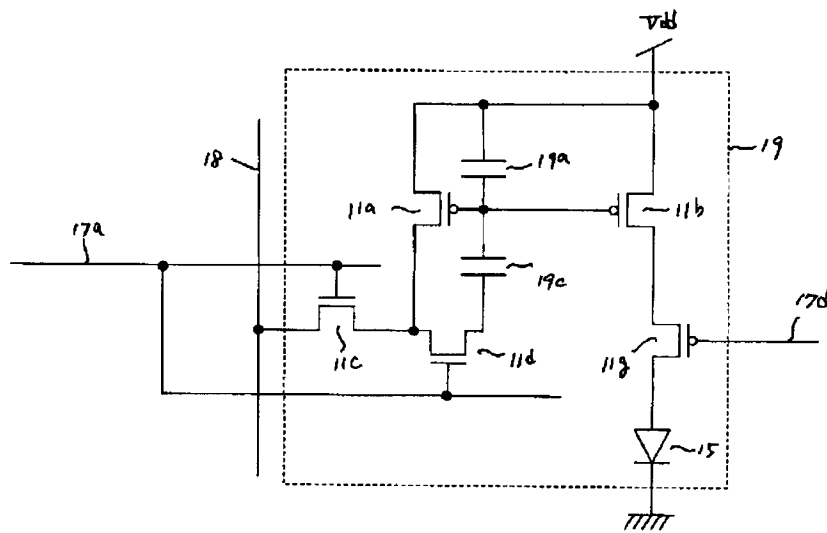
【図292】



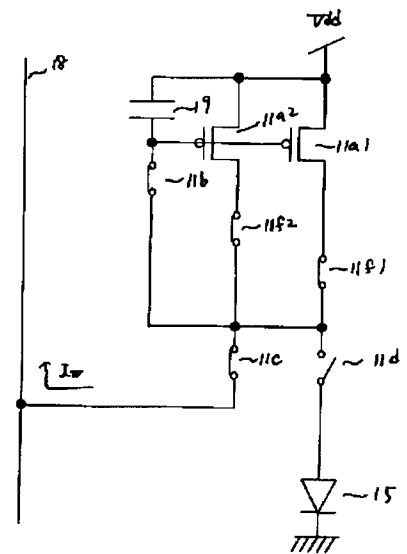
【図308】



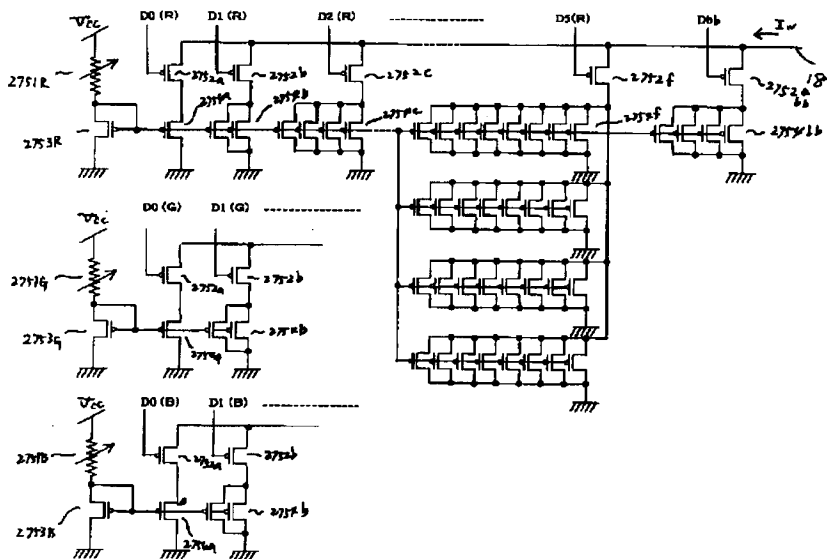
【図291】



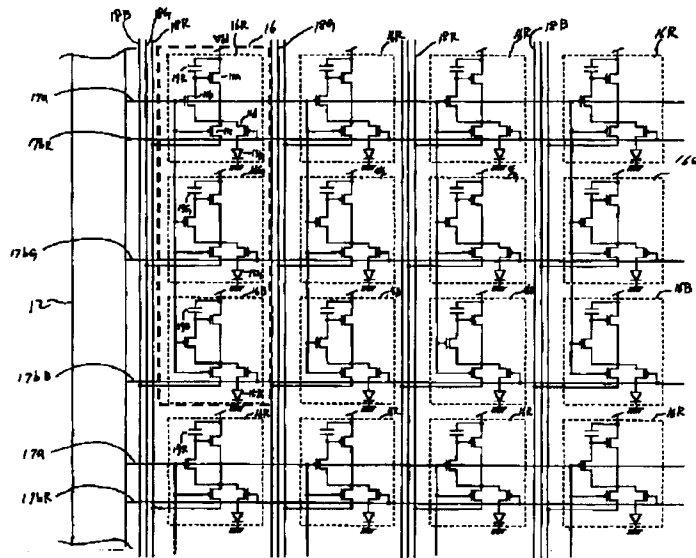
【図310】



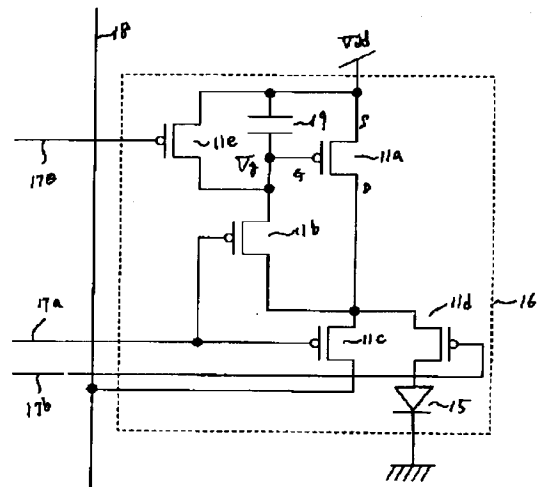
【図293】



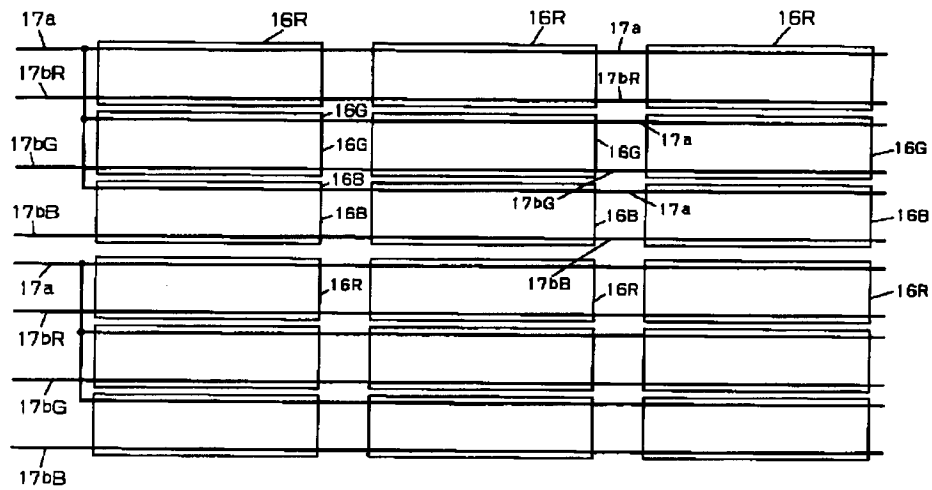
【図294】



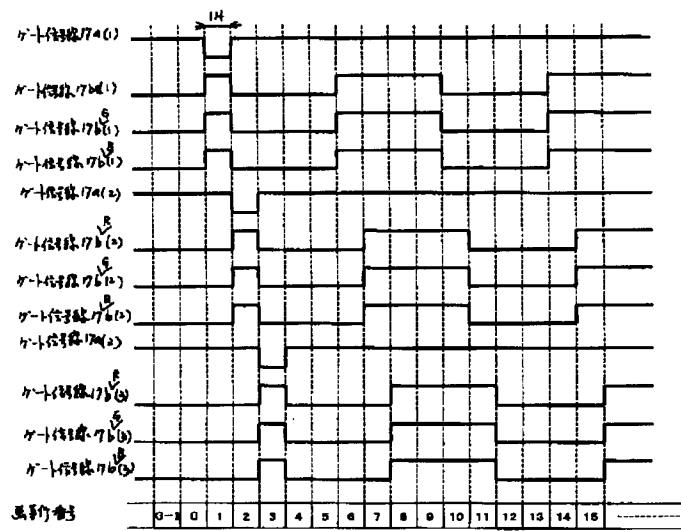
【図303】



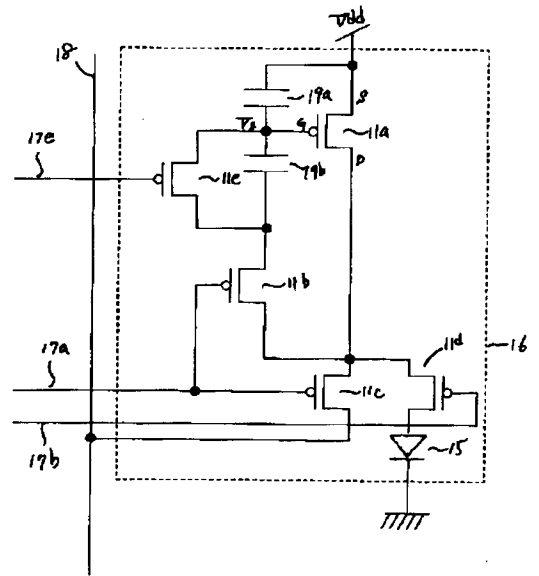
【図295】



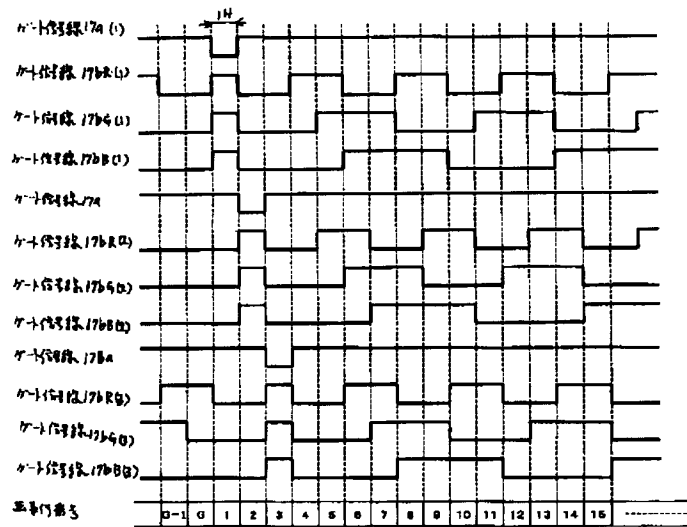
【図296】



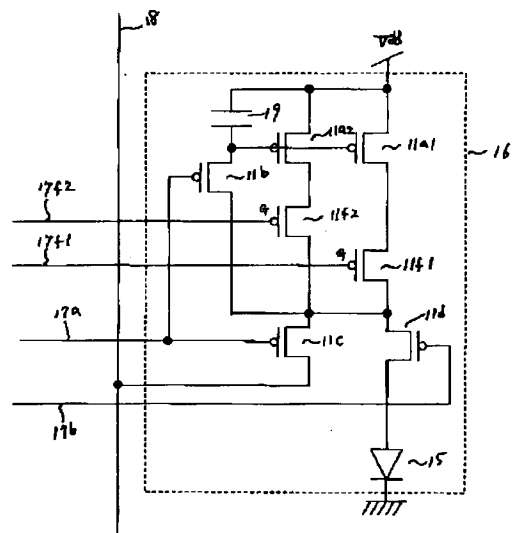
【図304】



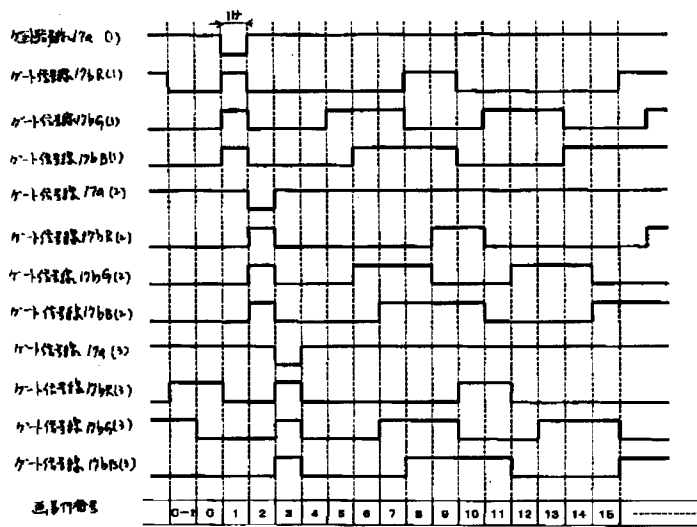
【図297】



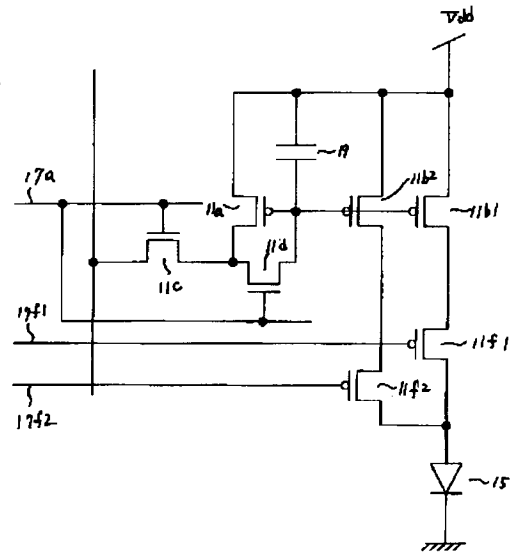
【図309】



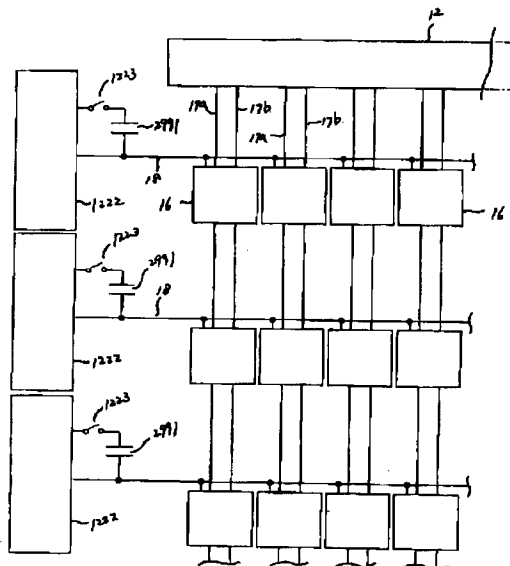
【図298】



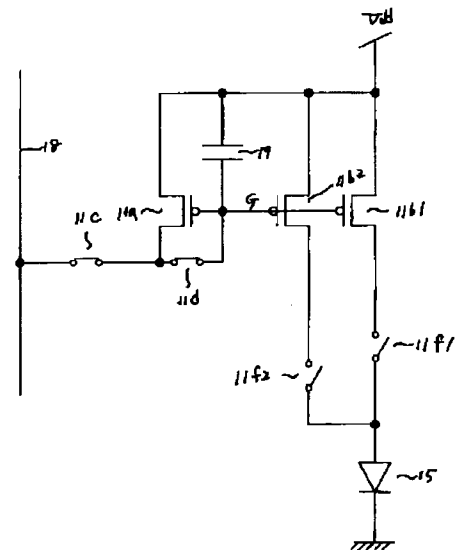
【図313】



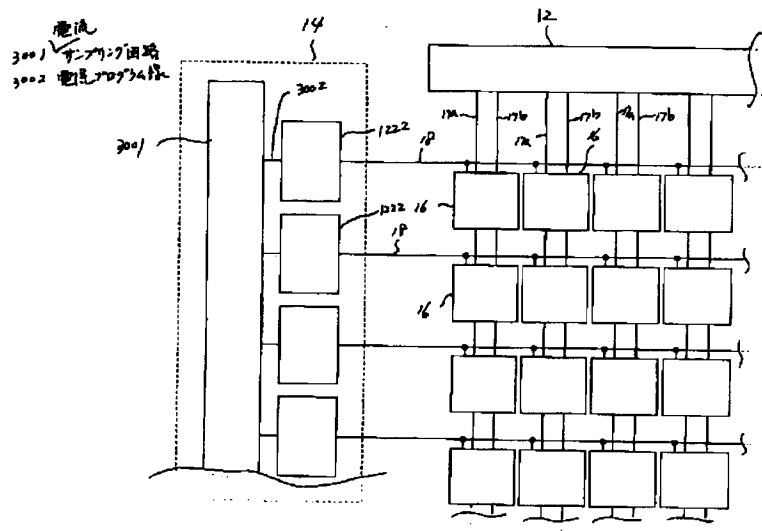
【図299】



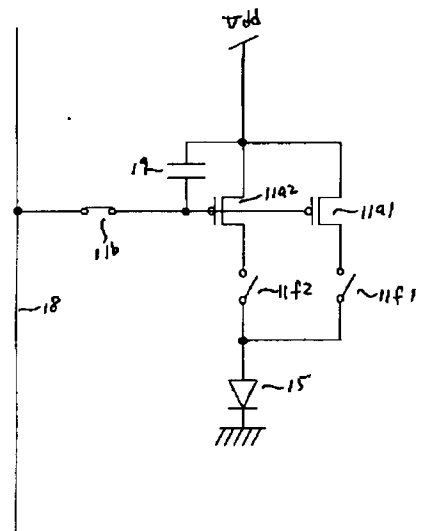
【図314】



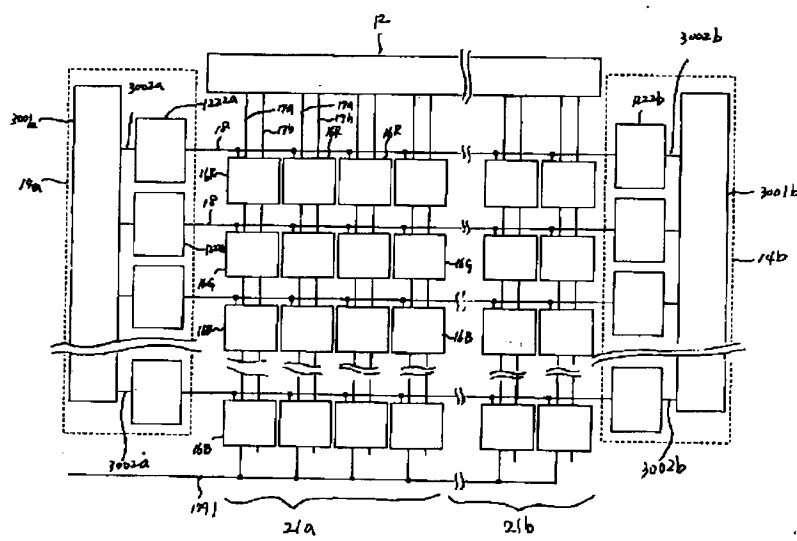
【図300】



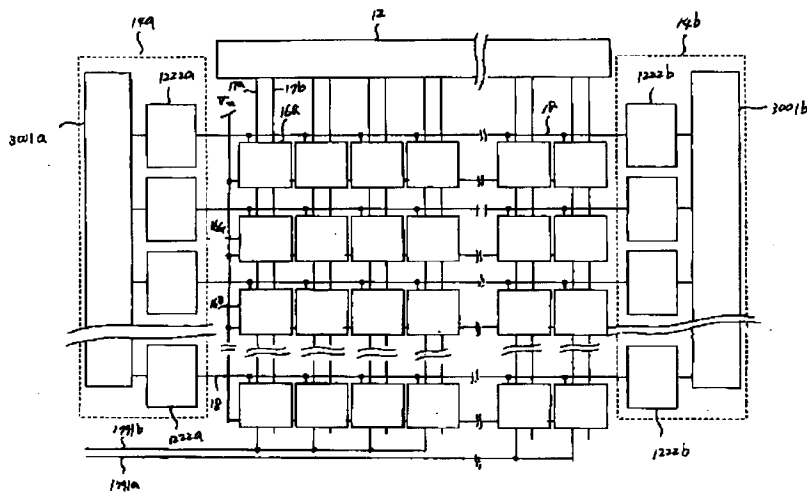
【図317】



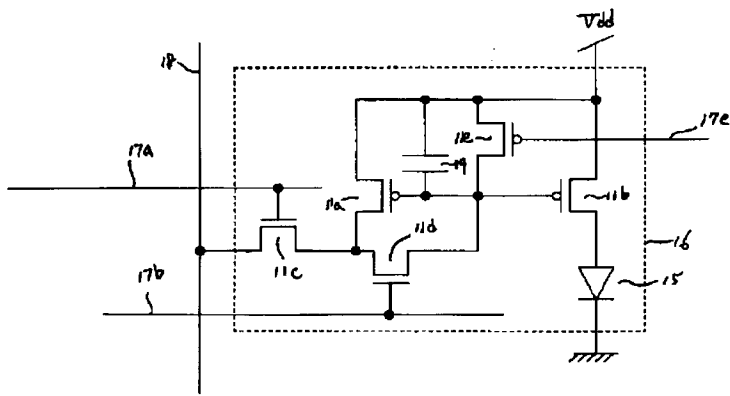
【図301】



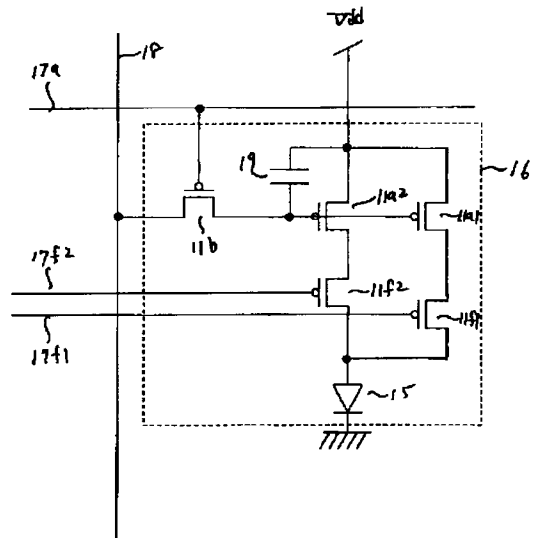
【図302】



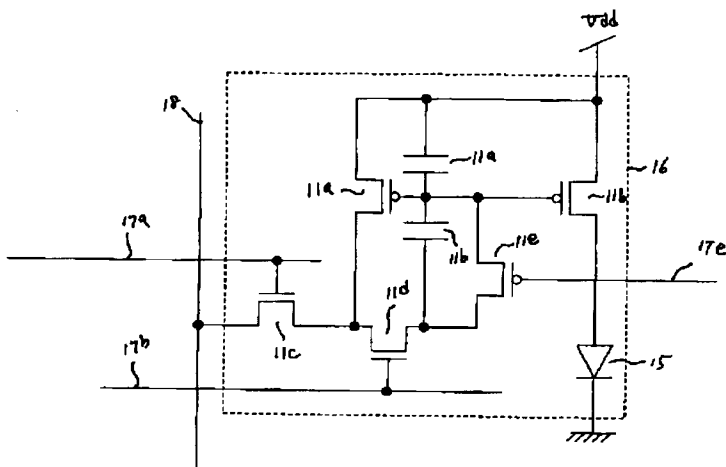
【図305】



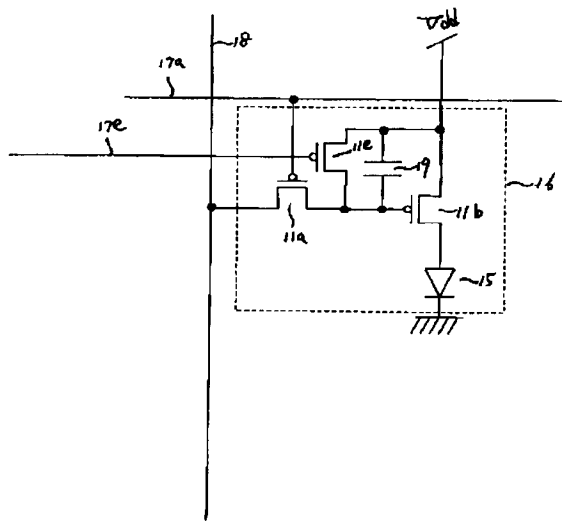
【図316】



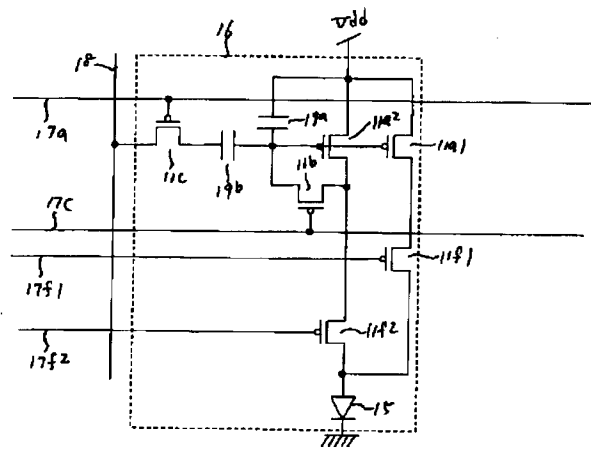
【図306】



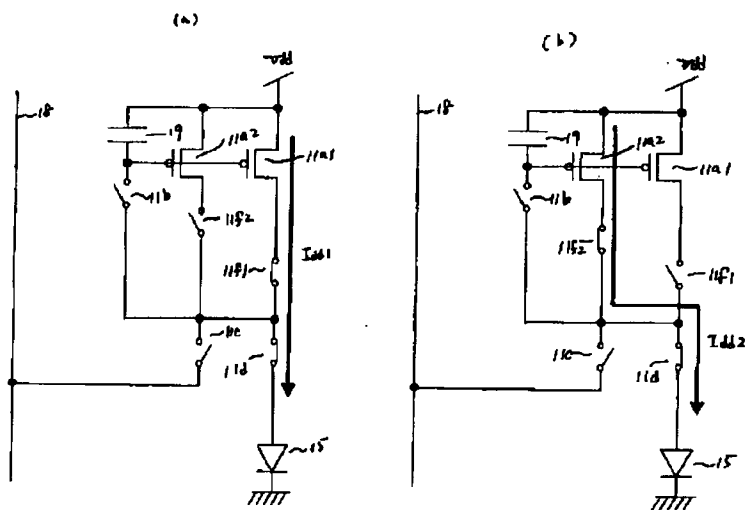
【図307】



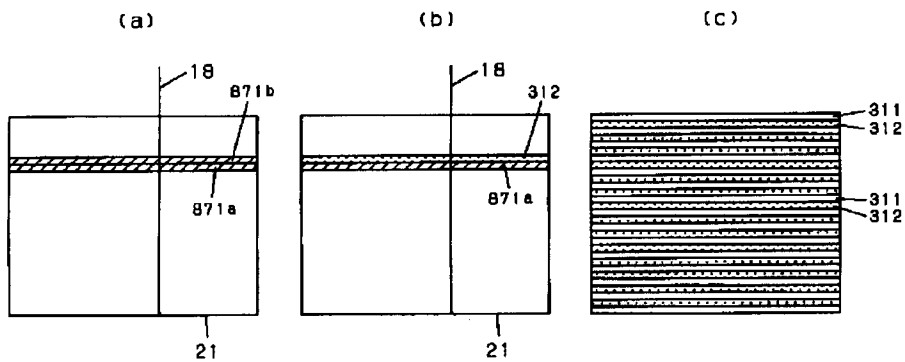
【図319】



【図311】

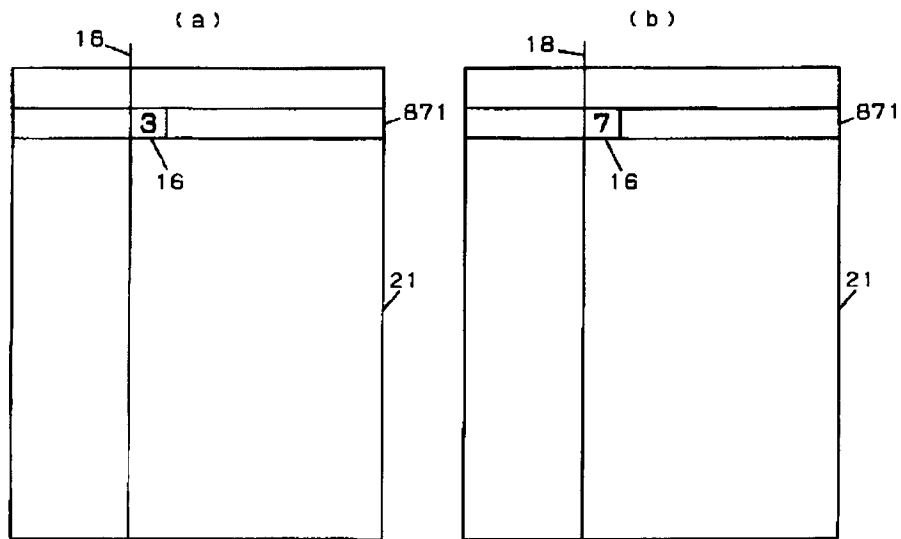


【図323】

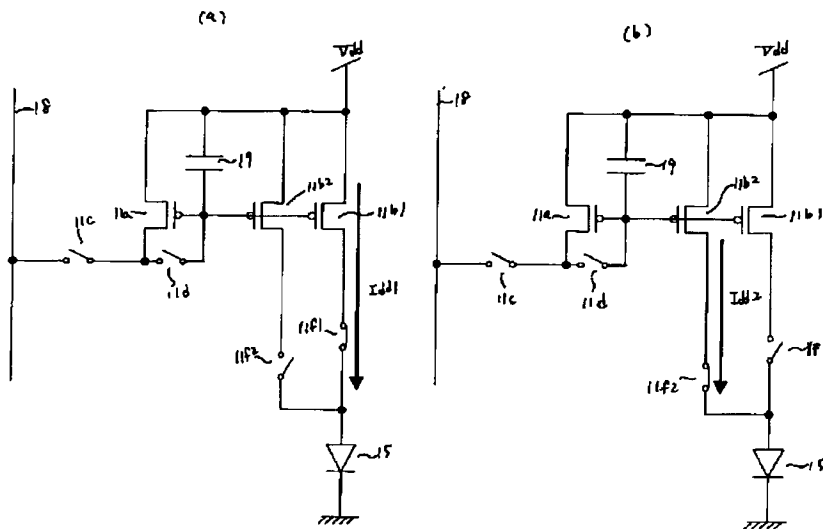




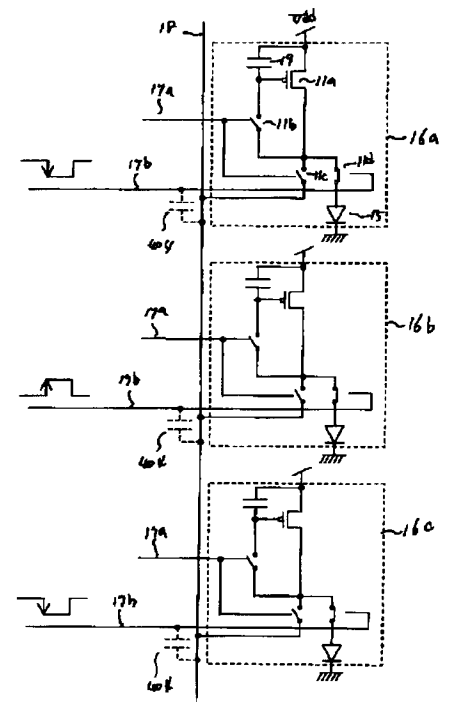
【図312】



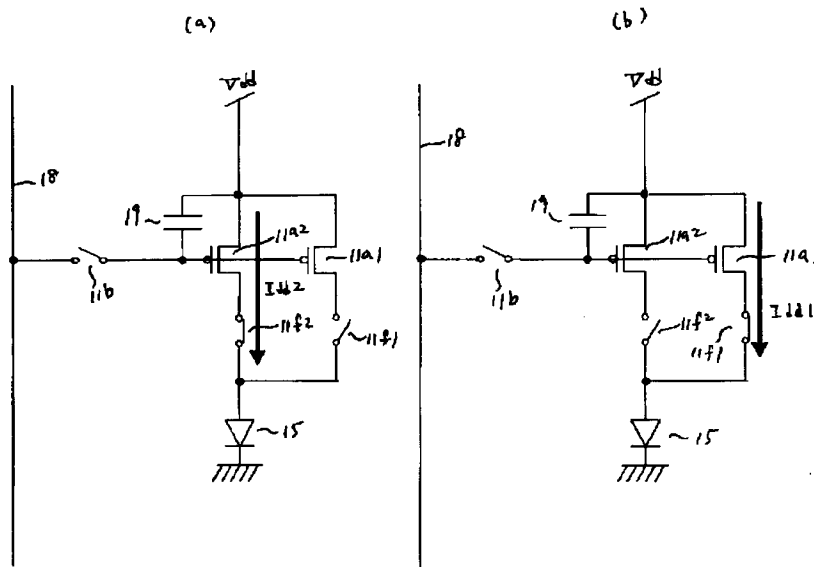
【図315】



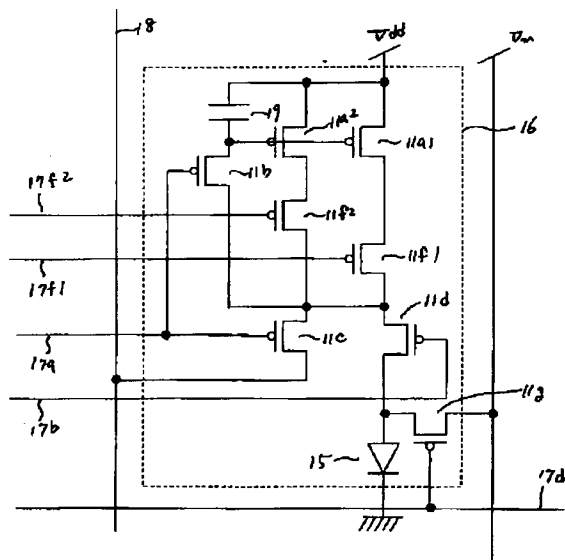
【図329】



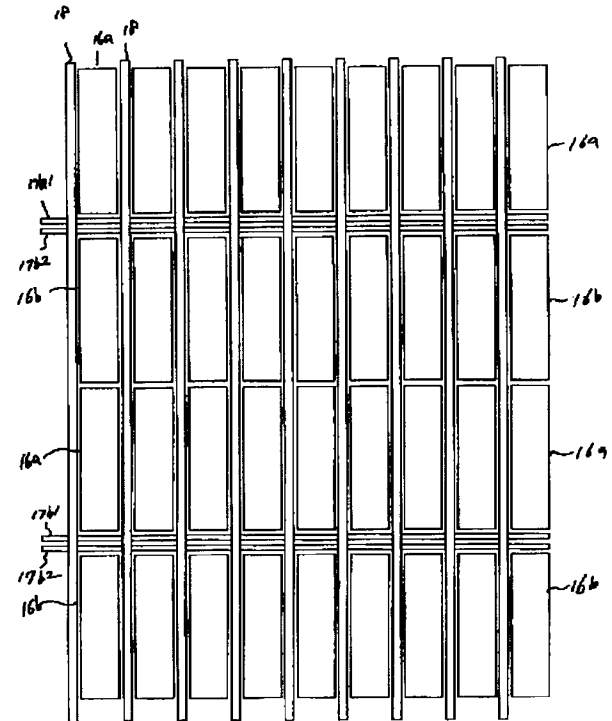
【図318】



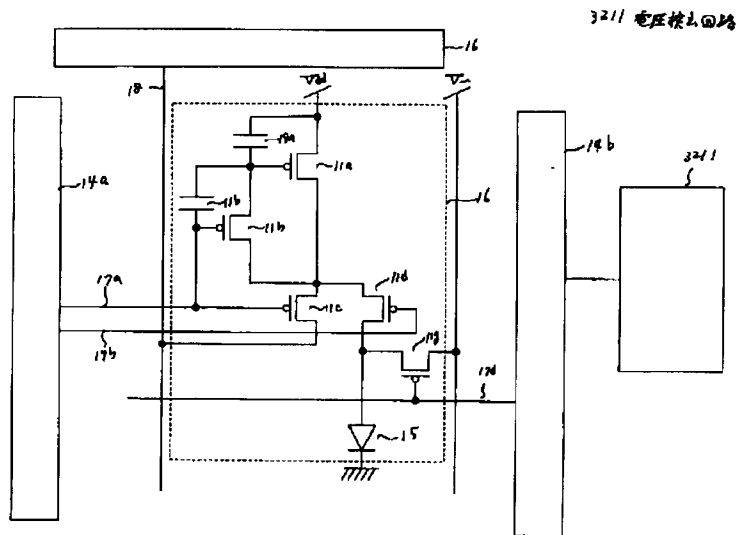
【図320】



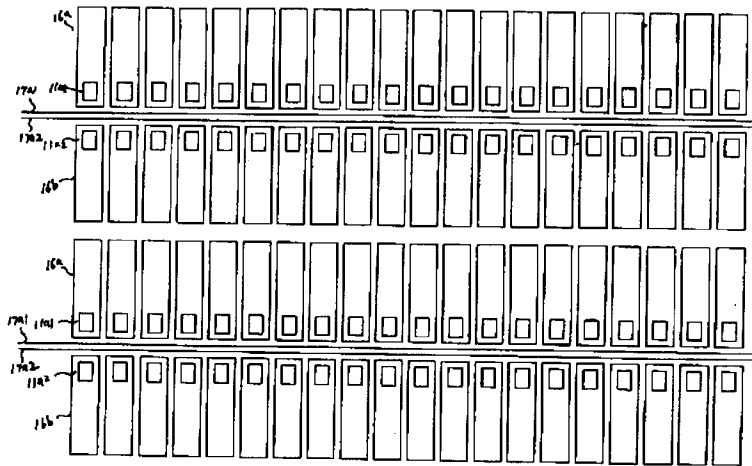
【図331】



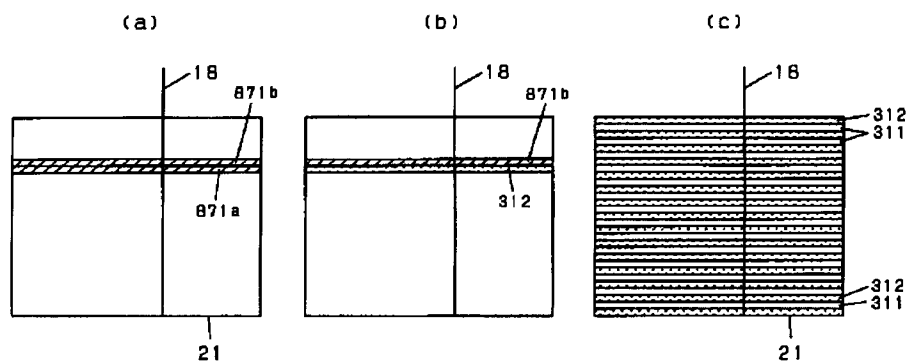
【図321】



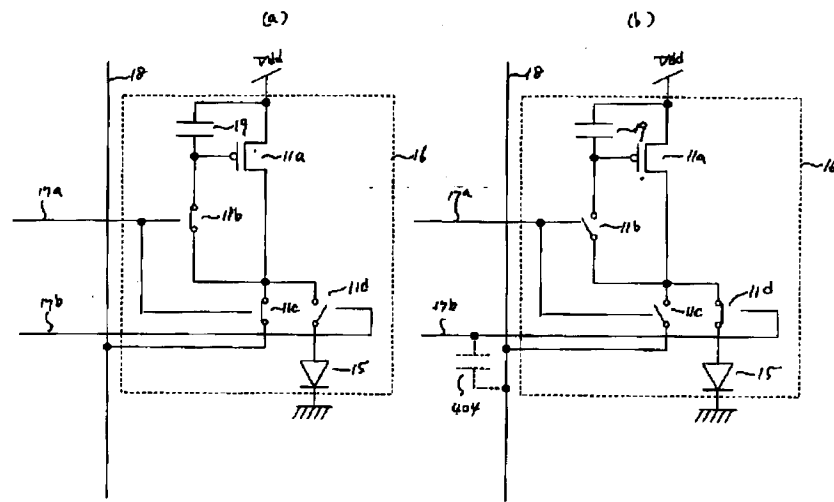
【図322】



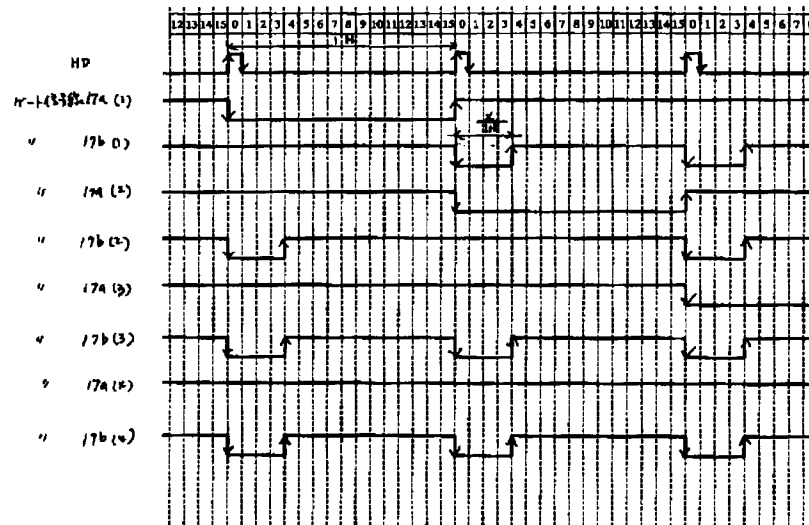
【図324】



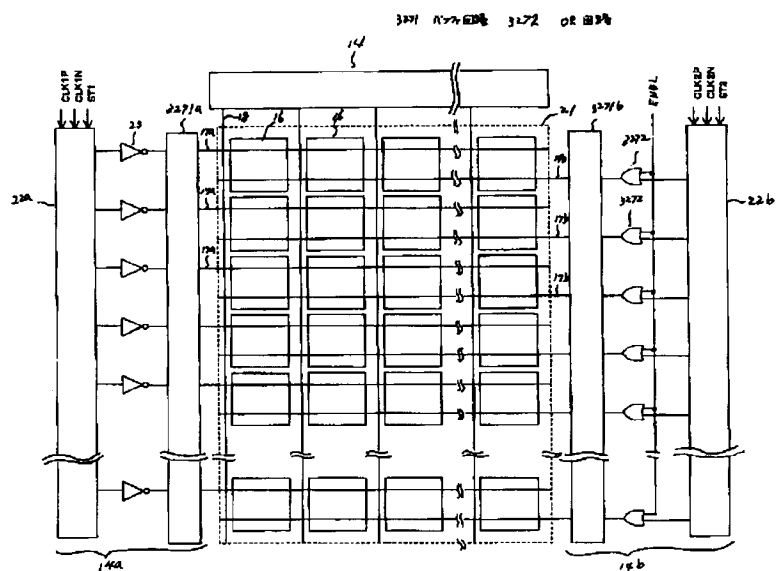
【図325】



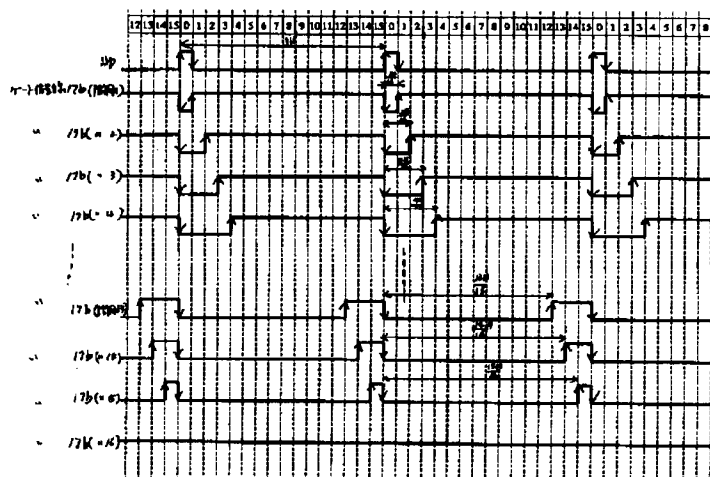
【図326】



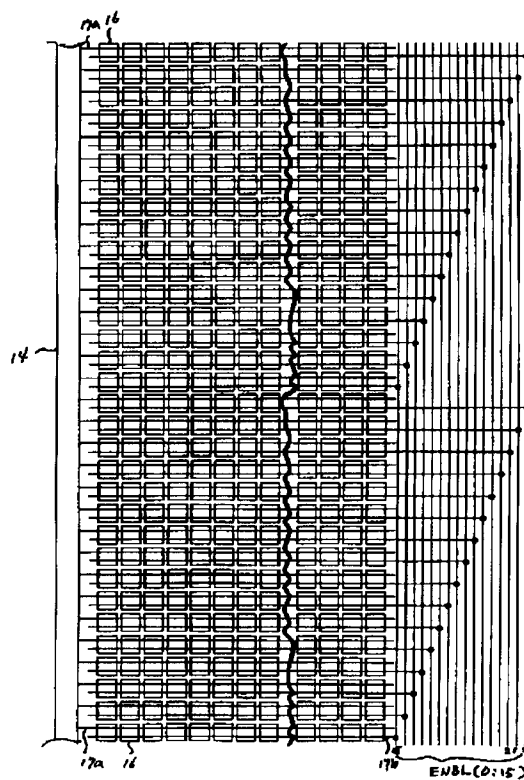
【図 3 2 7】



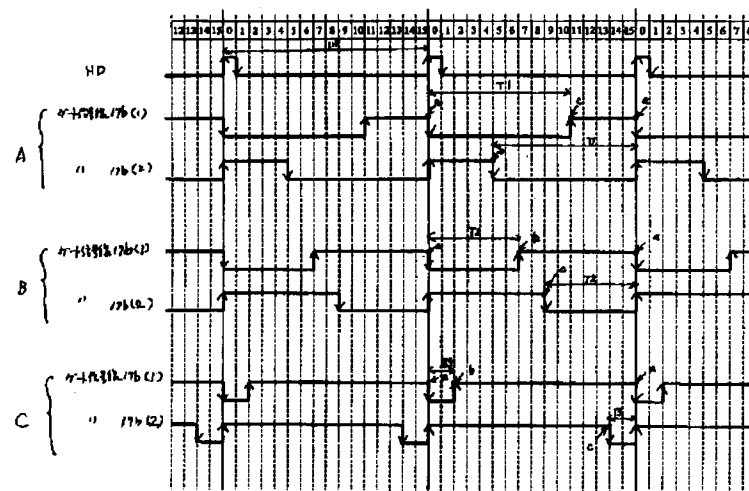
【図 3 2 8】



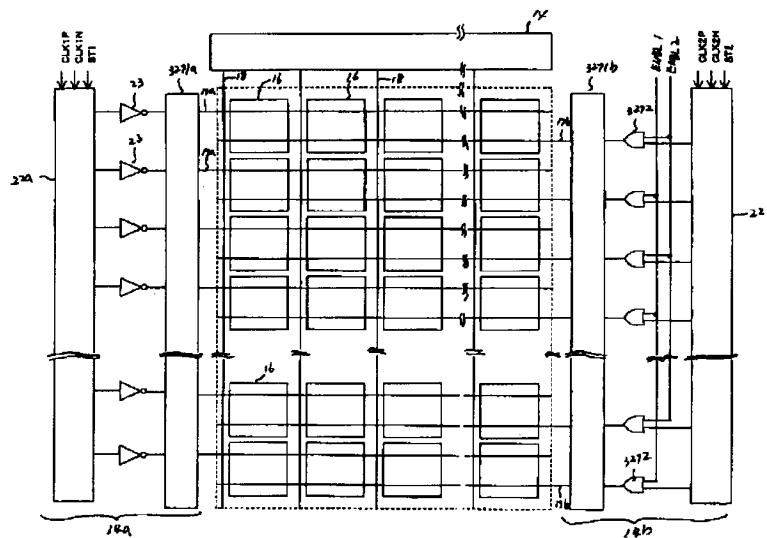
【图 3 3 4】



【図332】



【図333】



(c)

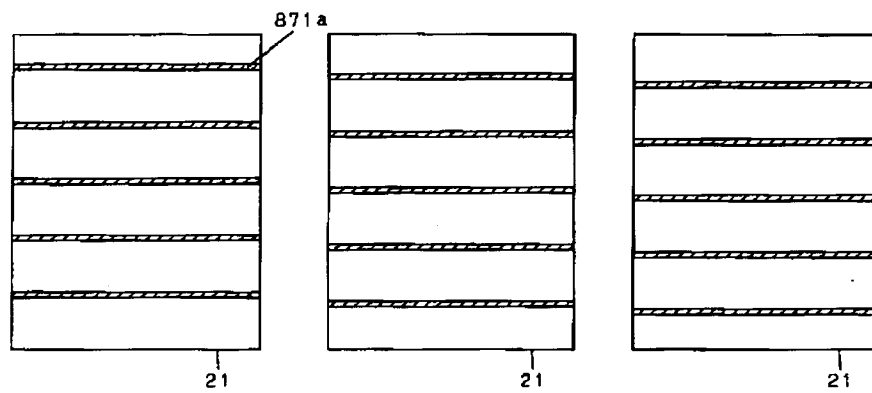
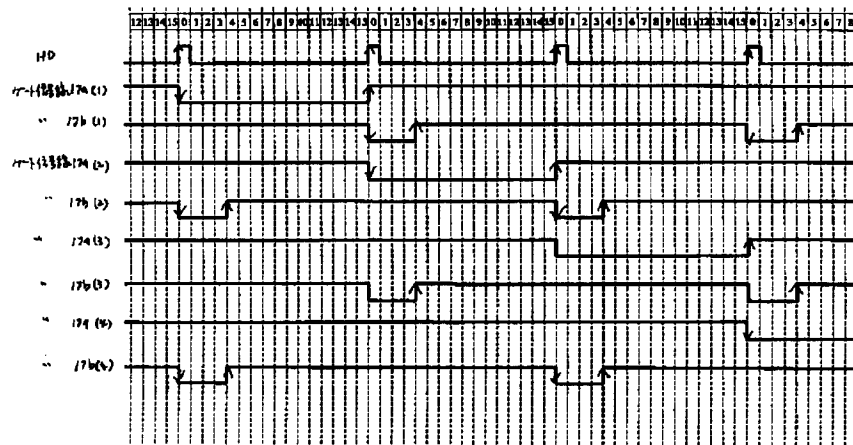
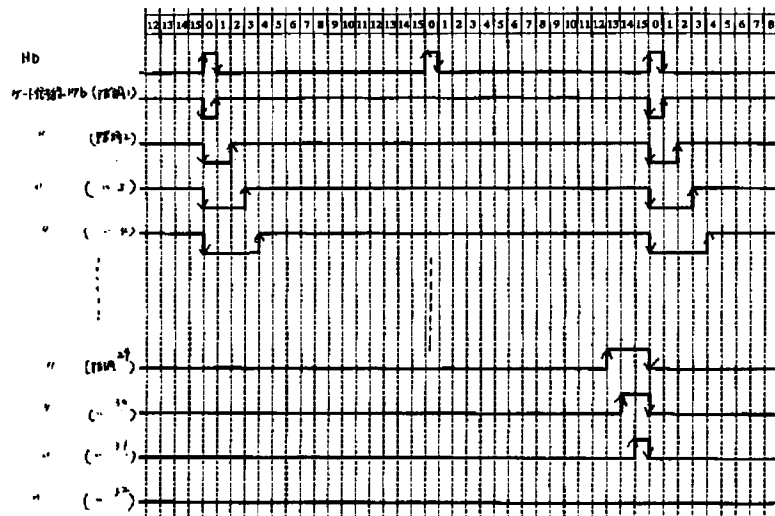


Figure 1 is a block diagram of a color image display system. The system includes a 3521 decoder, a 14-bit shift register, and a color image display with three channels: 18R (Red), 18G (Green), and 18B (Blue). The 3521 decoder receives three inputs: D(5:0) (R), D(5:0) (G), and D(5:0) (B). The 14-bit shift register receives six inputs: Vb1R, Vb1G, Vb1B, Vb1R, Vb1G, and Vb1B. The 18R, 18G, and 18B color image display receives outputs from the 14-bit shift register. Waveform diagrams for Vb1R, Vb1G, and Vb1B are shown, indicating a sequence of pulses for each color channel.

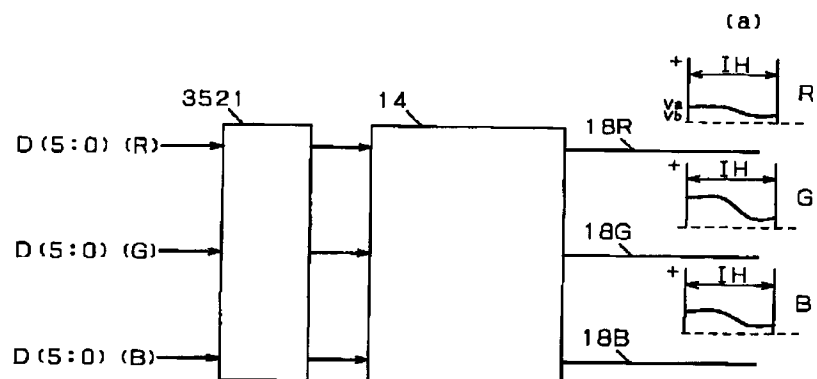
【図337】



【図338】

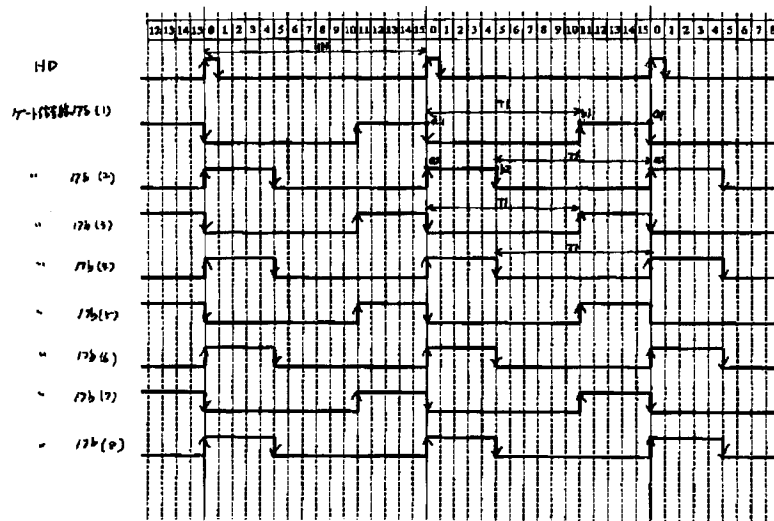


【図354】

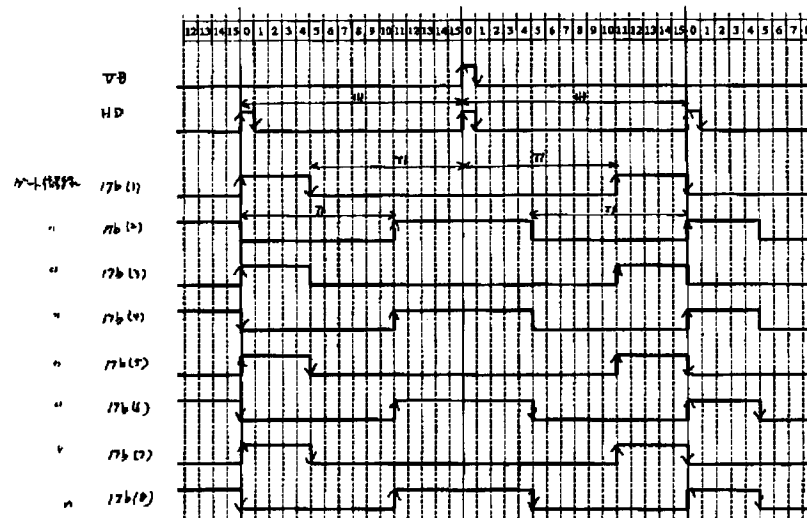




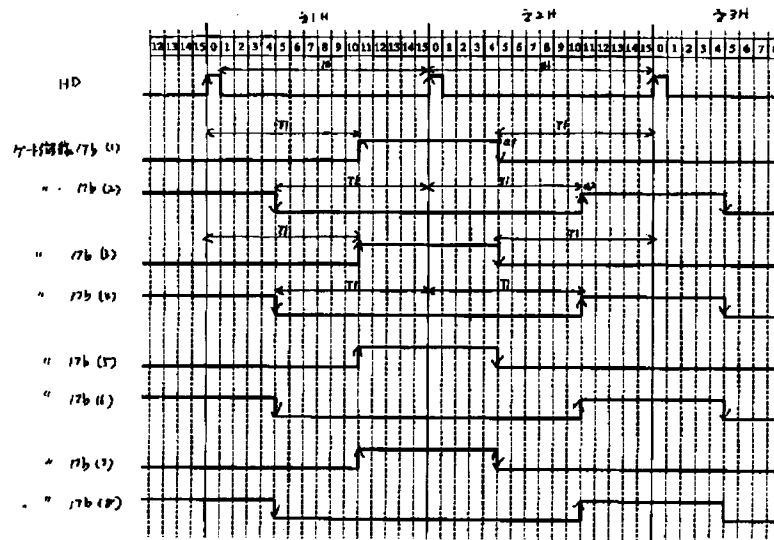
【図339】



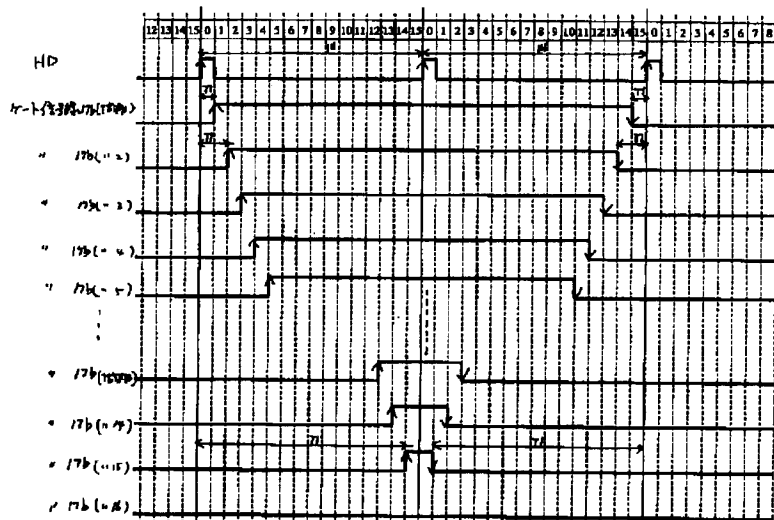
【図340】



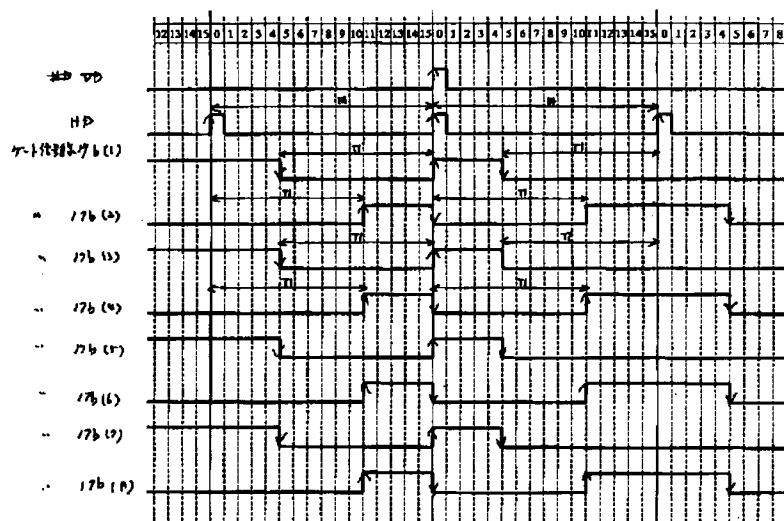
【図341】



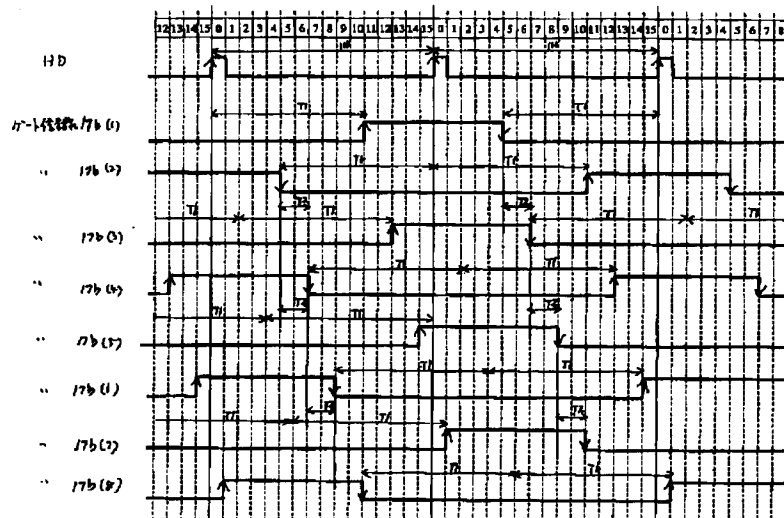
【図342】



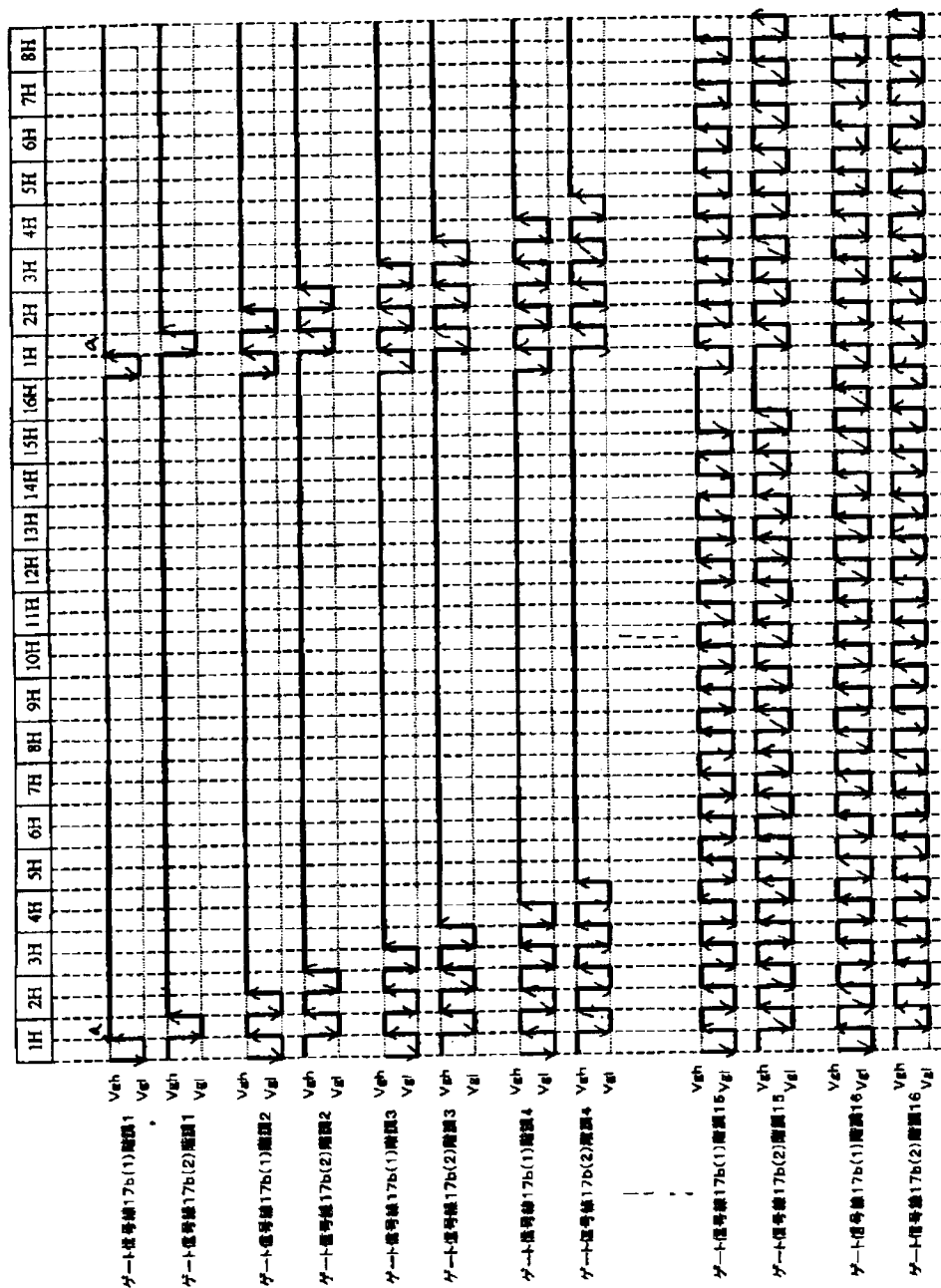
【図343】



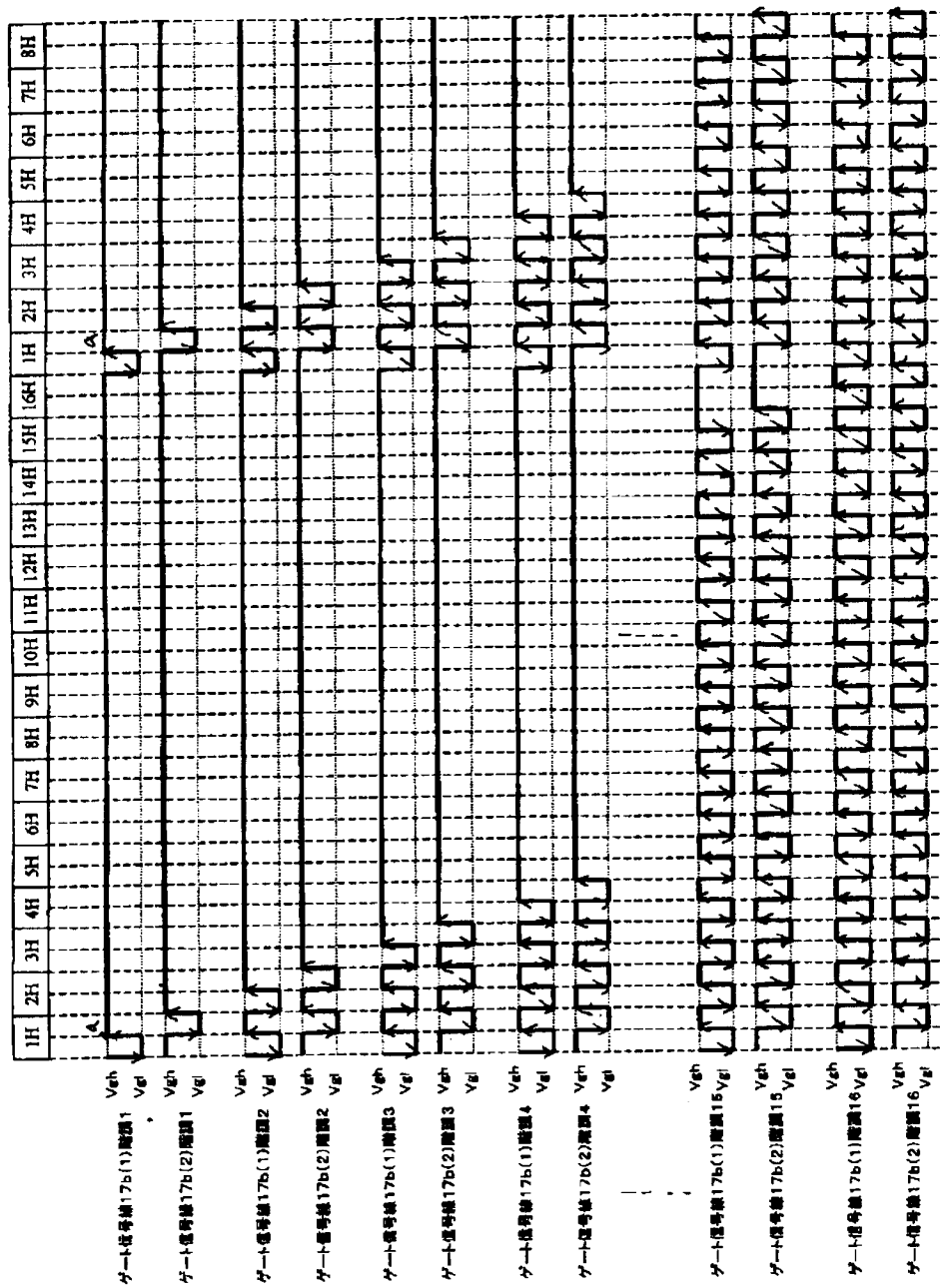
【図344】



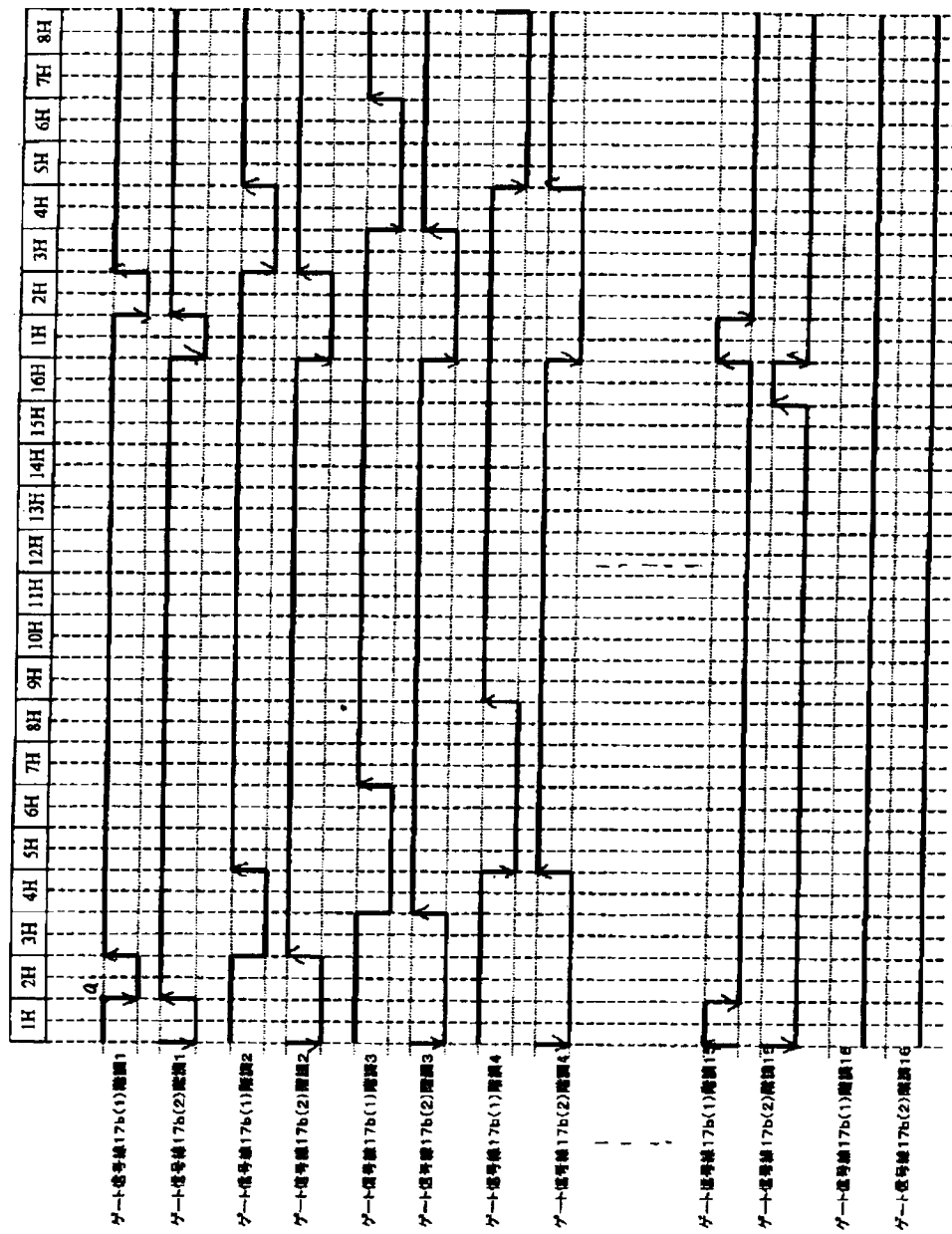
【図345】



【図346】



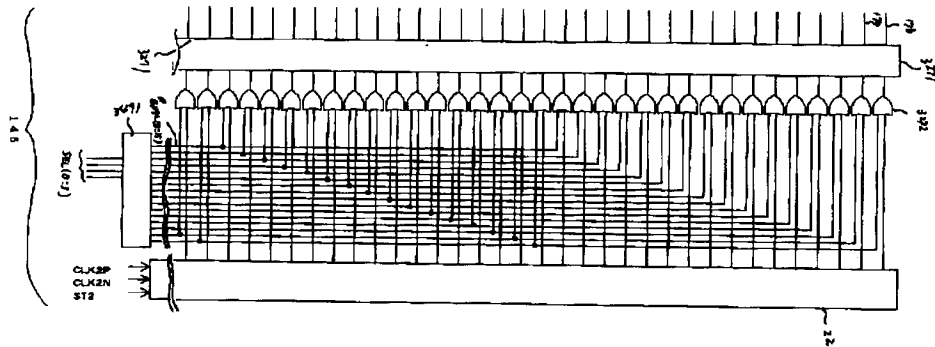
【図347】



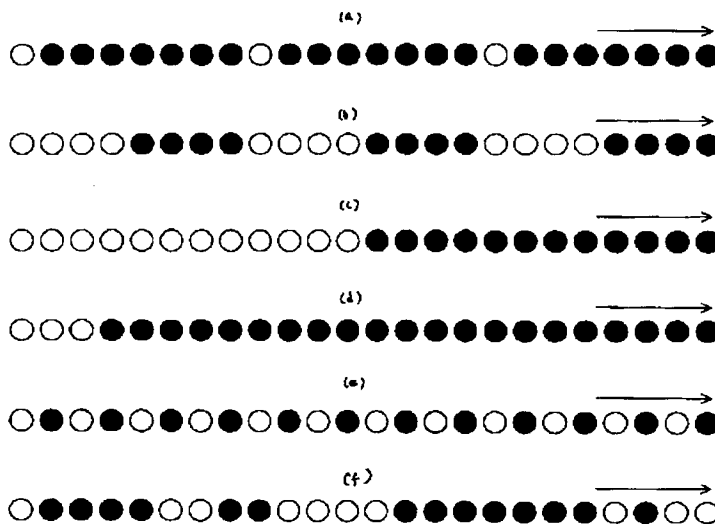


【図349】

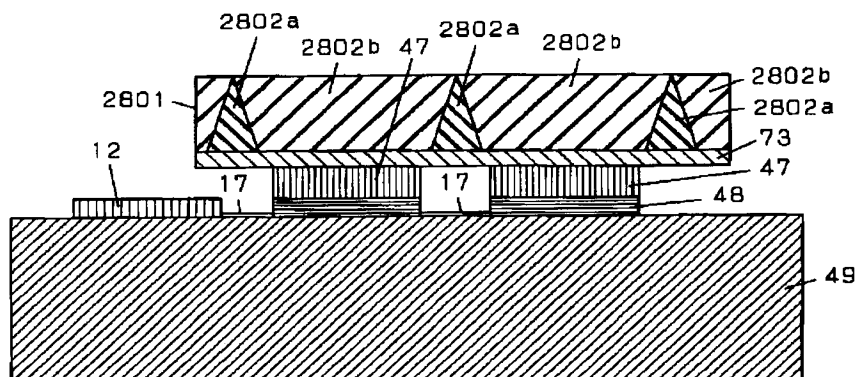
349/ デコーダ回路



【図350】

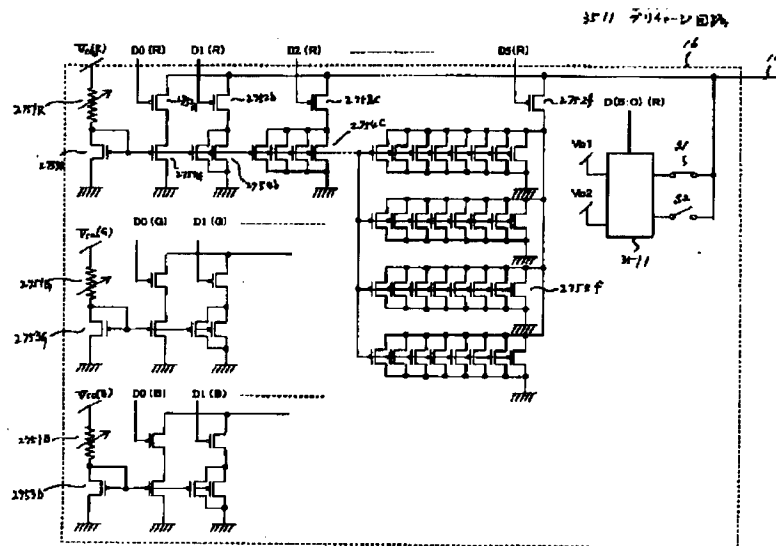


【図362】



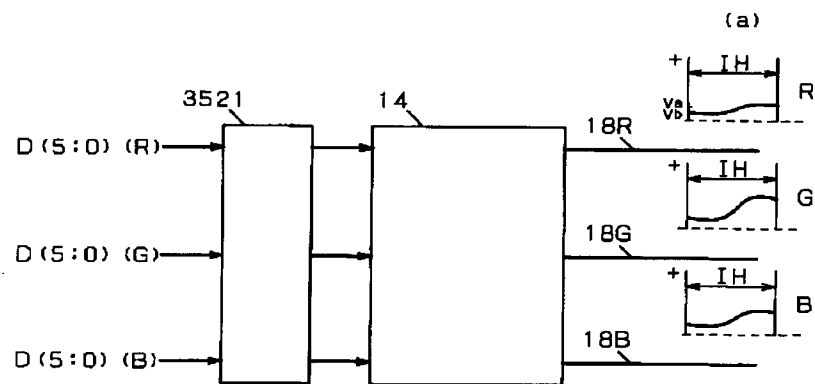


【図351】

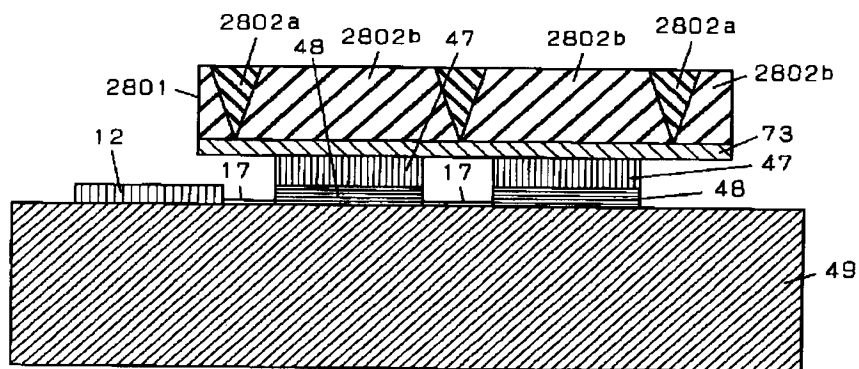


【図352】

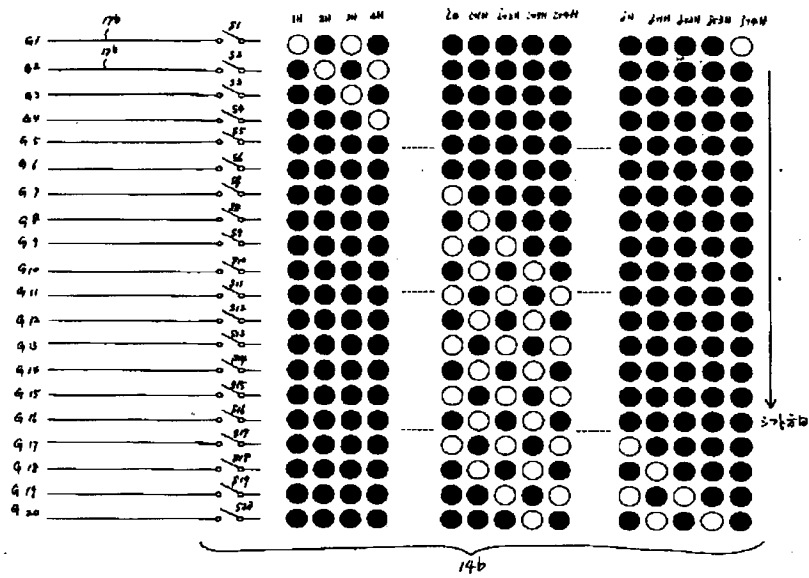
3521 データシフト回路



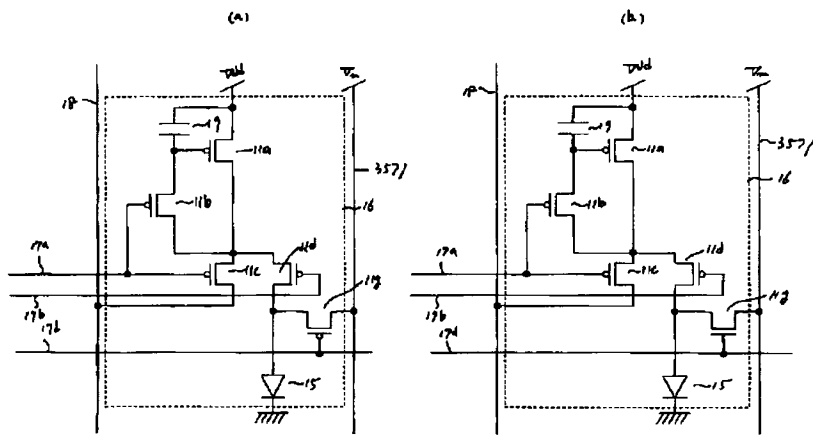
【図363】



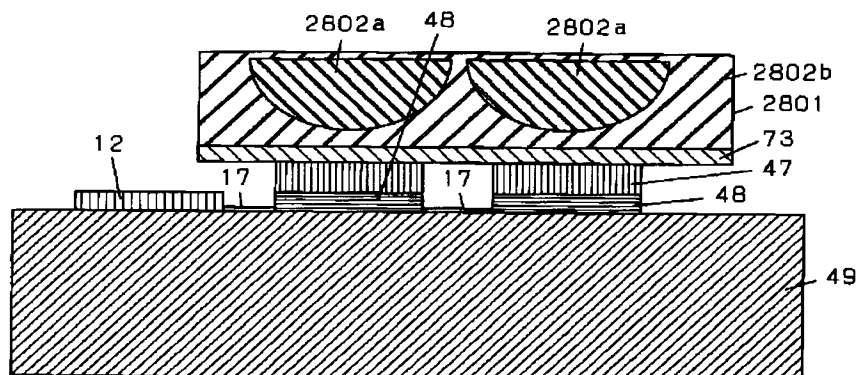
【図355】



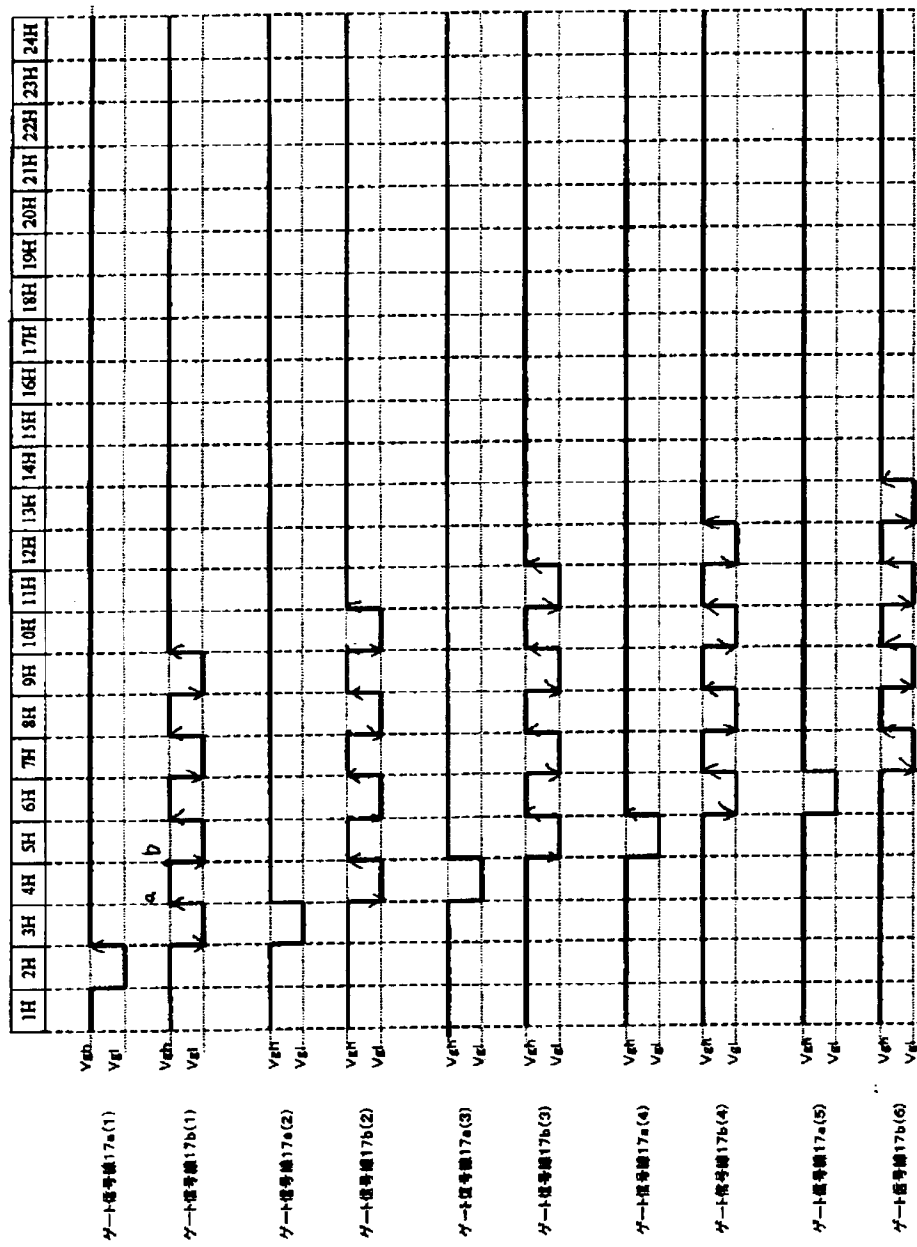
【図357】



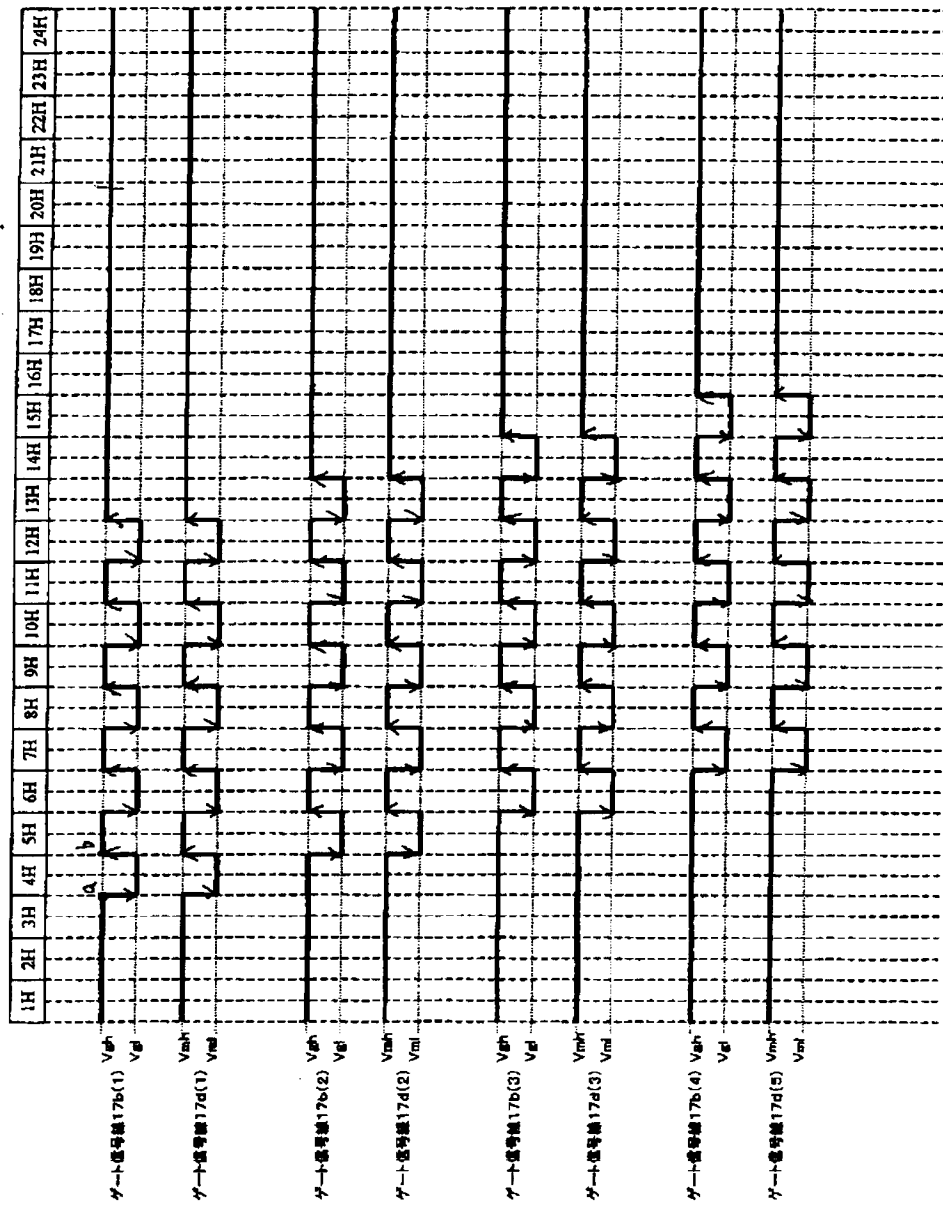
【図365】



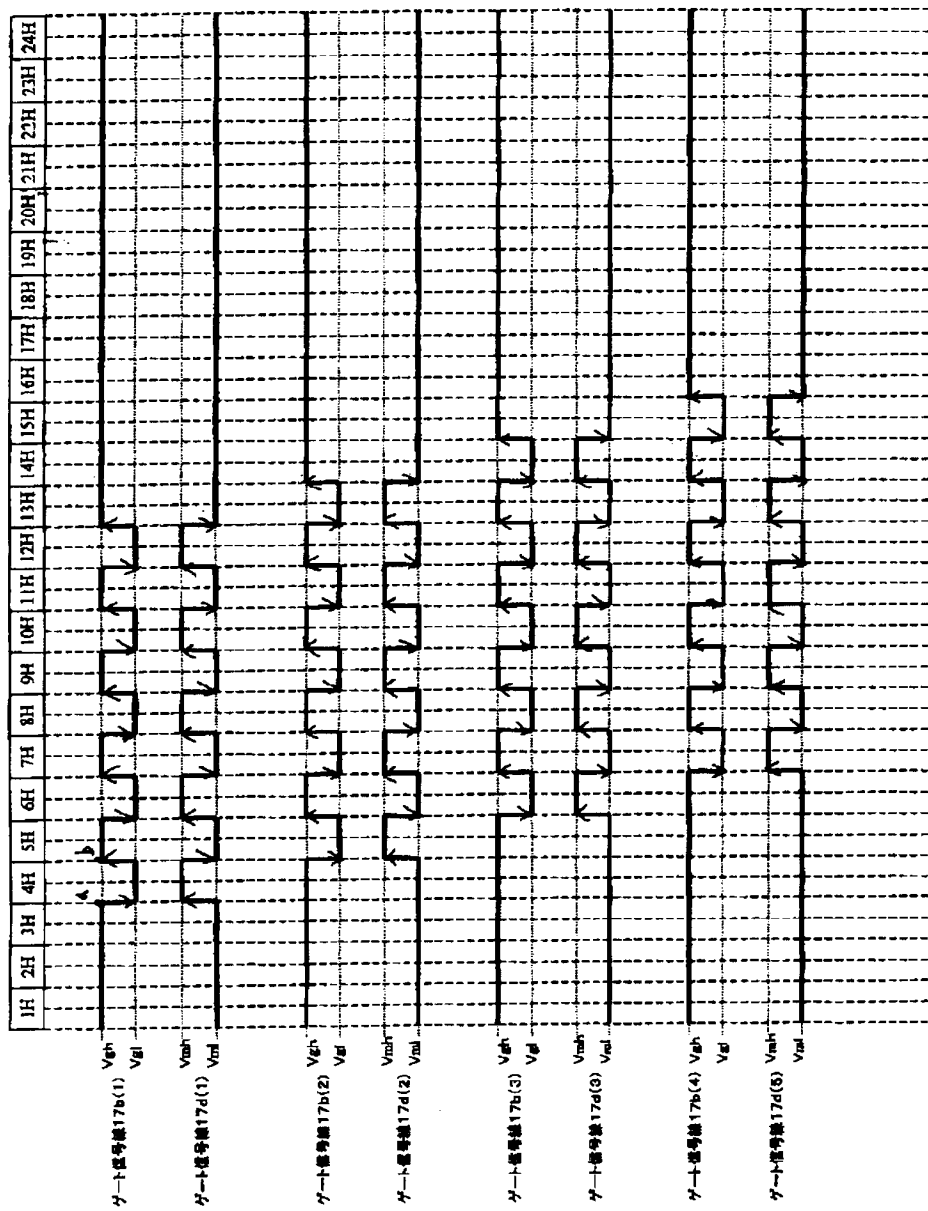
【図356】



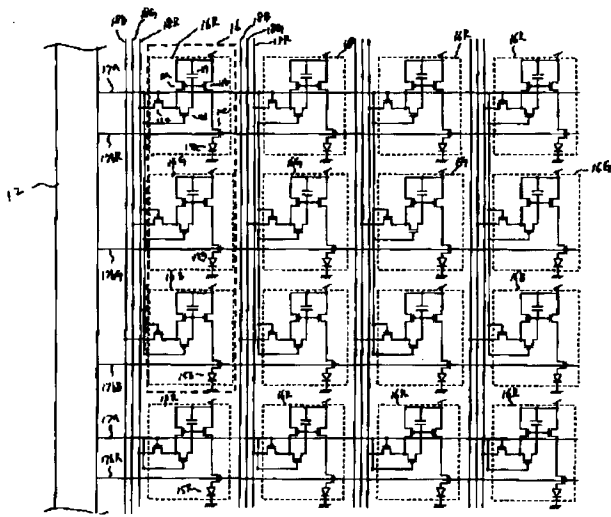
【図358】



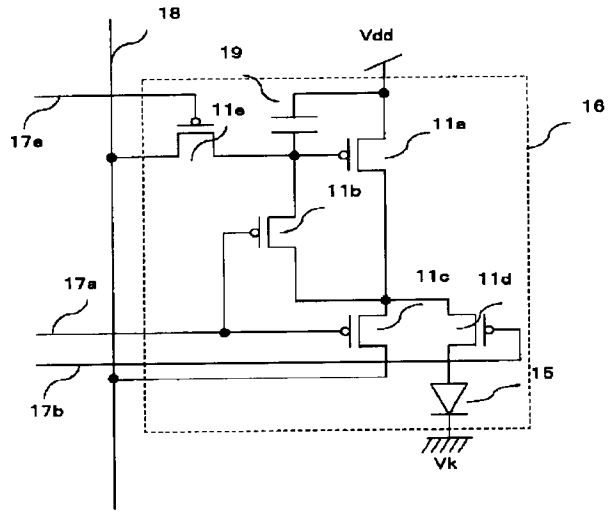
【図359】



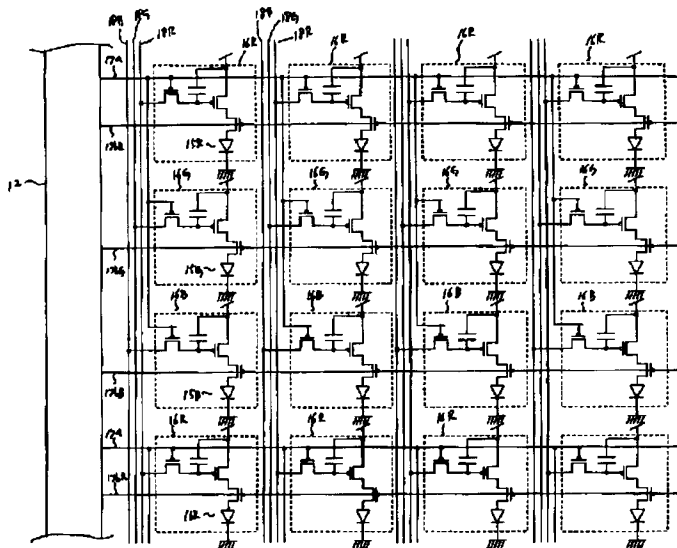
【図360】



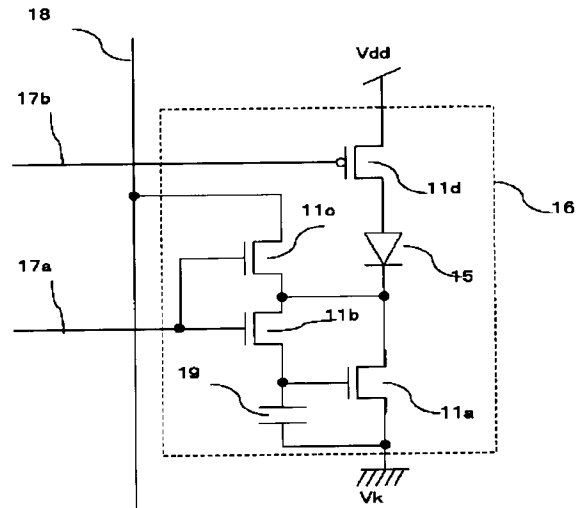
【図369】



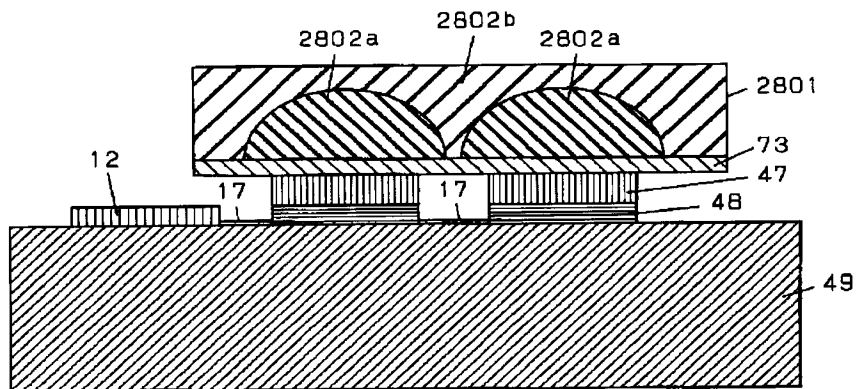
【図361】



【図373】

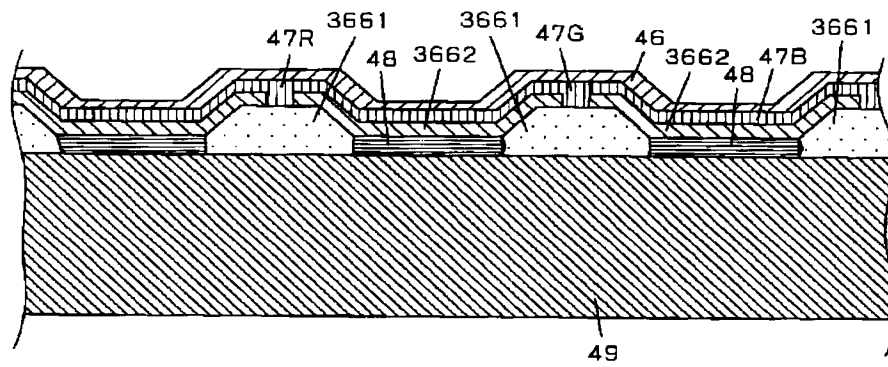


【図364】

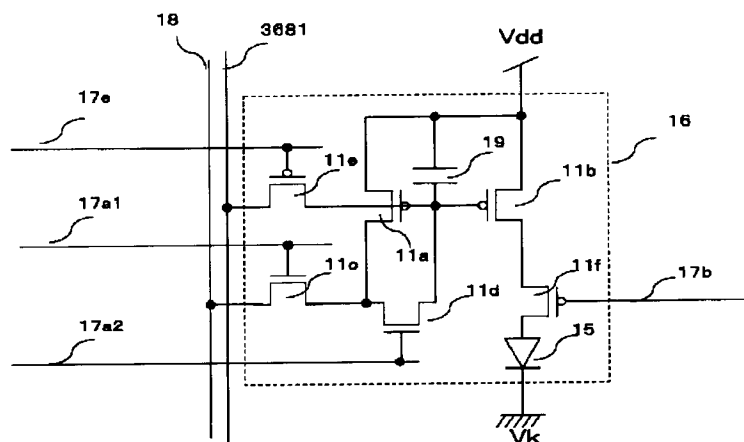


【図366】

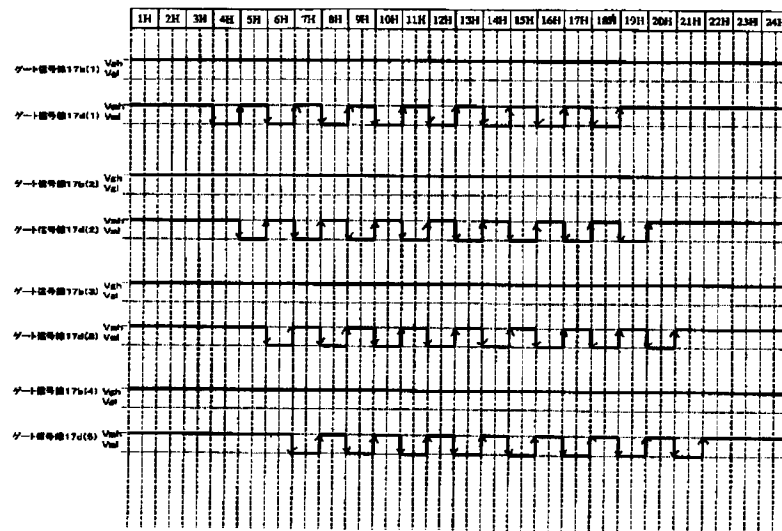
3661 土手  
3662 第2面素電極



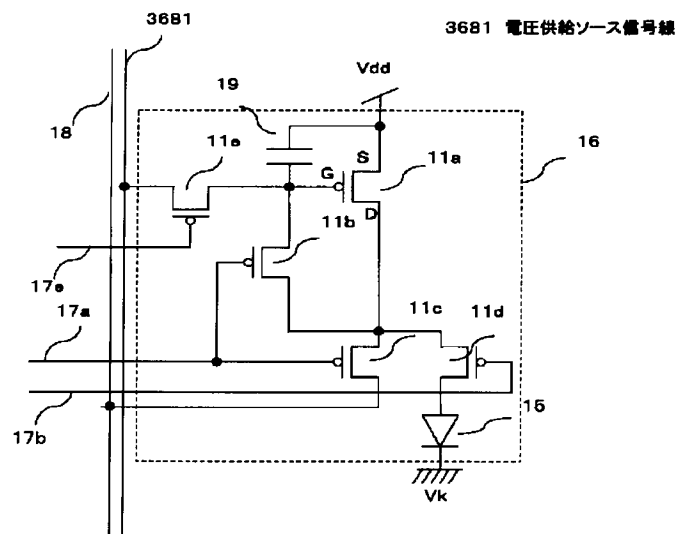
【図370】



【図367】



【図368】

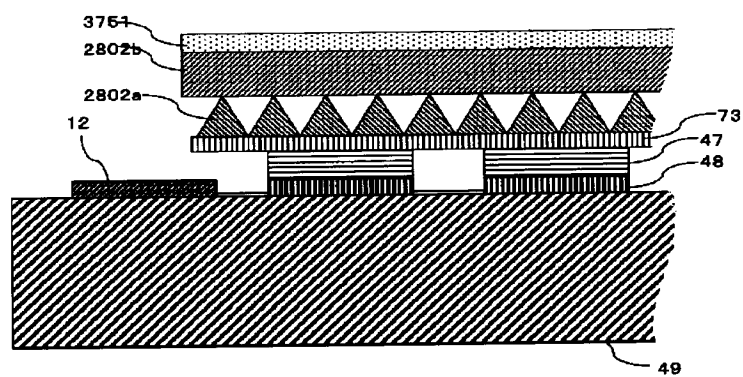
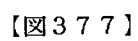
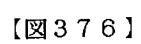




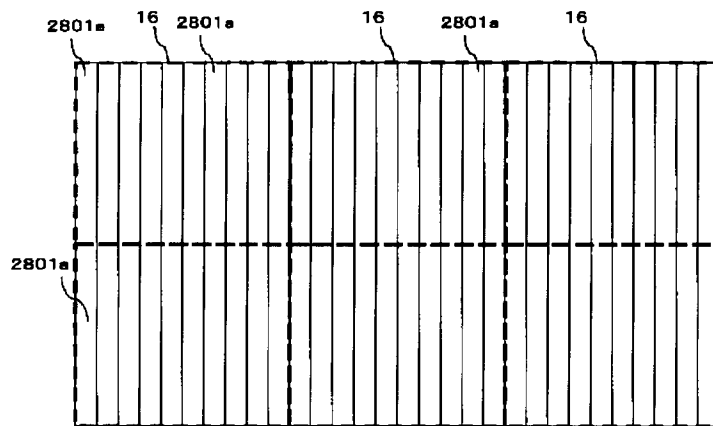
The diagram shows a circuit within a dashed box 16. A vertical line 18 intersects two horizontal lines 17a and 17b. The circuit includes transistors 11a, 11b, 11c, 11d, 11e, and 11f, a capacitor 19, and a diode 16. The circuit is connected to Vdd and Vss.

[illegible]

3751 拡散シート



【図378】



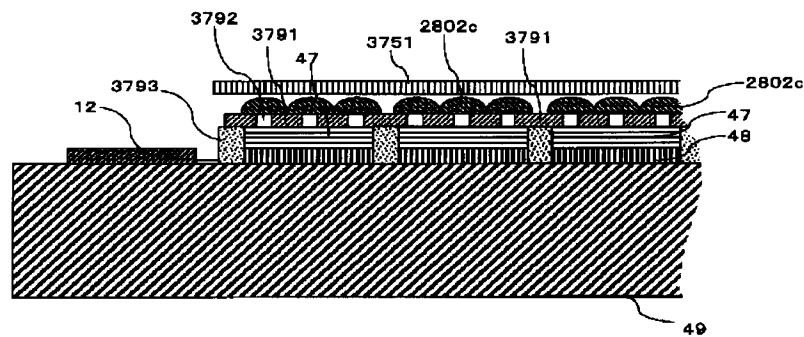
【図379】

3791 反射板(反射手段、反射シート、光吸収板)

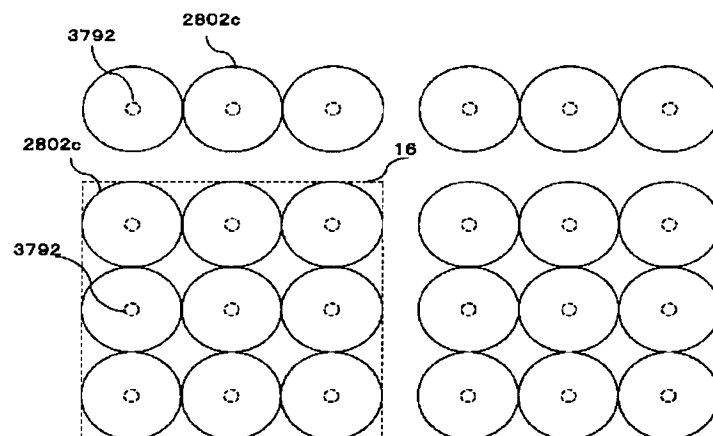
3792 穴(光出射穴)

3793 反射壁(遮光壁)

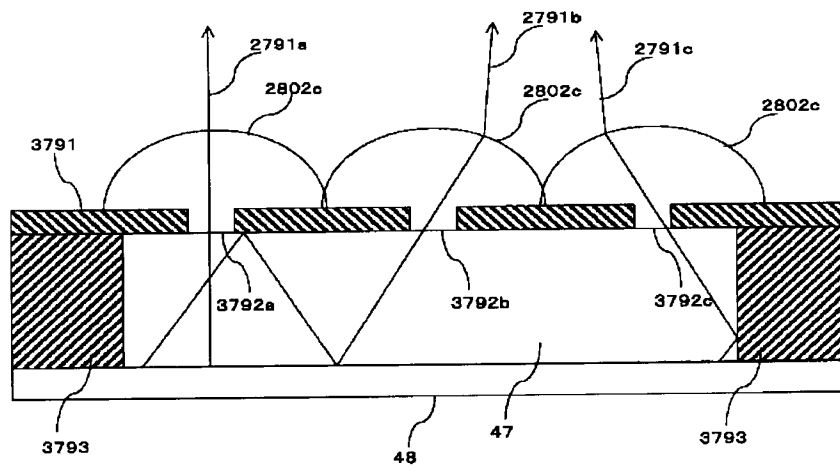
2802c マイクロレンズ(光屈曲手段)



【図380】

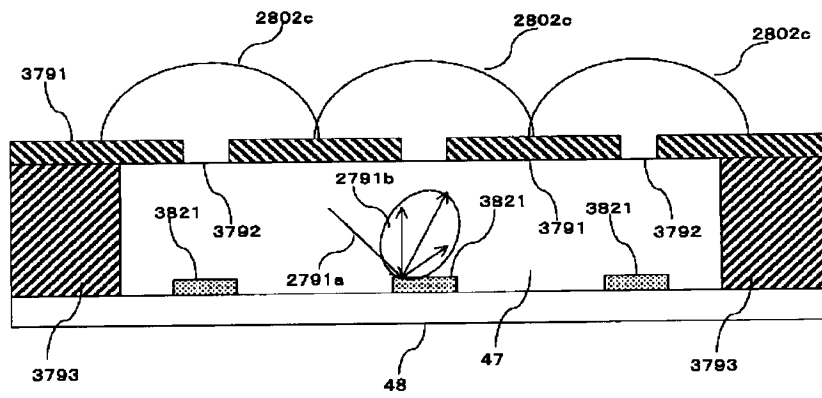


【図381】

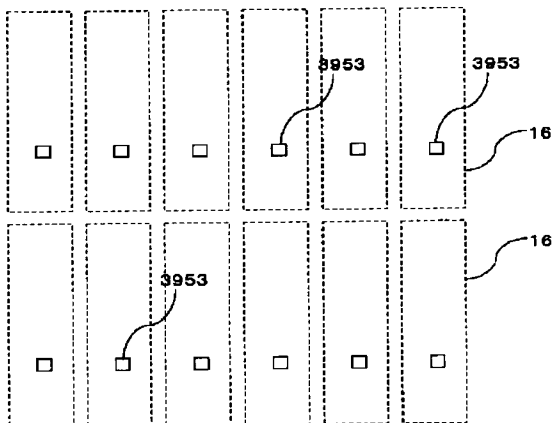


【図382】

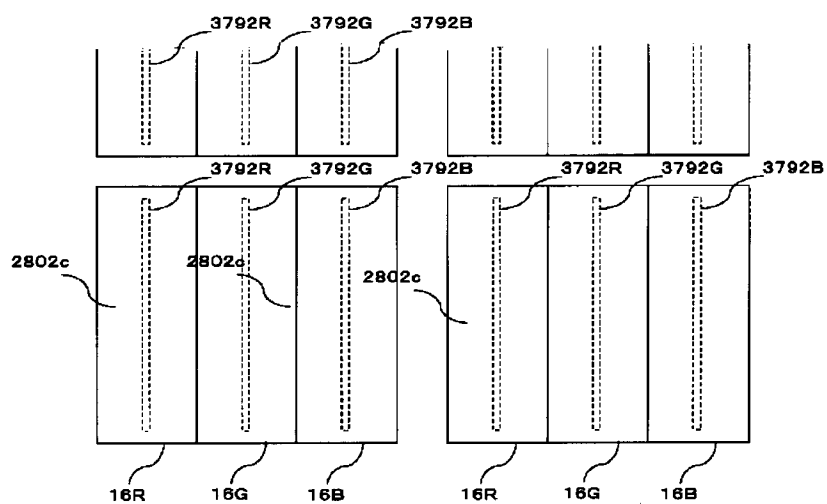
3821 光散乱部(散乱膜、散乱体)



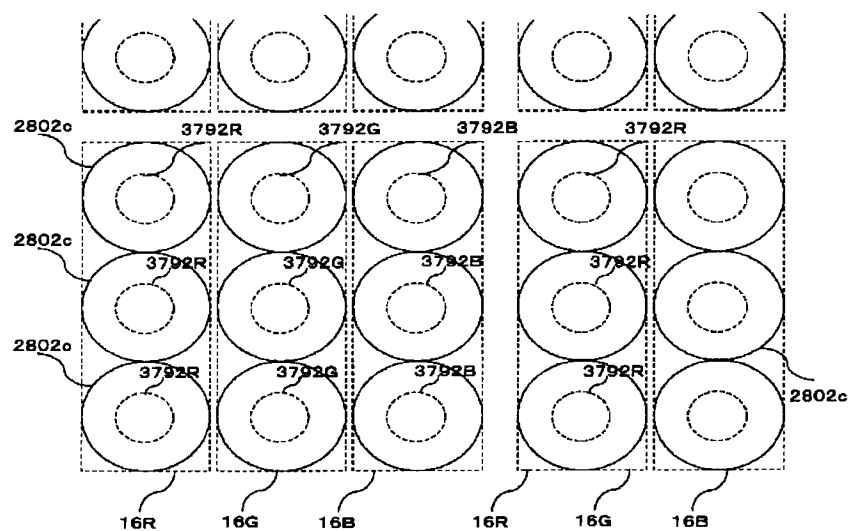
【図396】



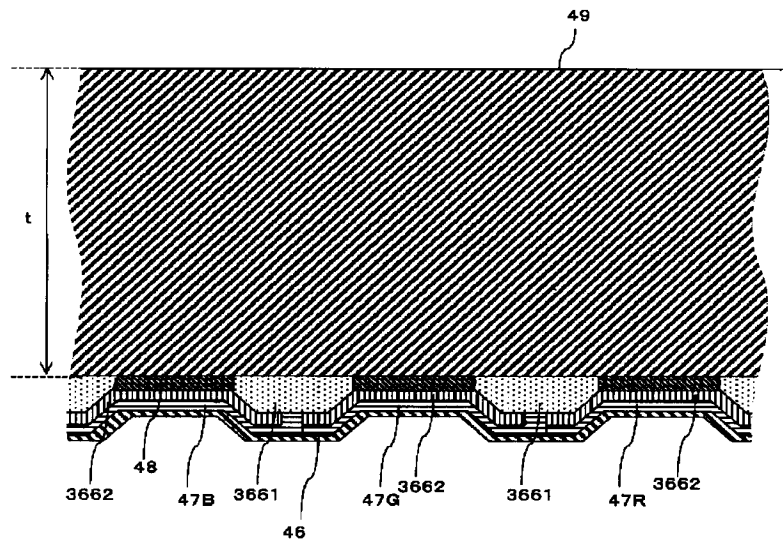
【図383】



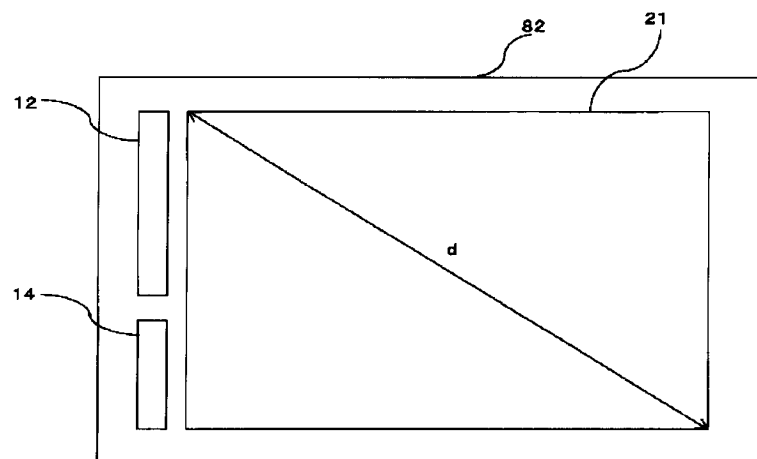
【図384】



【図385】

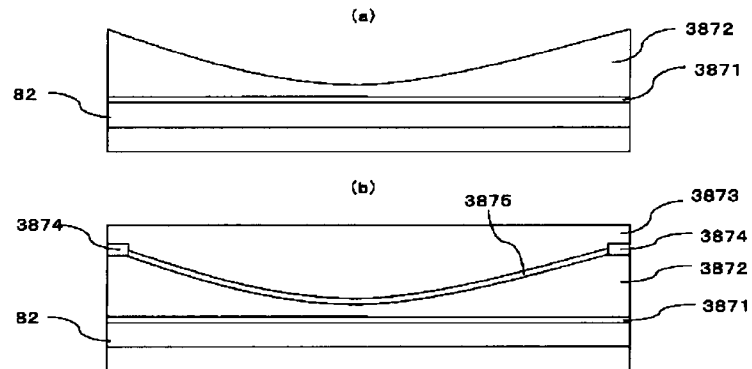


【図386】



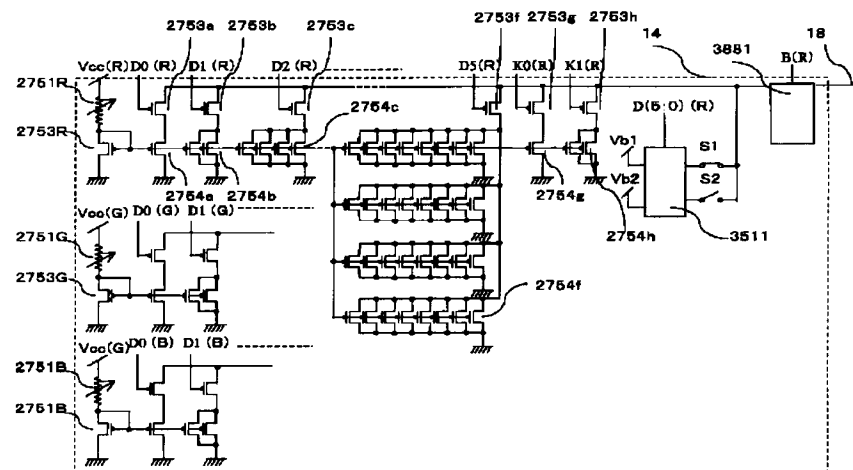
【図387】

- 3871 光結合層(オプティカルカップリング材(剤))  
 3872 凹レンズ  
 3873 正レンズ(平凸レンズ)  
 3874 封止剤(封止材)  
 3875 空気ギャップ

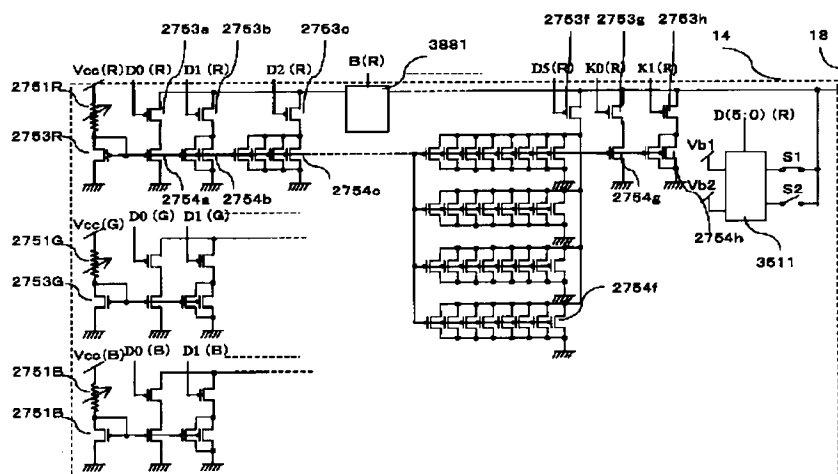


【図388】

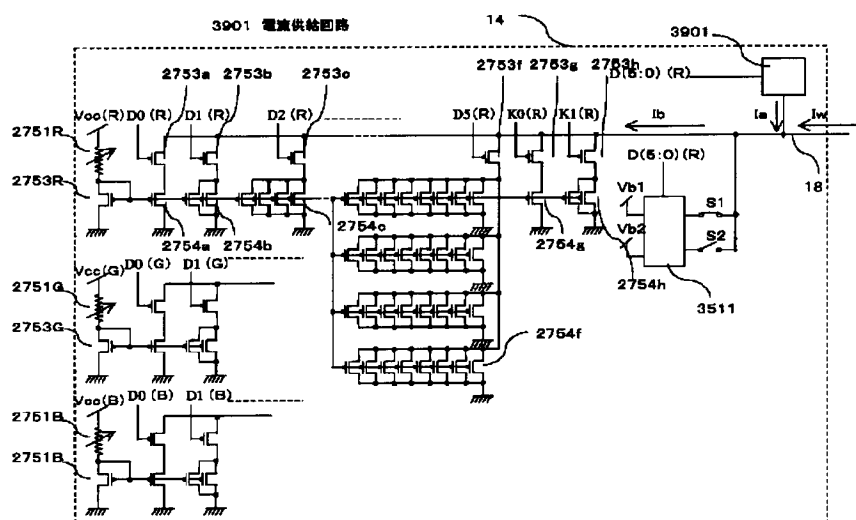
3881 電流倍率変換回路



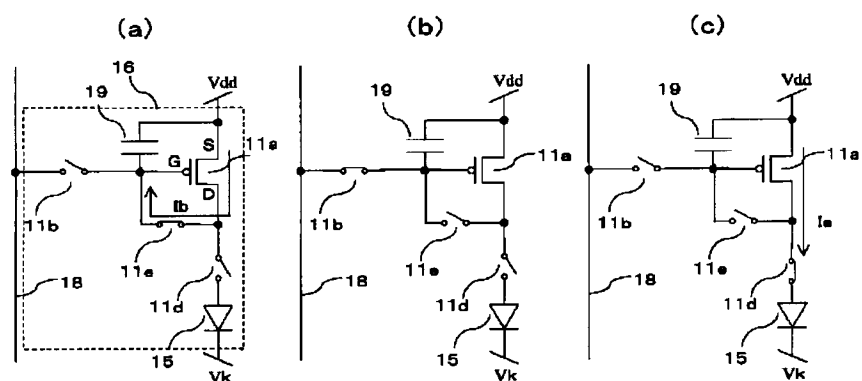
【図389】



【図390】

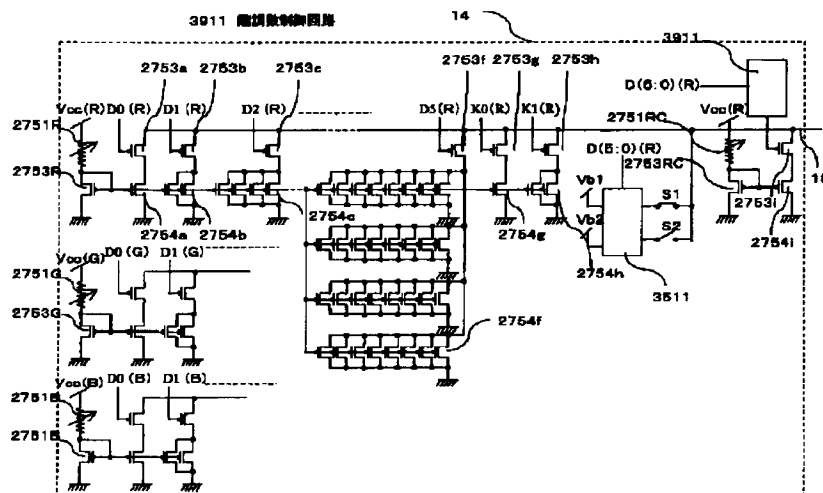


【図428】





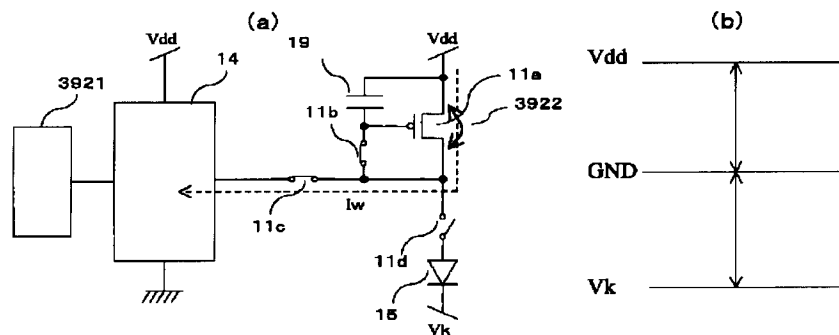
【図391】



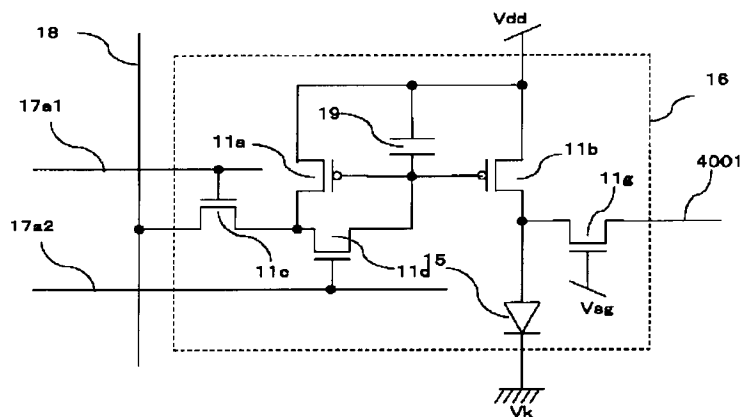
【図392】

3921 電子ポリウム回路

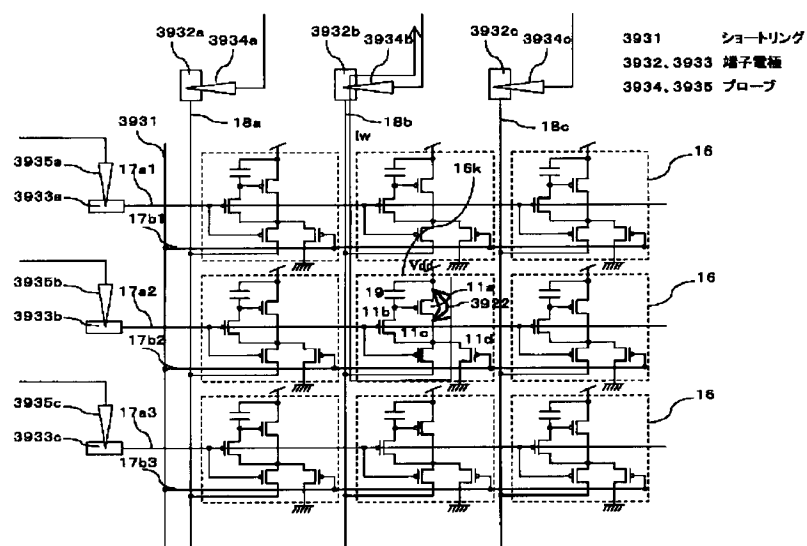
3922 TFTのSD(ソースドレイン)ショート



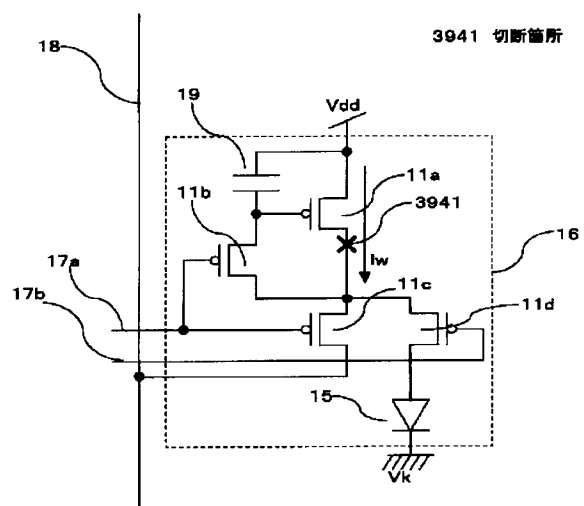
【図404】



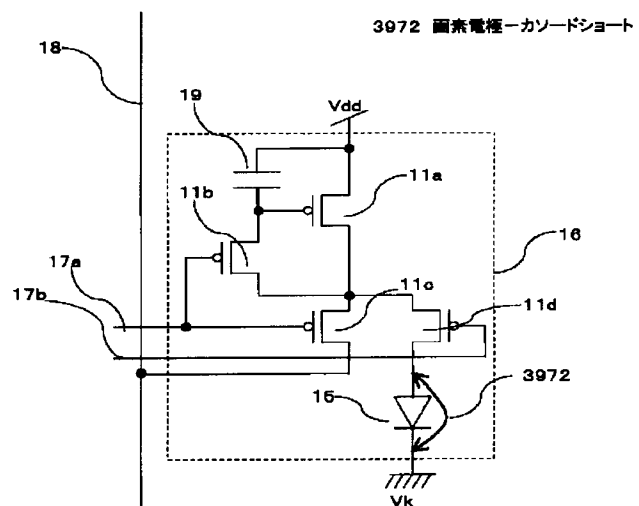
【図393】



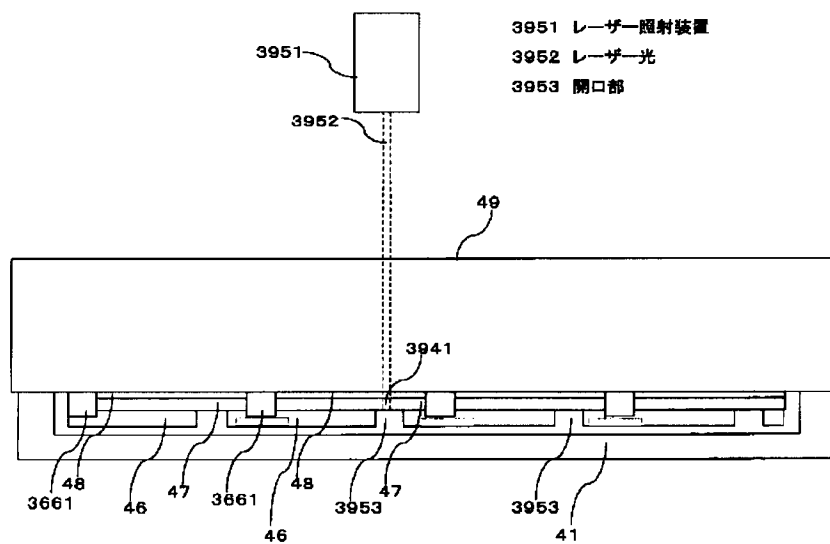
【図394】



【図397】



【図395】



【図398】

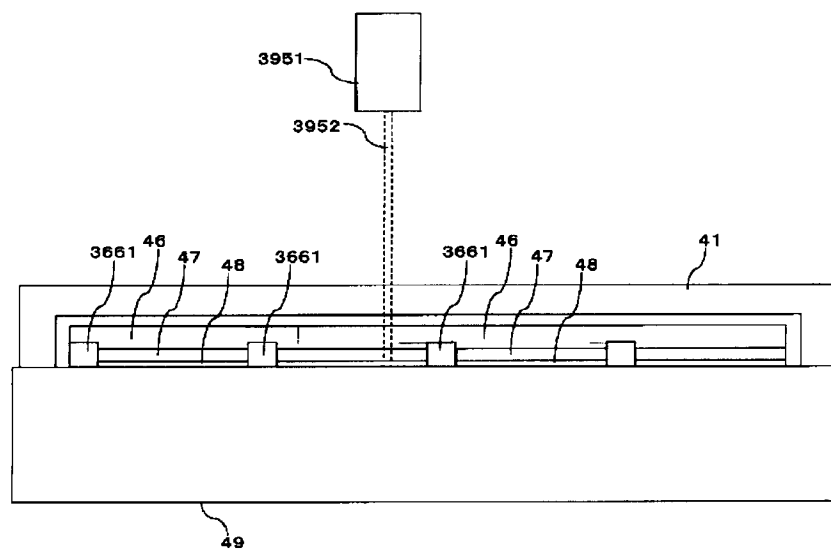
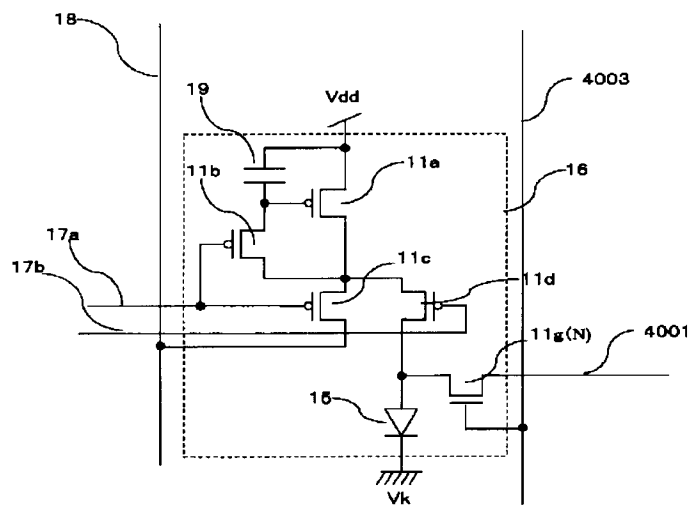
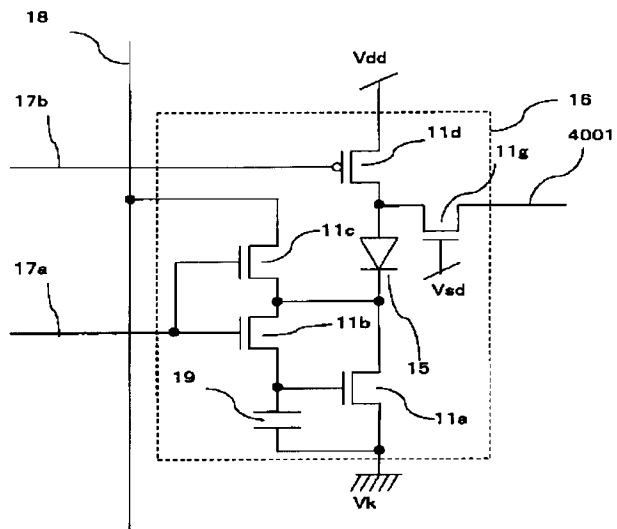


Figure 1 is a schematic diagram of a semiconductor device. The diagram shows a cross-section of a substrate with various layers and components. A dashed box labeled 16 encloses a central region containing a complex structure of gates and transistors. Labels 11a, 11b, 11c, 11d, and 11g(P) point to specific parts of this structure. A gate voltage control line 4003 is shown on the right, and a reverse bias line 4001 is shown at the bottom. A p-well region 15 is indicated by a triangle symbol. A Vdd supply is connected to the top, and a Vkk supply is connected to the bottom. Other labels include 18, 19, 17a, 17b, and 4003.

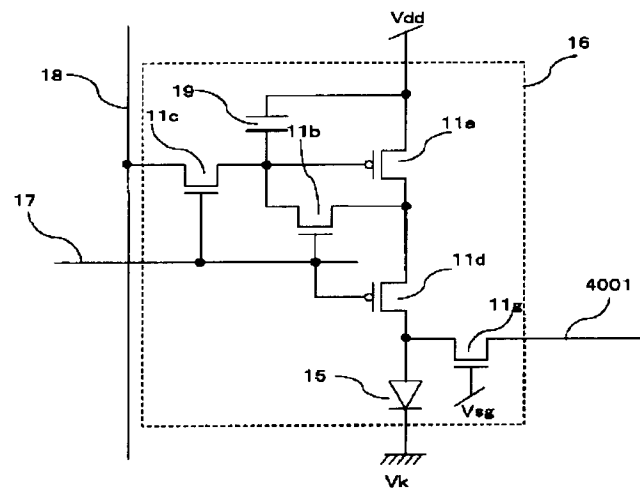
【図401】



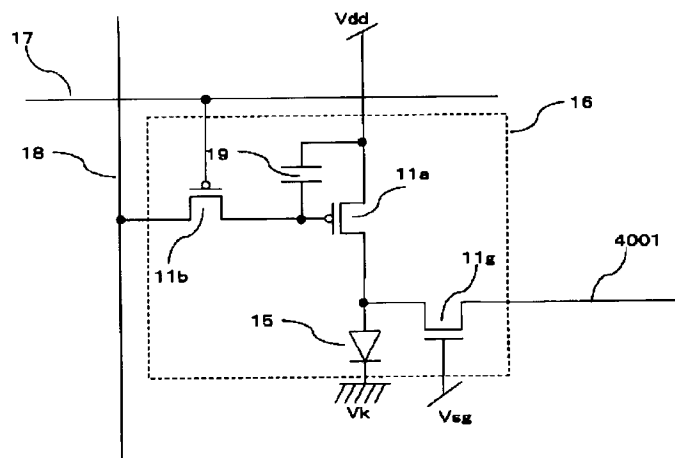
【図402】



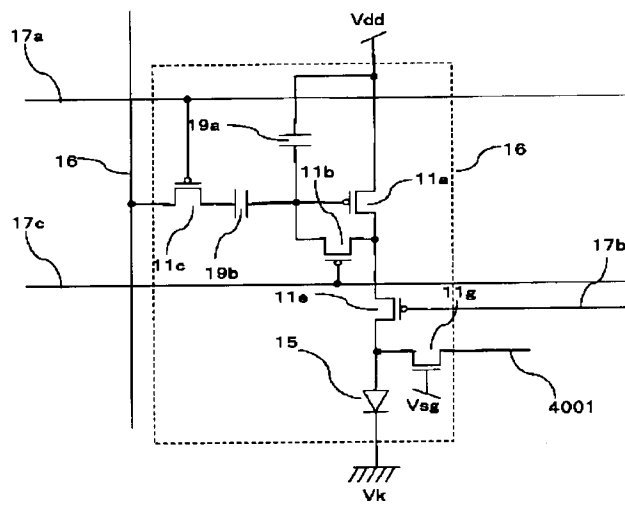
【図403】



【図405】



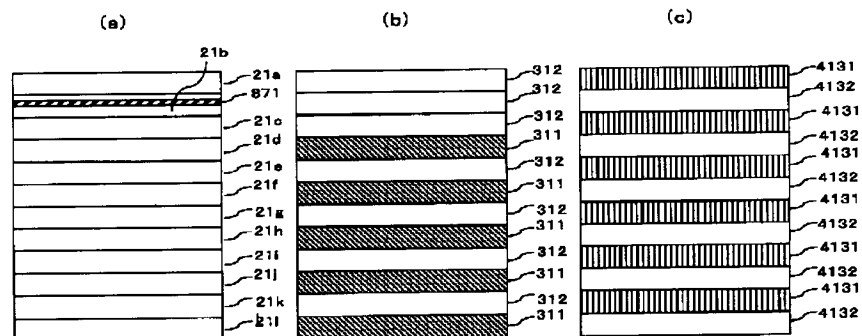
【図406】



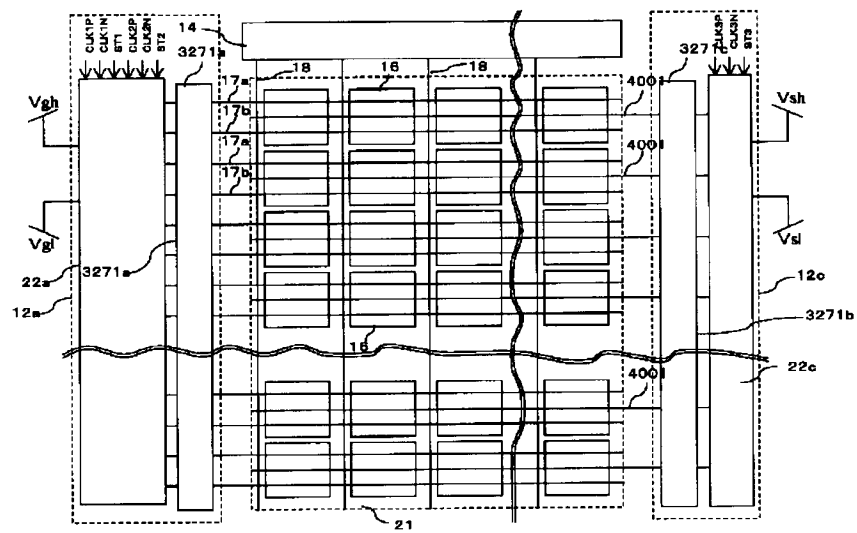
【図413】

4131 逆バイアス電圧印加ブロック

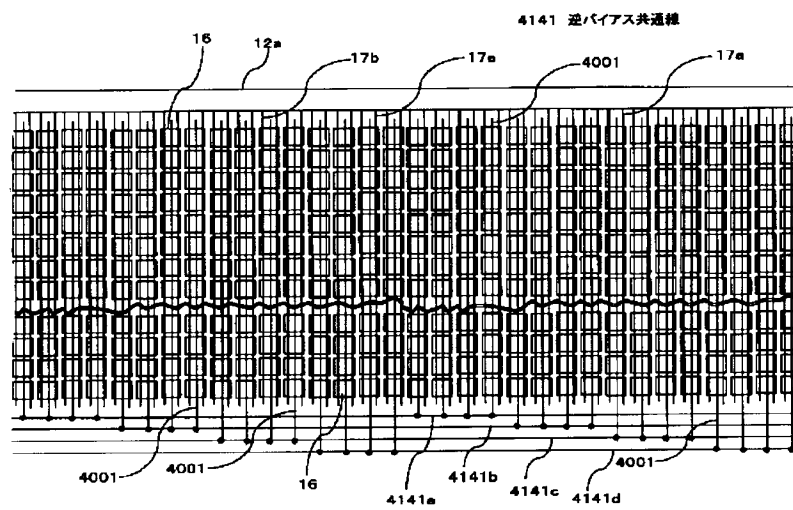
4132 逆バイアス電圧非印加ブロック



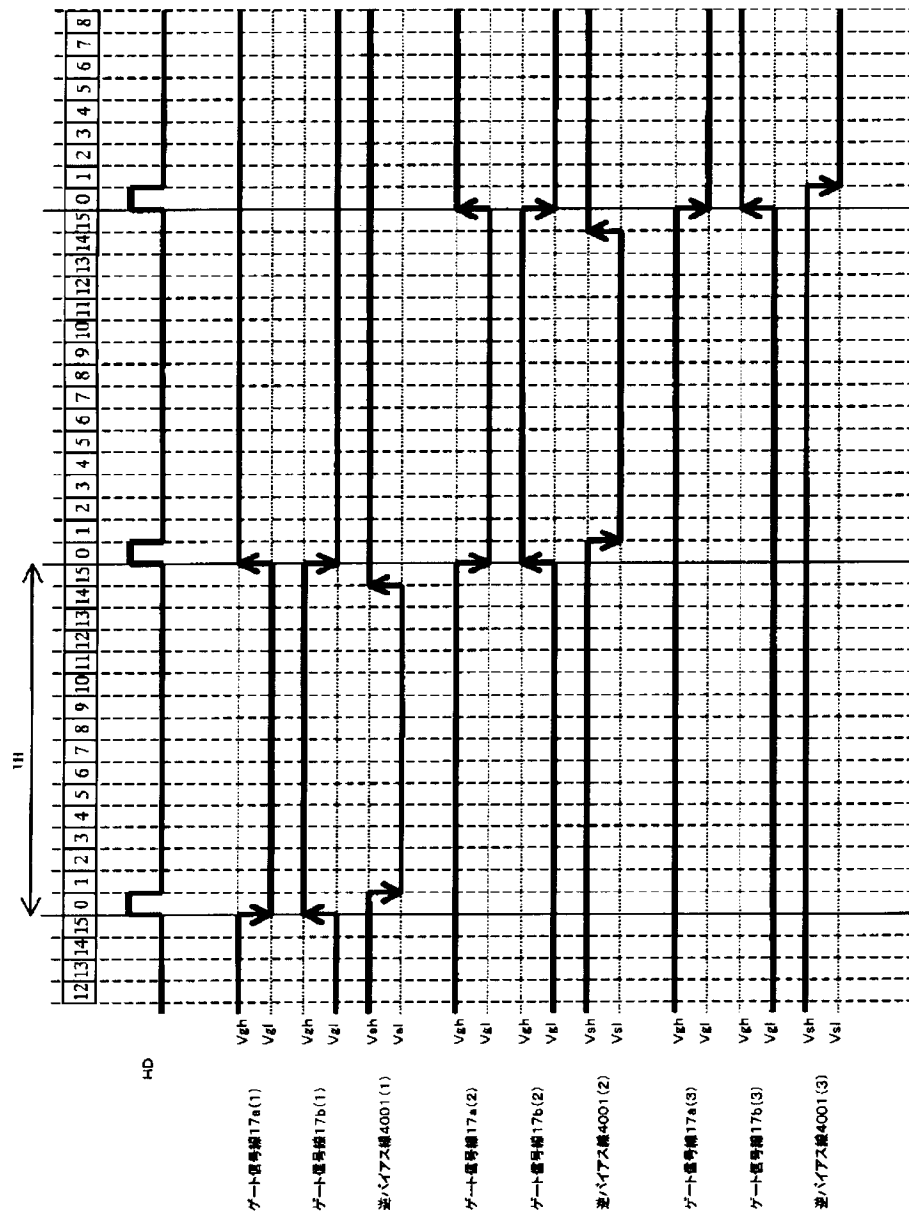
【図407】



【図414】

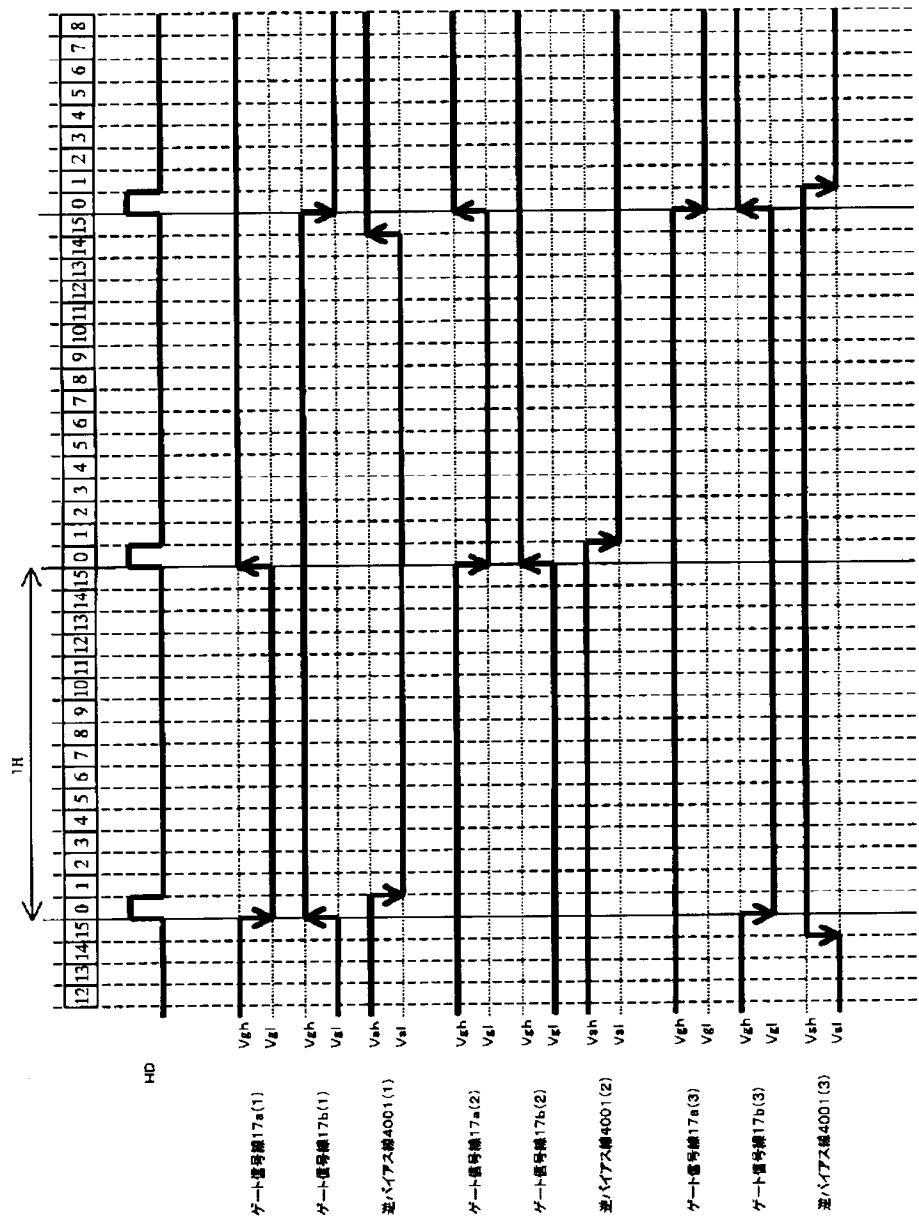


【図408】

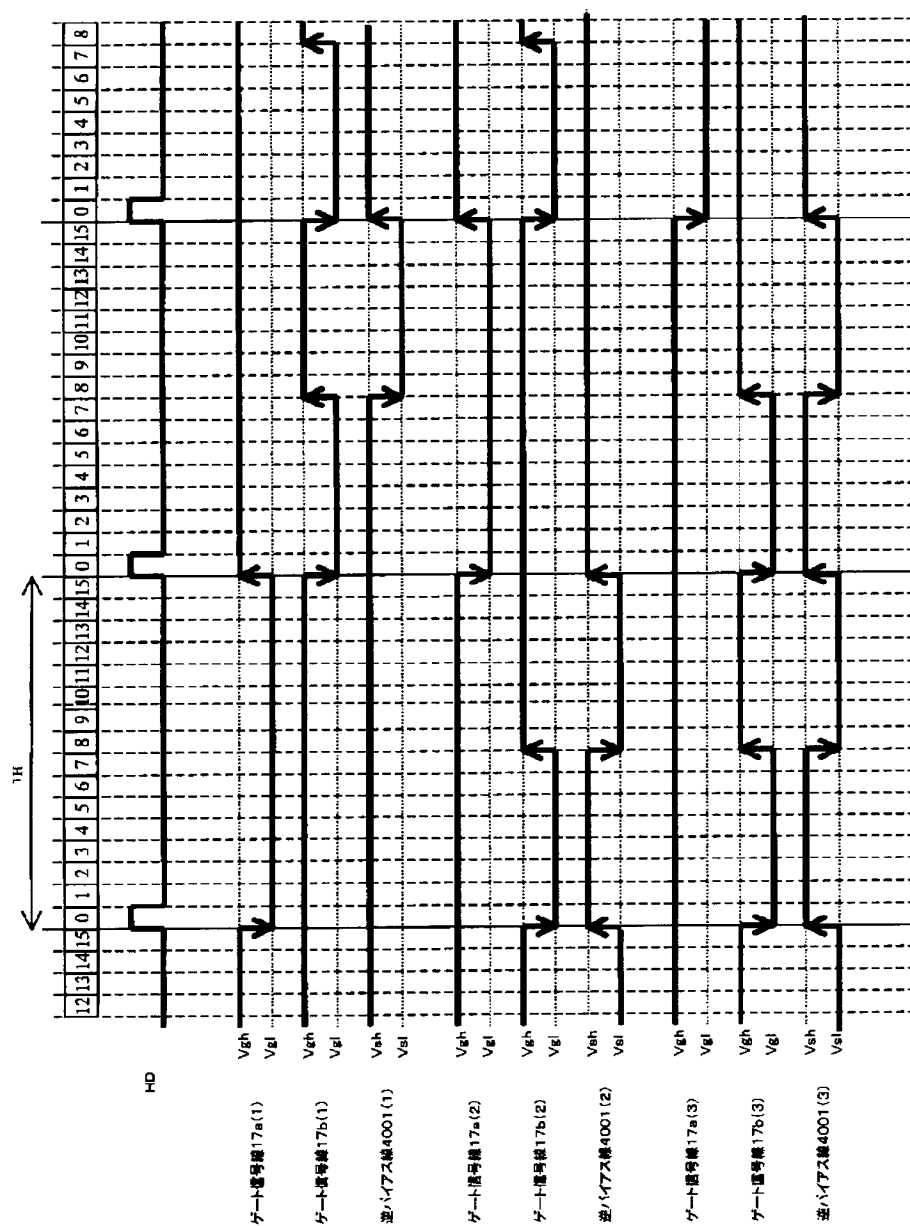




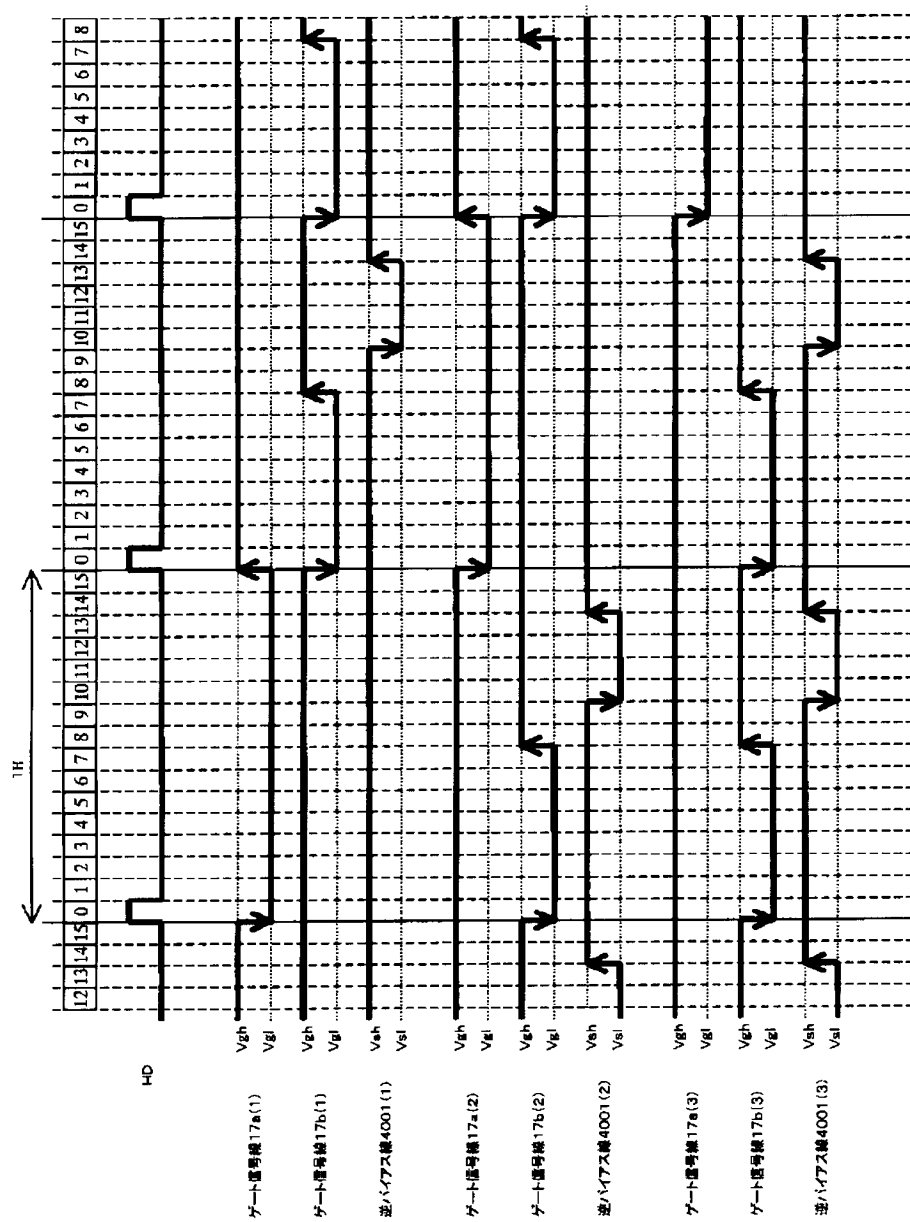
【図409】



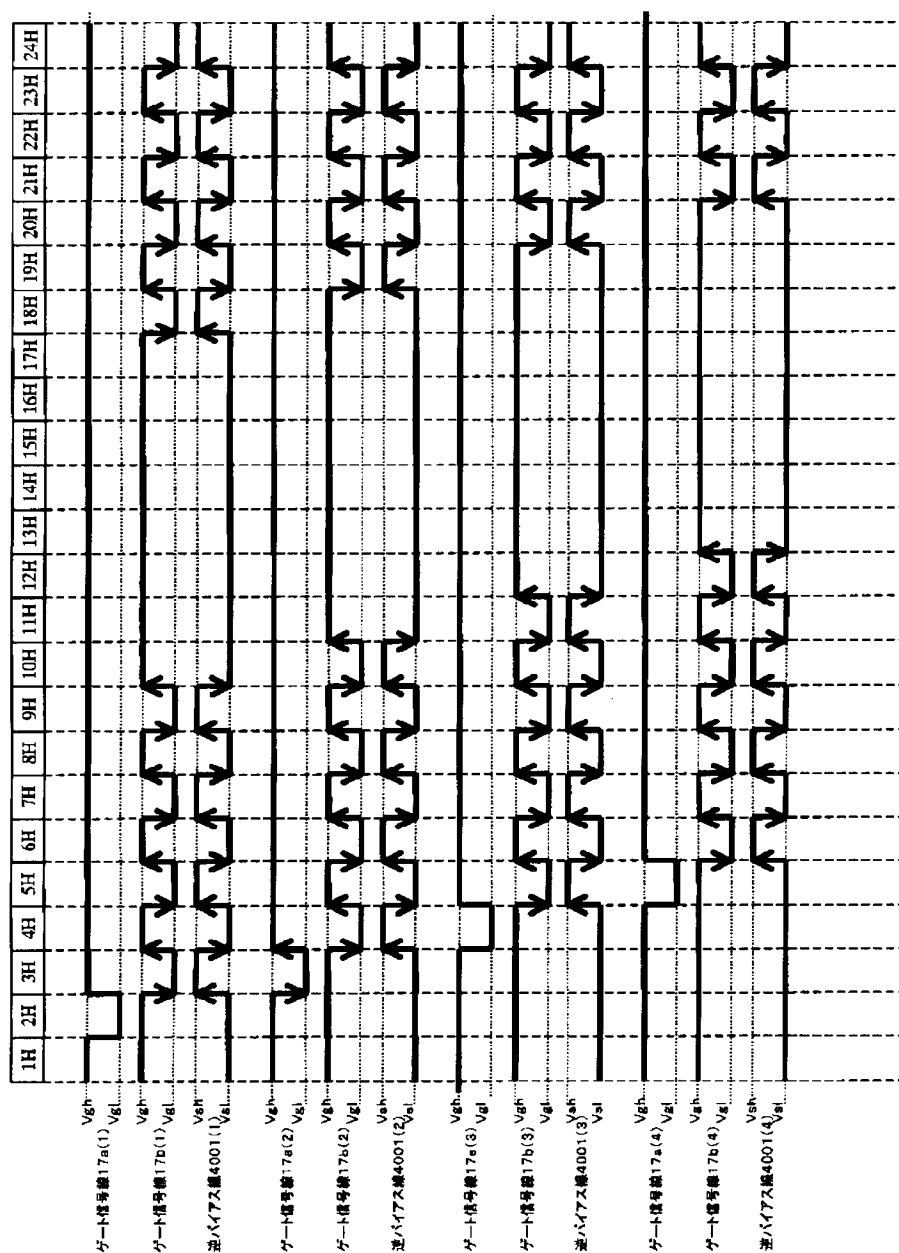
【図410】



【図411】

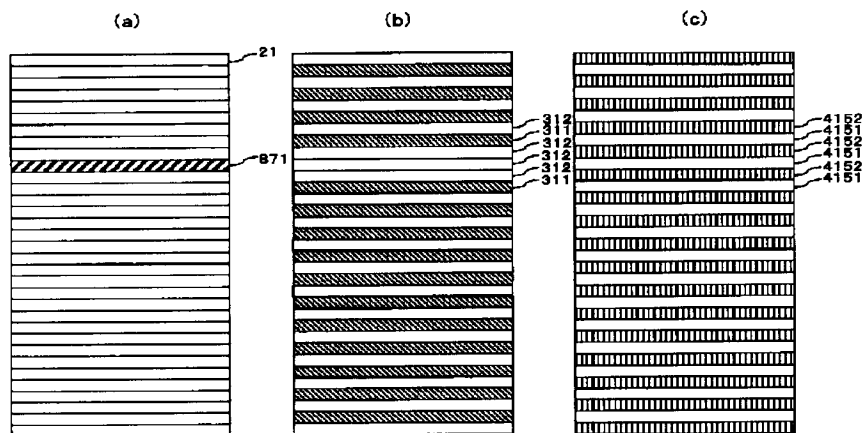


【図412】

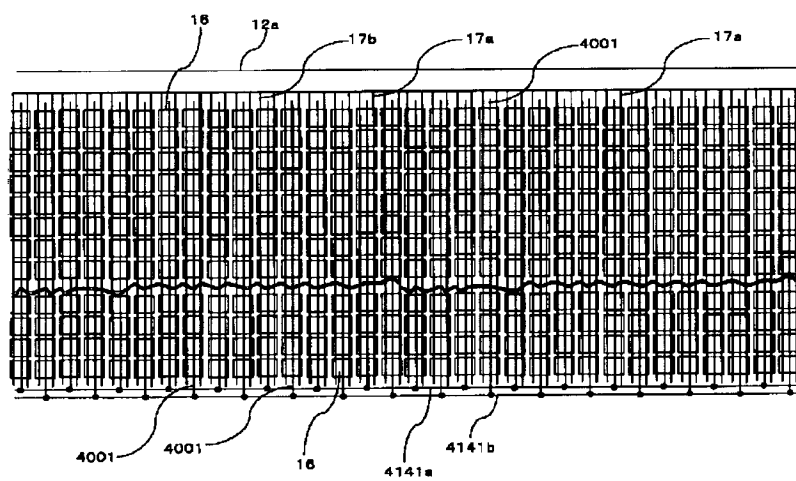


【図415】

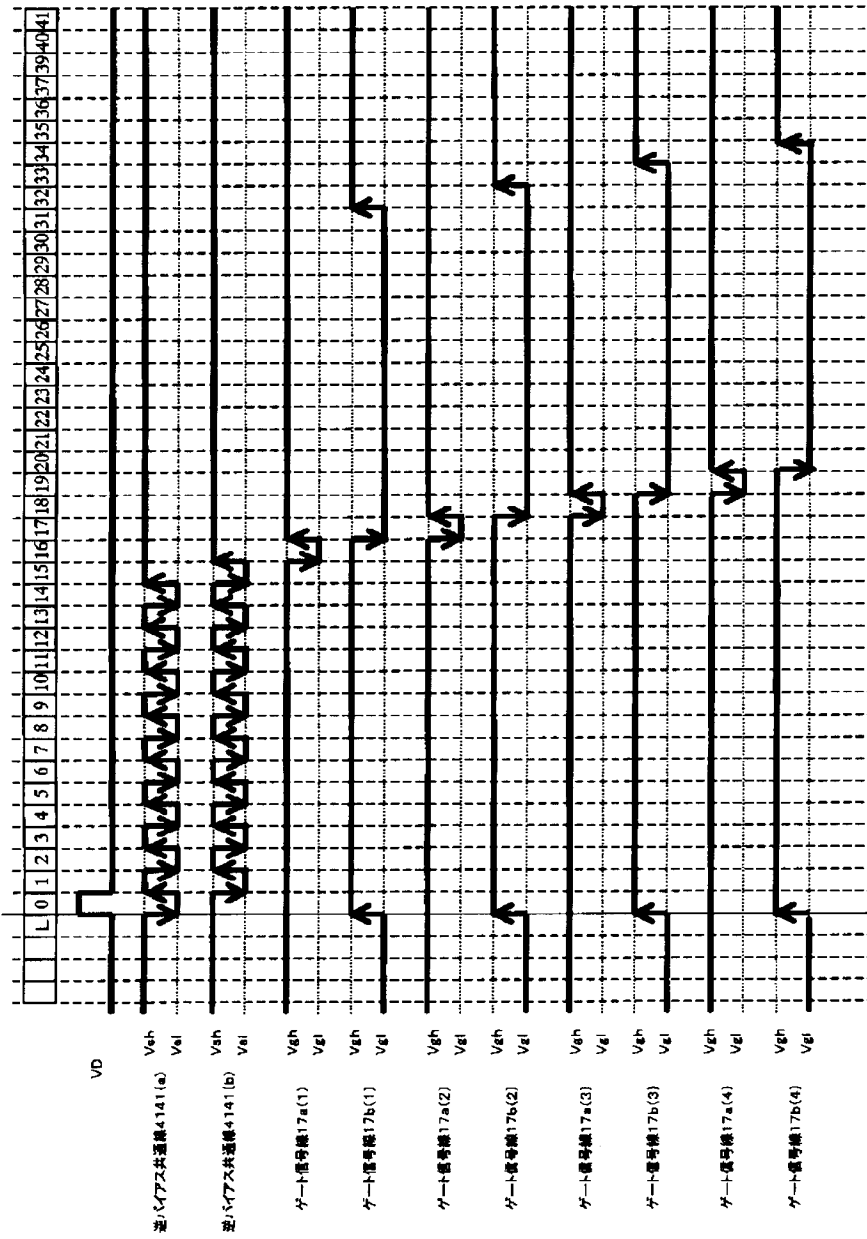
4151 逆バイアス電圧印加画素行  
4152 逆バイアス電圧非印加画素行



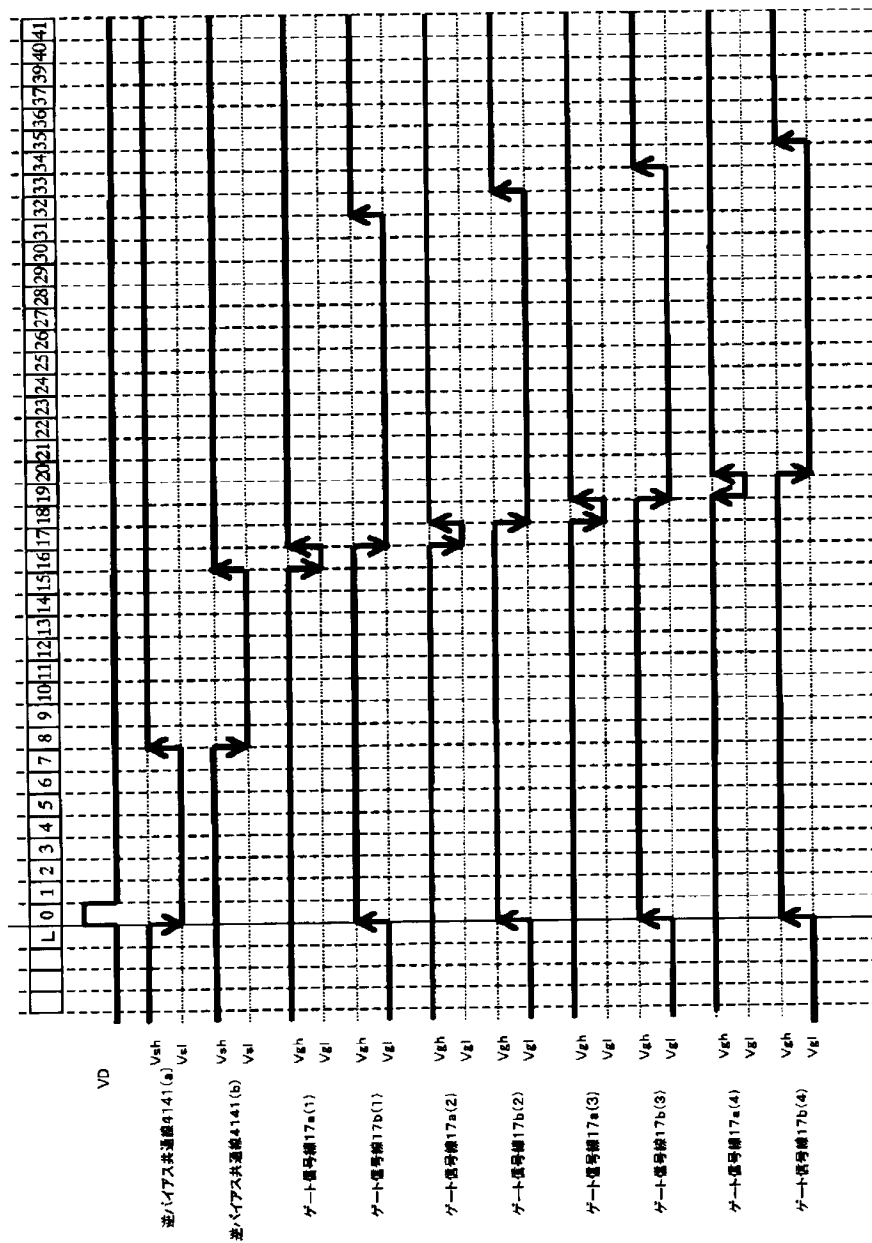
【図416】



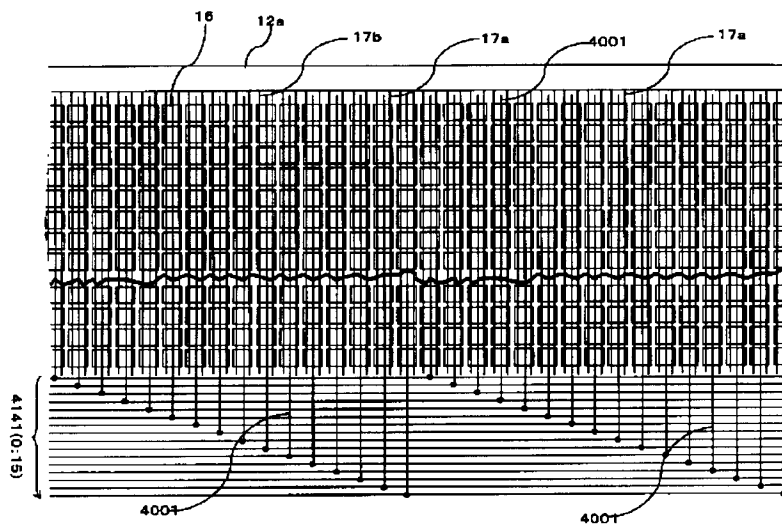
【図417】



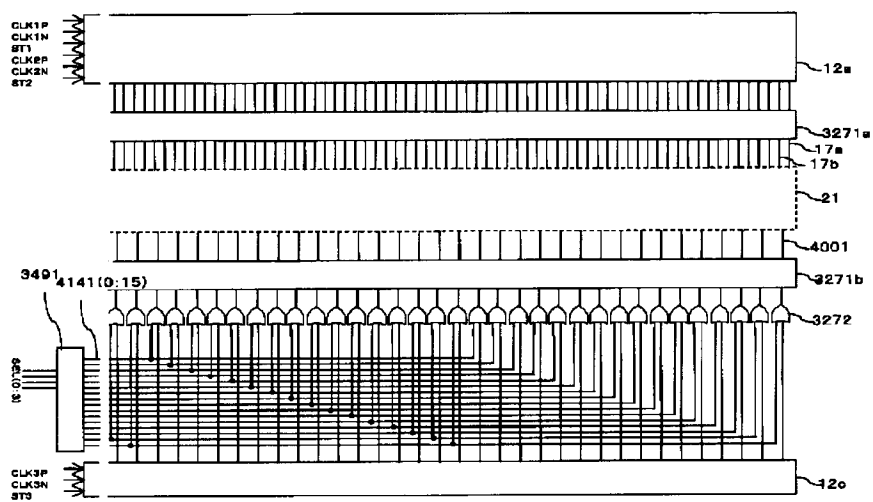
【図418】



【図419】

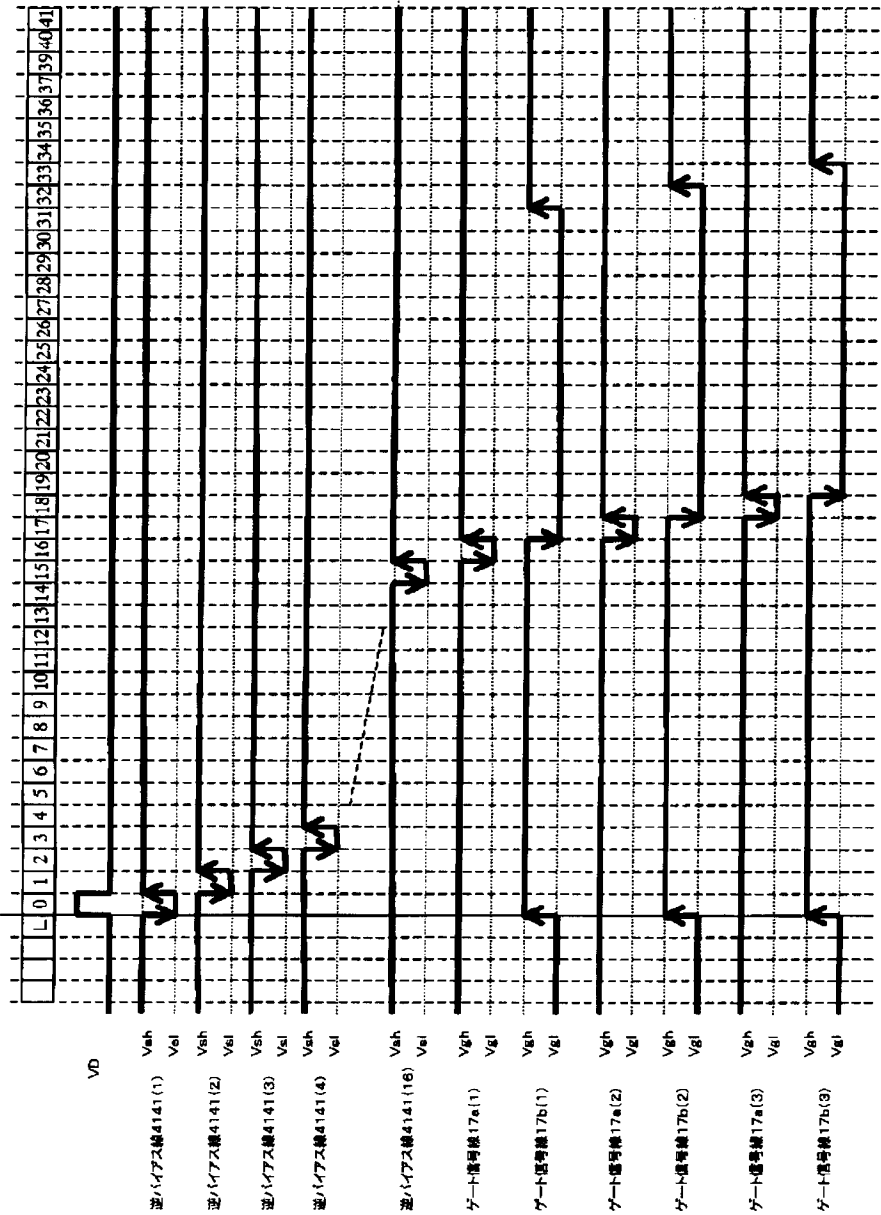


【図421】

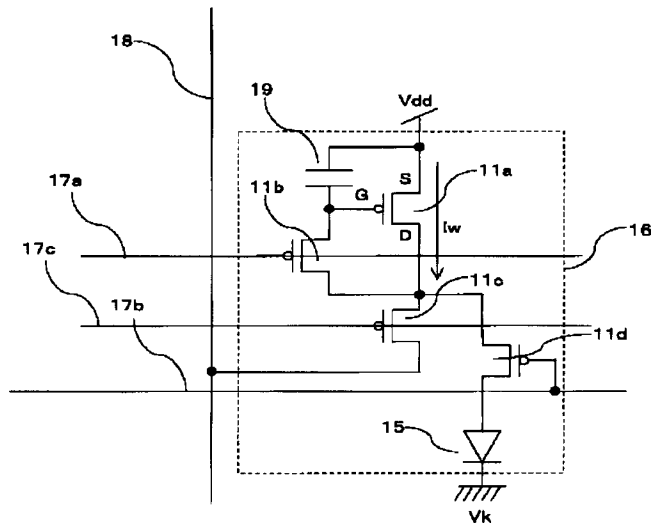




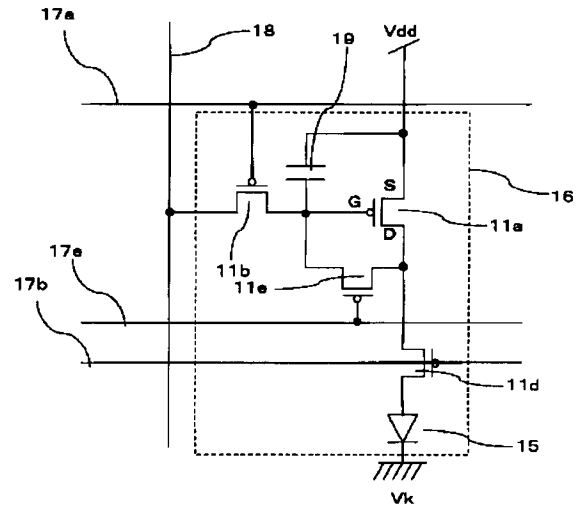
【図420】



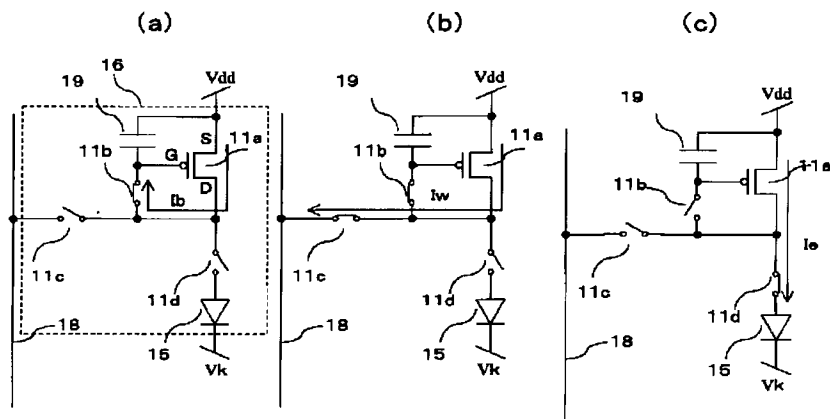
【図422】



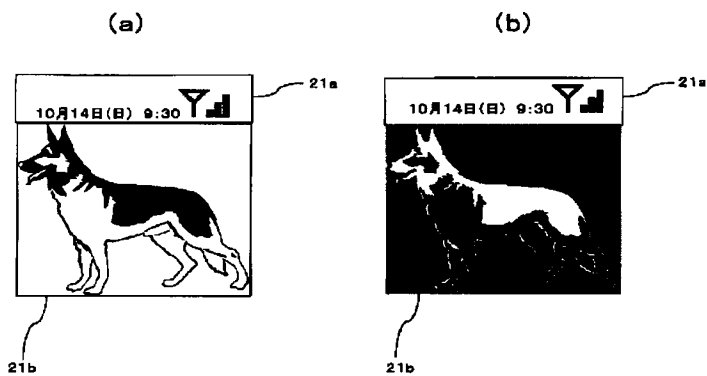
【図427】



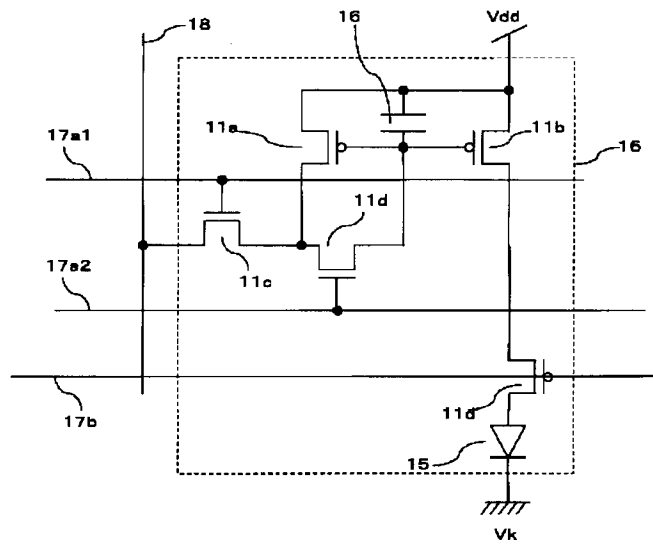
【図423】



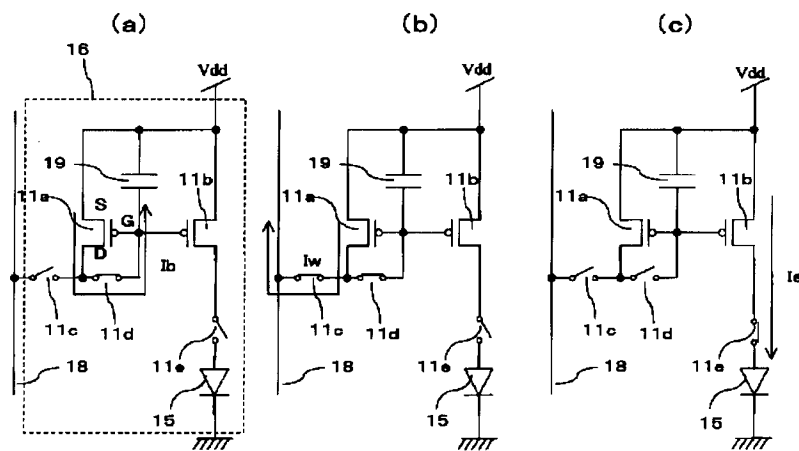
【図442】



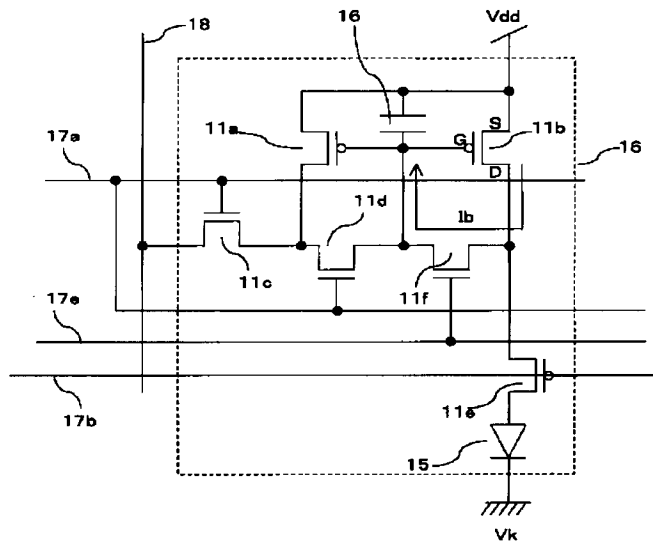
【図424】



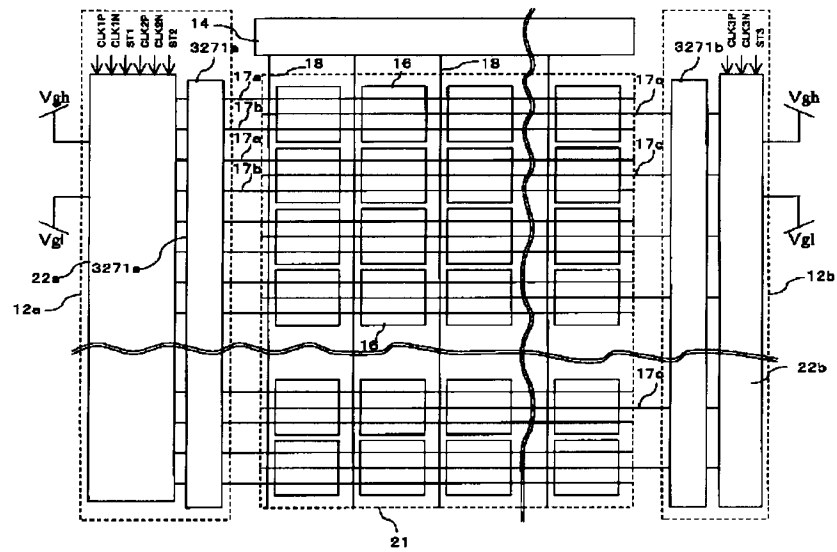
【図425】



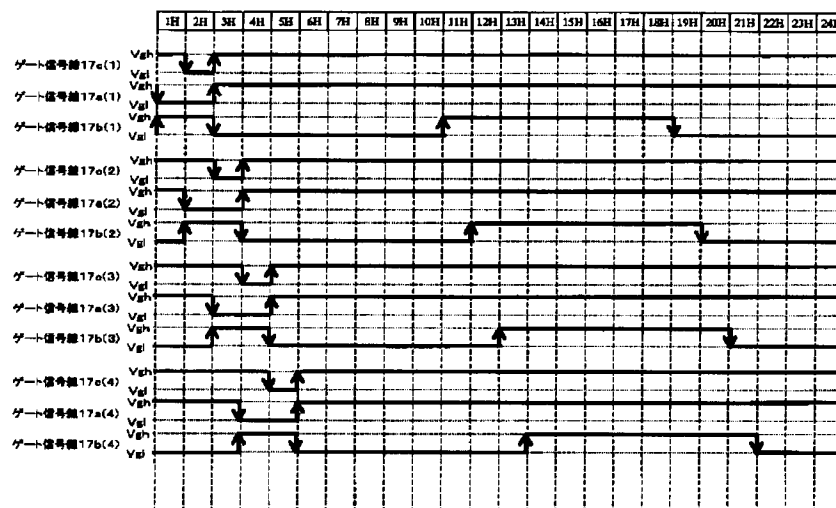
【図426】



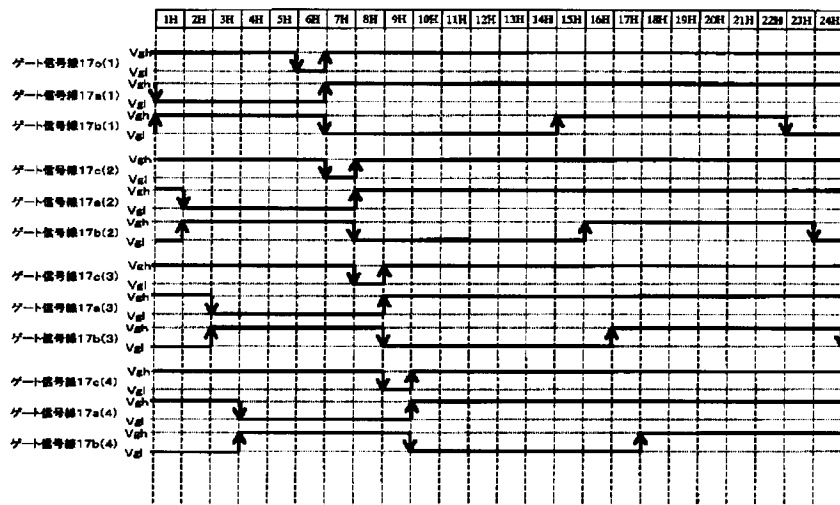
【図429】



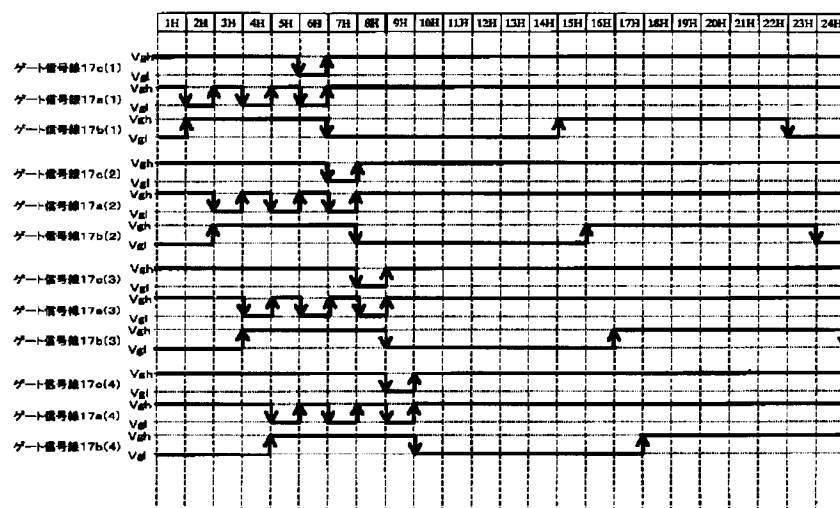
【図 430】



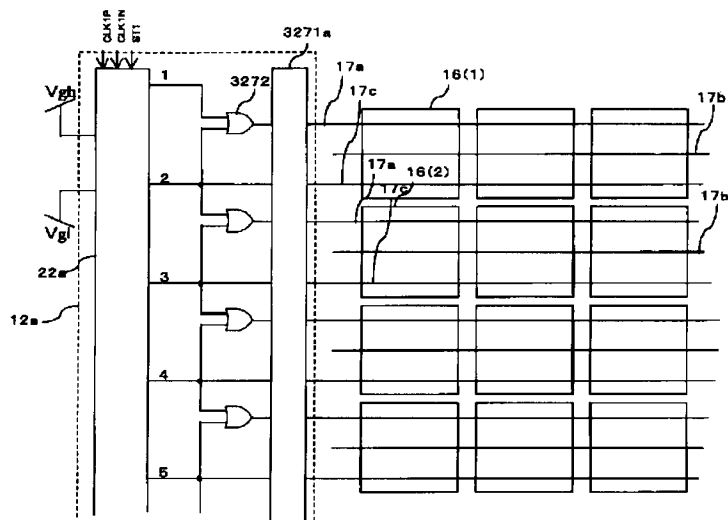
【図 4 3 1】



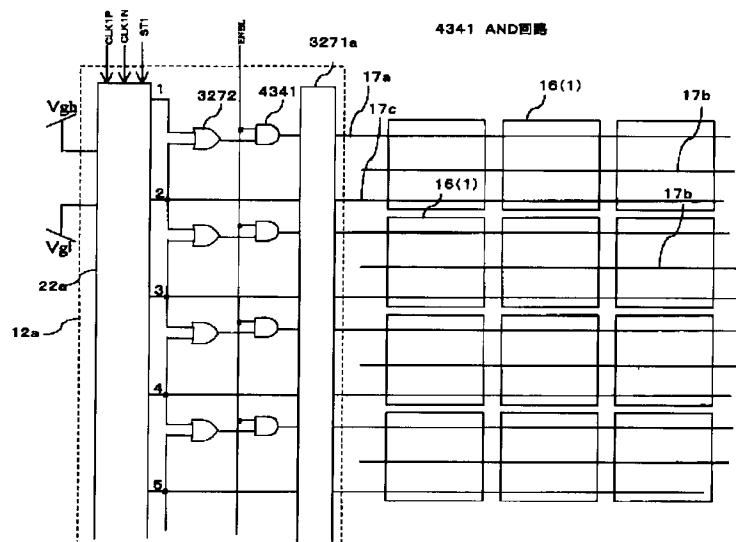
【図432】



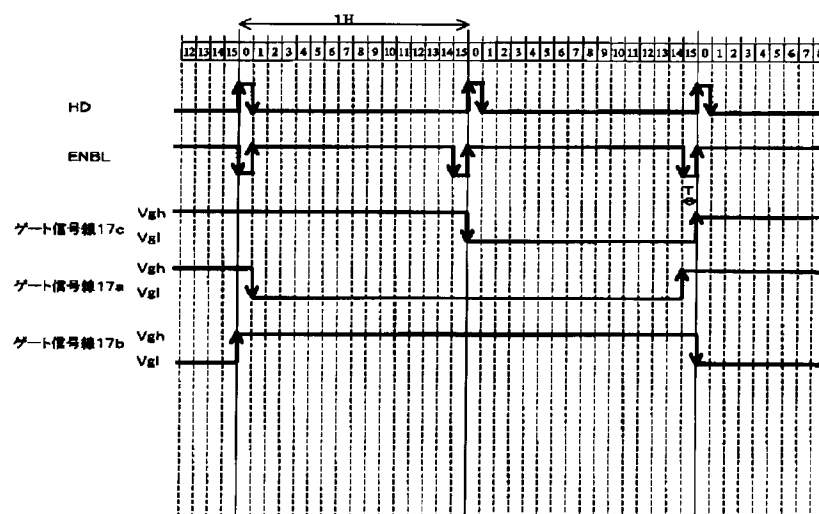
【図433】



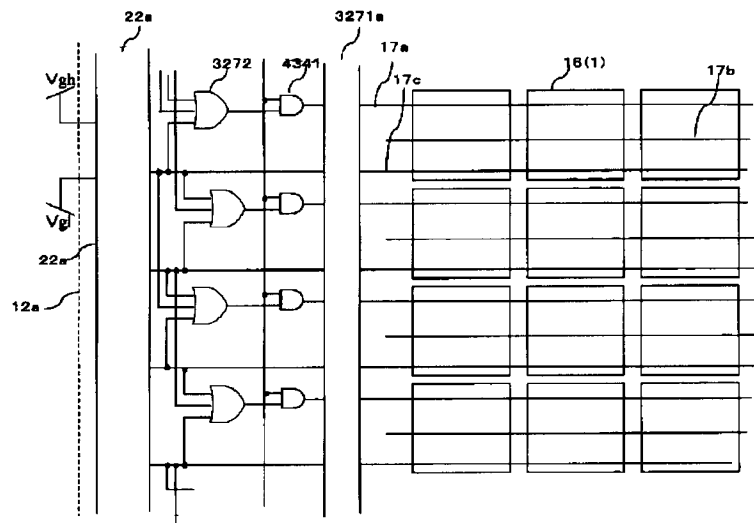
【図434】



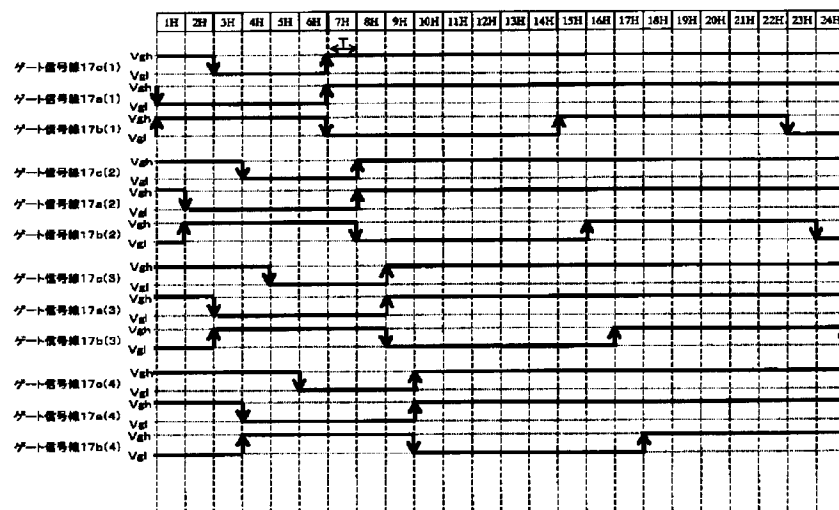
【図435】



【図436】



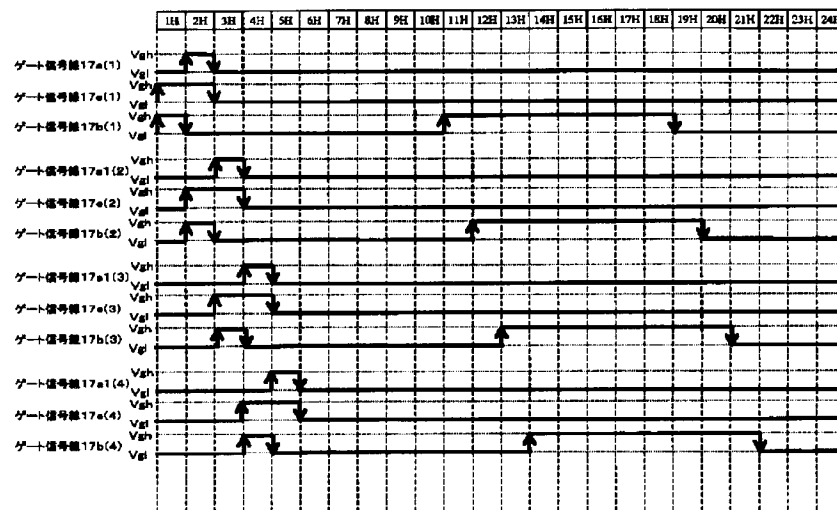
【図437】



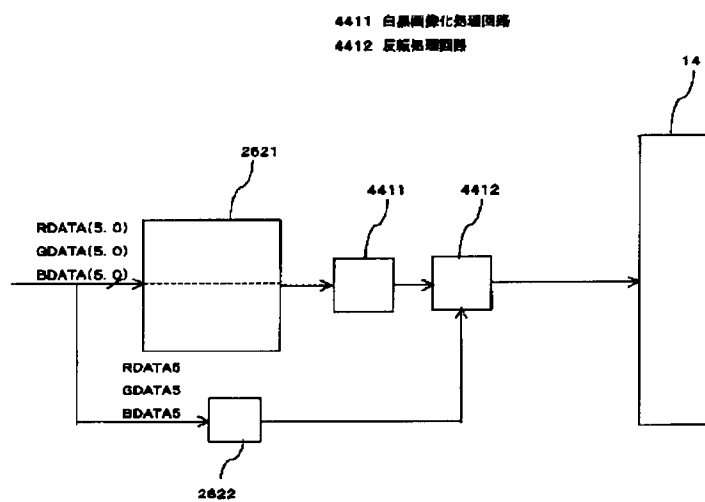




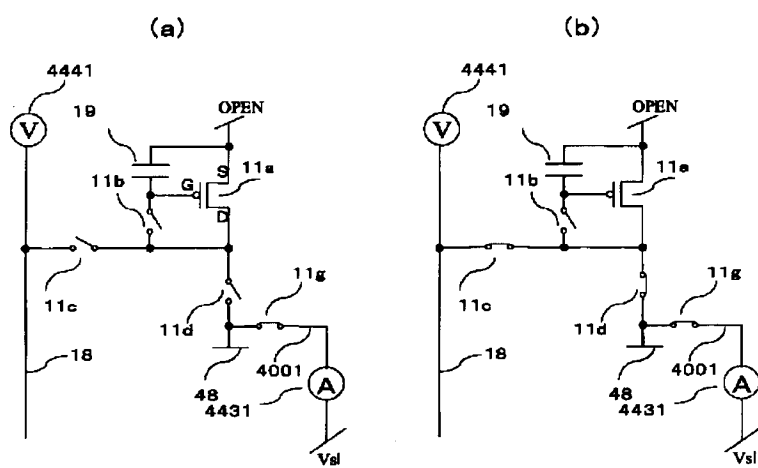
【図440】



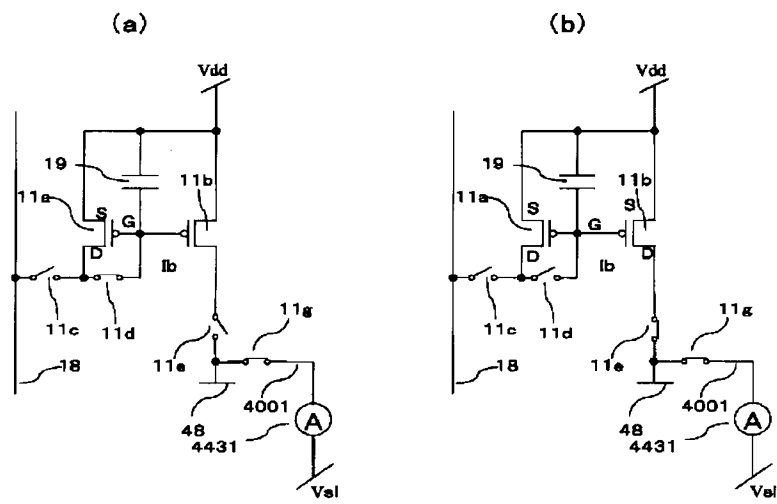
【図441】



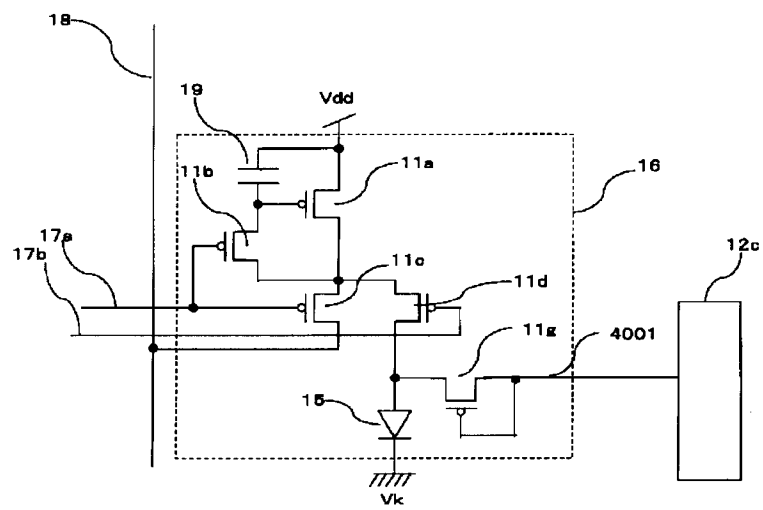
4431 電流計(電流検出手段)



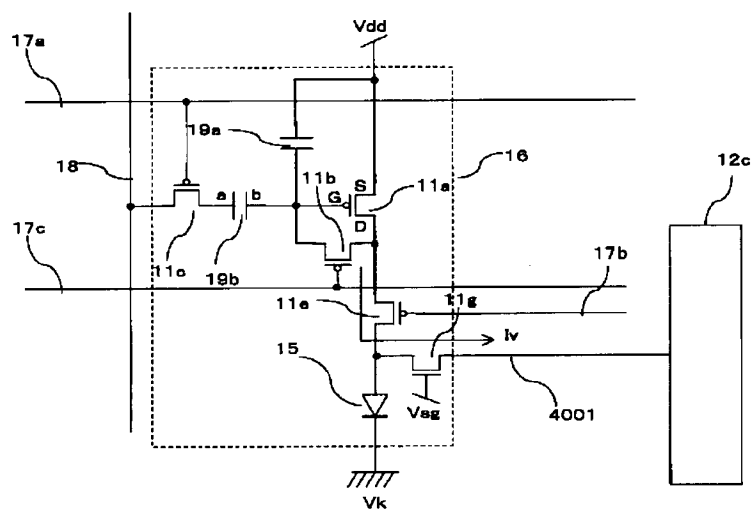
【図 4 4 5】



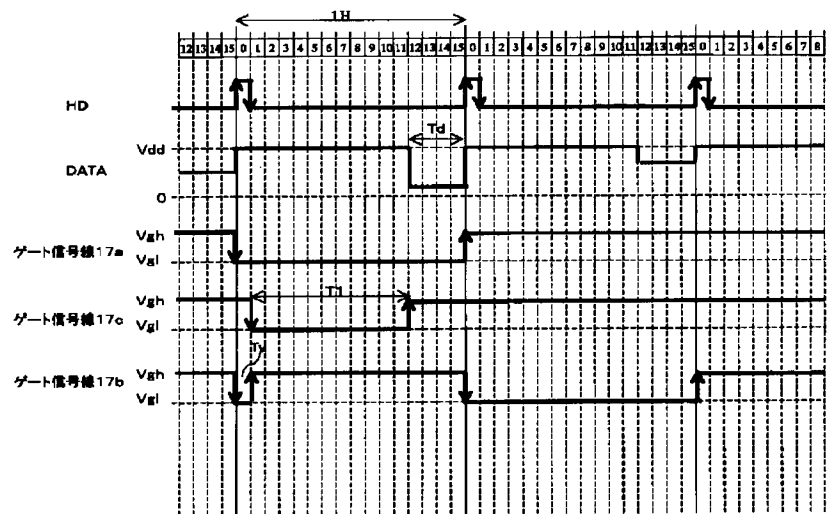
【图 4 4 6】



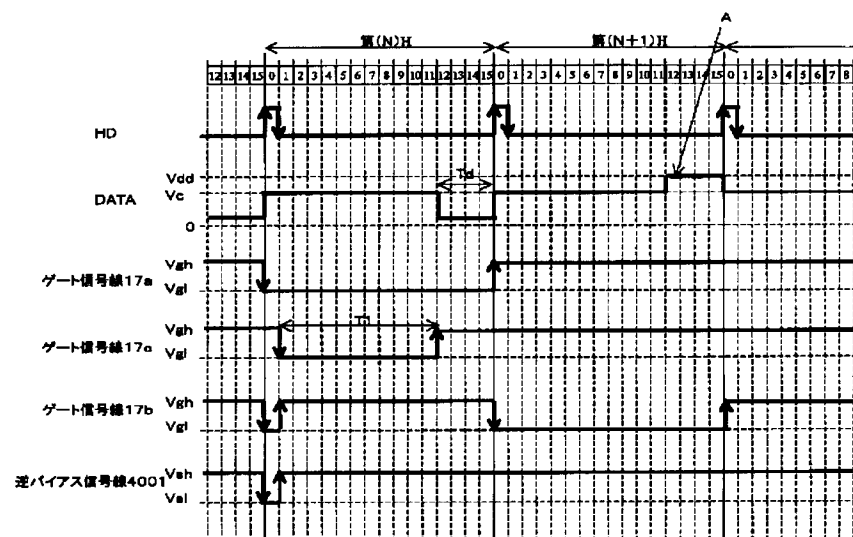
【図447】



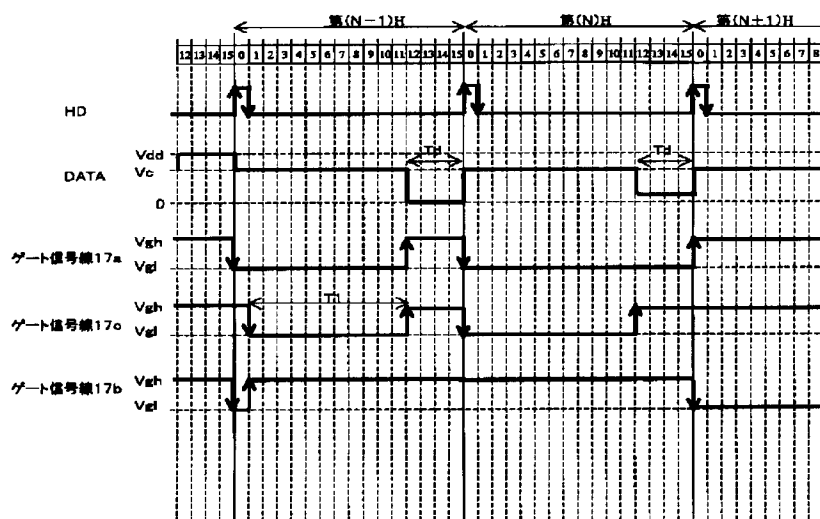
【図448】



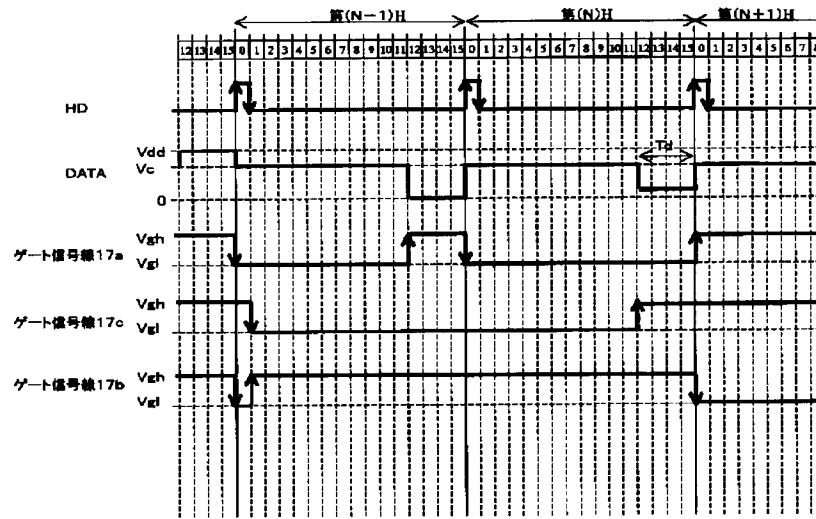
【図 4 4 9】



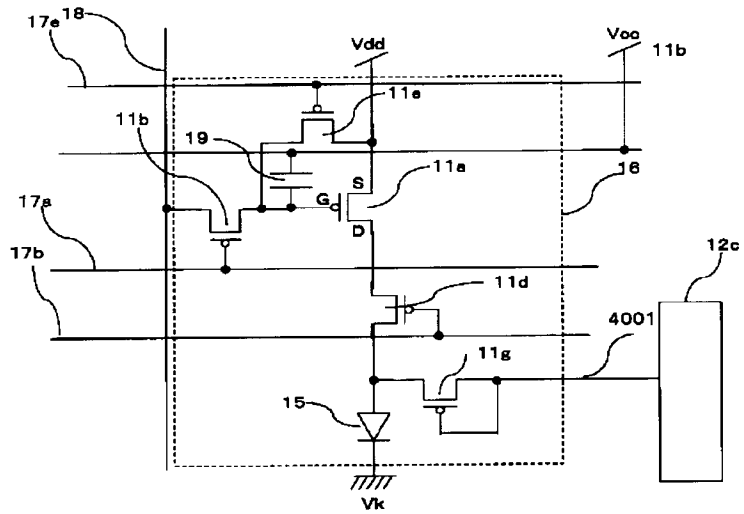
【図 450】



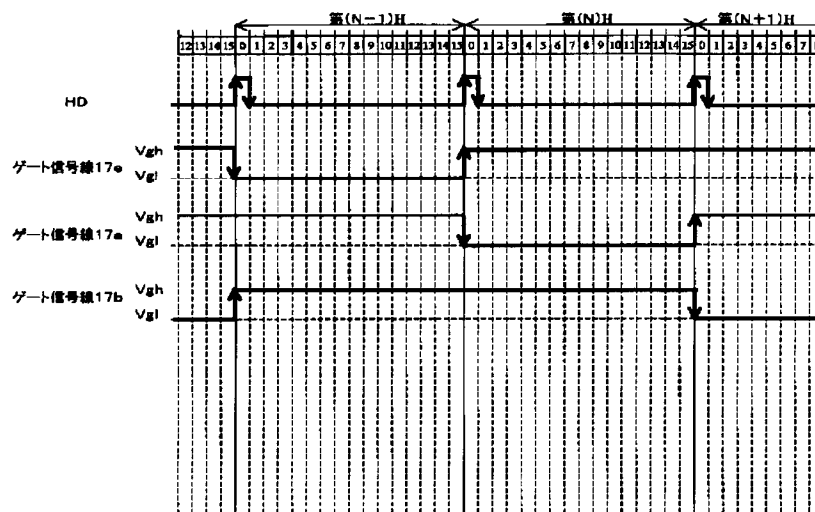
【图 451】



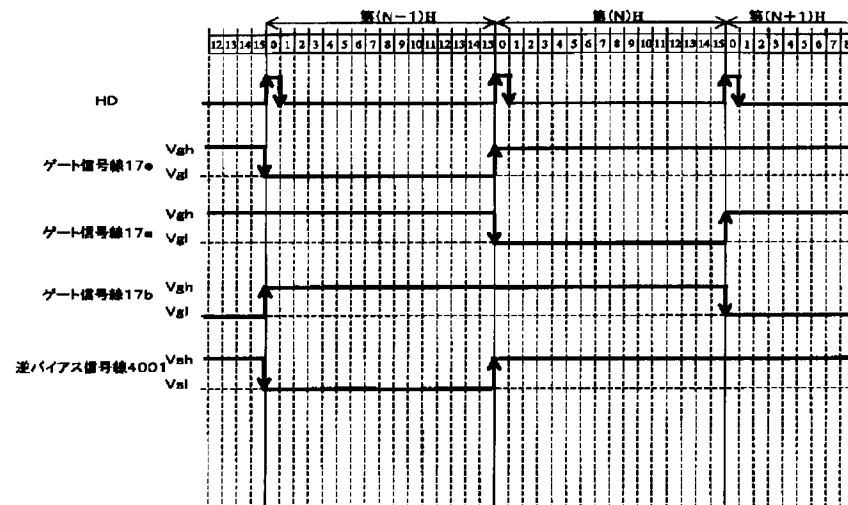
【図452】



【図453】

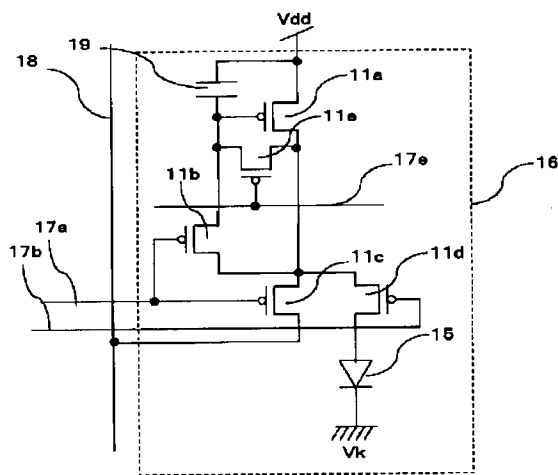


【図454】

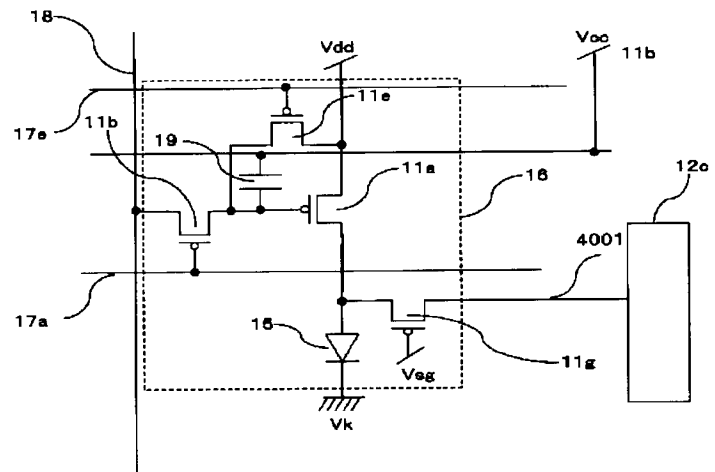




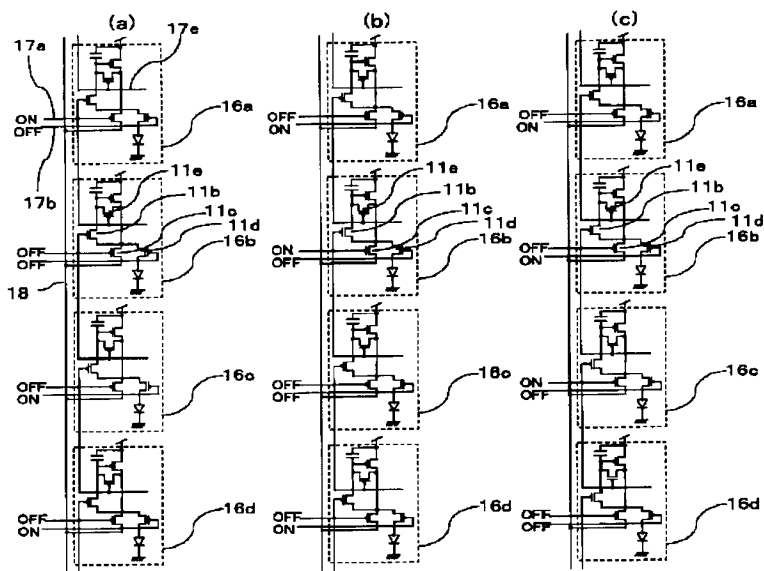
【図455】



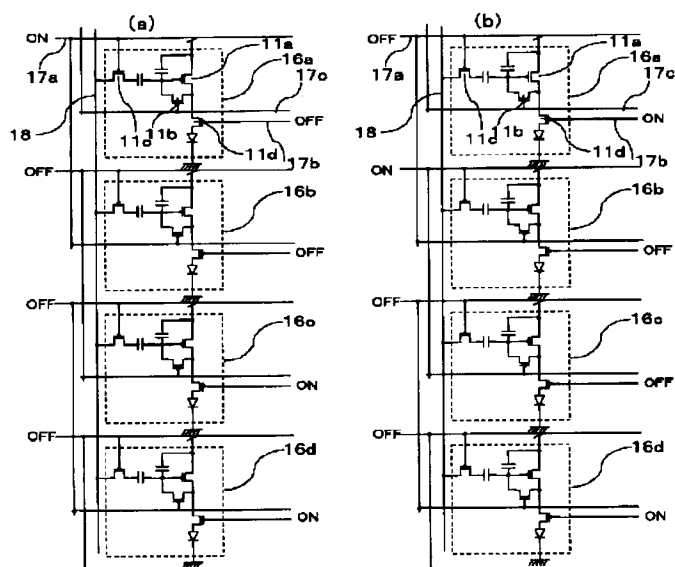
【図458】



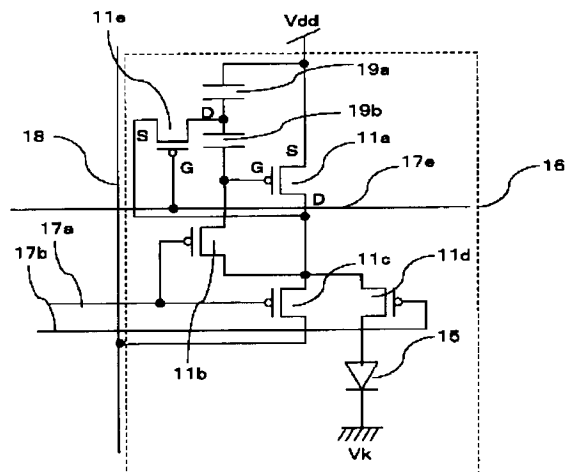
【図456】



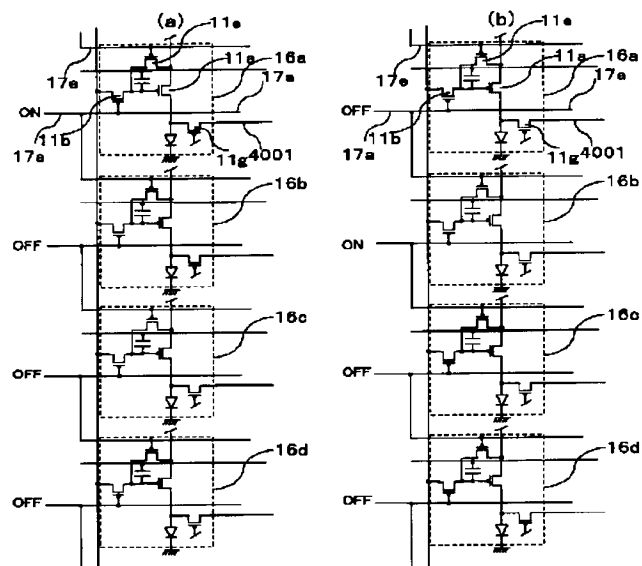
【図457】



【図461】



【図459】



(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 D
	6 4 2		6 4 2 A
H 0 5 B 33/02		H 0 5 B 33/02	
33/14		33/14	A

F ターム(参考) 3K007 AB17 BB06 CA06 GA00  
5C080 AA06 BB05 CC03 DD05 EE28  
FF11 JJ02 JJ03 JJ04 JJ05  
JJ06  
5C094 AA10 AA15 AA22 BA03 BA27  
CA19 CA24 DA09 DB01 DB04  
EA04 EA05 ED01 FB01 FB16  
HA03 HA08 JA08  
5G435 AA03 AA18 BB05 CC09 CC12  
DD11 FF02 LL04 LL07 LL08  
LL14